

論文99-36C-9-2

1mW의 전력소모를 갖는 8-bit 100KSPS Cyclic 구조의 CMOS A/D 변환기

(Design of an 8-bit 100KSPS Cyclic Type CMOS A/D Converter with 1mW Power Consumption)

李 政 垠 * , 宋 敏 圭 *

(Jung Eun Lee and Min Kyu Song)

요 약

본 논문에서는 1mW의 낮은 전력소모를 갖는 8-bit 100KSPS CMOS A/D 변환기를 설계, 제작하였다. Cyclic 구조를 갖는 A/D 변환기에서 발생하는 연산증폭기의 시스템적인 offset 전압을 효과적으로 감소시키기 위해, 새로운 시스템적인 offset 전압 제거 기술을 제안하였다. 또한 기존 Gain 증폭기에서 발생하는 오차를 감소시키기 위해 완전 차동 구조의 Gain 증폭기를 설계하였다. 제안된 A/D 변환기는 0.6 μ m single-poly triple-metal n-well CMOS 공정을 사용하여 제작되었으며, +3V 단일 공급전압에서 DNL과 INL은 ± 1 LSB 이내로 측정되었고, 100KHz의 샘플링 주파수에서 43dB의 SNR를 갖는다. 측정된 최대전력 소모는 980 μ W로 나타났다.

Abstract

This paper describes a design of an 8-bit 100KSPS 1mW CMOS A/D Converter. Using a novel systematic offset cancellation technique, we reduce the systematic offset voltage of operational amplifiers. Further, a new Gain amplifier is proposed. The proposed A/D Converter is fabricated with a 0.6 μ m single-polytriple-metal n-well CMOS technology. INL and DNL is within ± 1 LSB, and SNR is about 43dB at the sampling frequency of 100KHz. The power consumption is 980 μ W at +3V power supply

I. 서 론

VLSI/ULSI 집적회로에서 아날로그-디지털 인터페이스의 on-chip화 기술의 필요성이 날로 증대되고 있다. 특히, 아날로그-디지털 인터페이스의 기술 중, 저 전력,

높은 해상도를 갖는 A/D 변환기는 광범위한 응용 분야를 갖는다. 의료장비 및 프로세스 제어, 디지털 오디오 등과 같은 응용 분야에서 높은 해상도를 갖는 A/D 변환기가 요구되며, 휴대용 기기를 고려할 때 저 전력의 특성을 가져야 한다. 본 논문에서는 이를 만족하기 위해 8-bit 100KSPS의 Cyclic type A/D 변환기를 설계한다. Cyclic A/D 변환기는 그림 1과 같은 구조이며 내부에 연산증폭기를 갖는다. 그러나 연산증폭기의 시스템적인 offset 전압에 의해 야기되는 오차는 연산증폭기의 이득(A_v)을 증가시킴으로서 $\frac{1}{A_v}$ 의 비율로 감소시킬 수 있다. 따라서 A/D 변환기의 정확도는 커패시터의 정확한 비율, 연산증폭기의 유한 이득 효과와 스

* 正會員, 東國大學校 半導體科學科

(Dongguk Univ., Dept. of Semiconductor Science)

※ 본 연구는 정보통신부 지원 대학기초지원 사업(과제 번호 : C1-1999-1145-00)에 의해 수행되었습니다. 지원에 감사드립니다.

接受日字 : 1999年5月17日, 수정완료일 : 1999年8月11日

위치의 노이즈에 의해 영향을 받는다. 그러나 커패시터의 높은 정합도와 연산증폭기의 높은 이득을 모두 충족시키는 데에는 한계가 있다. 예를 들면, 8-bit 및 10-bit의 해상도를 갖는 A/D 변환기를 얻기 위해서는 연산증폭기가 각각 64dB와 72dB의 이득을 갖아야 한다^[1]. 그리고 연산증폭기의 이득을 증가시키기 위해서는 많은 전력 소모를 갖게 된다. 본 연구에서는 저 전력, 고해상도 A/D 변환기설계를 위해 250 μ W의 전력 소모를 갖고 48dB의 낮은 이득의 완전 차동 Folded Cascode 연산증폭기를 사용한다. 또한 시스템적인 offset 전압을 효과적으로 감소시킬 수 있는 새로운 시스템적인 offset 제거 기술을 제안하여, 저 전력, 고해상도의 성능을 갖는 Cyclic A/D 변환기를 설계한다. Cyclic A/D 변환기는 속도가 느리다는 단점은 있지만, 구조가 간단하기 때문에 칩 면적을 줄일 수 있다는 장점이 있다. Cyclic A/D 변환기는 하나의 Sample-and-Hold 증폭기(이하 SHA), Gain 증폭기와 비교기를 사용하며 feedback을 통해 출력을 얻음으로써 저 전력 설계가 가능하다

본 논문에서는 의료 장비 및 프로세스 제어, 디지털 오디오등에 사용되는 8-bit 100KSPS 1mW의 사양을 갖는 저 전력, 고해상도 A/D 변환기에 대해 논한다. 본 논문의 순서는 다음과 같다. II장에서는 Cyclic A/D 변환기의 전체 구조를 나타냈으며, III장에서는 제안하는 SHA와 Gain 증폭기의 회로 설계 및 동작 원리를 설명하였고, IV장에서는 실험결과를 논하였으며, 마지막으로 V장에서는 결론에 대해 기술하였다.

II. 전체구조

Cyclic A/D 변환기의 전체 구성은 입력 전압을 샘플링 하는 SHA 와 샘플링 된 신호를 두 배로 증폭시키기 위한 Gain 증폭기, 그리고 마지막으로 Gain 증폭기의 출력과 기준전압을 비교하여 디지털 코드를 생성시키는 비교기로 구성된다.

그림 1은 Cyclic A/D 변환기의 전체구조를 나타내고 있다. 입력 전압이 SHA에 가해지게 되면 ϕ_1, ϕ_2 를 사용하는 nonoverlapping 클럭에 의해 ϕ_2 동안에는 입력 전압이 샘플링된다. 그리고 ϕ_1 상태가 되면 샘플링된 값을 유지하게 되는 홀딩 모드로 동작하게 된다. 기존의 SHA는 입력 단의 시스템적인 offset전압이 발생 할

수 있다는 단점을 가지고 있으나, 제안하는 SHA는 ϕ_1 의 추가되는 클럭을 사용하여 시스템적인 offset전압을 제거하고 커패시터 양단의 샘플링 전압을 정확히 홀딩시킬 수 있다. 이에 대해서는 다음절에서 논한다.

홀딩 된 값은 Gain 증폭기에 의해 두 배로 증폭되게 된다. 기존의 완전 차동 증폭기를 이용한 Gain 증폭기는 입력 커패시턴스를 귀환 커패시턴스보다 두 배의 큰 크기로 사용함으로써 두 배의 이득을 얻을 수 있었다. 그러나 제안하는 Gain 증폭기는 입력 커패시턴스와 귀환 커패시턴스의 크기를 같게 사용하면서 두 배의 출력 전압을 얻을 수 있다. 이에 대해서도 다음절에서 논한다. 비교기는 SHA의 출력으로부터 디지털화 된 출력값을 얻어내고, 이 신호는 Gain증폭기로부터 나온 신호와 기준전압을 가감하는 역할을 함으로써 다시 SHA의 입력인 V_i 를 생성시킨다. 여기서 V_i 는 다음과 같이 표현되며,

$$V_i = 2 \left[V_{res} \pm \frac{V_{ref}}{2} \right] \quad (1)$$

($i = 1, 2, 3, 4, 5, 6, 7$)

$V_{res} = V_{i-1}$ 를 나타낸다. 식(1)에서 여덟 번 주기가 반복되면 최종적인 디지털 출력을 얻는다.

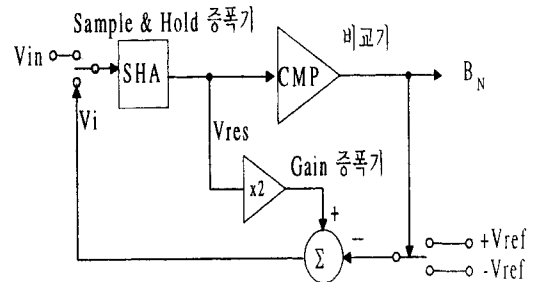


그림 1. Cyclic A/D 변환기의 전체 구조
Fig. 1. Block Diagram of a Cyclic A/D Converter.

III. 블록 설계

1. 제안하는 Sample and Hold 증폭기(SHA)의 설계
기존의 SHA는 ϕ_1 과 ϕ_2 의 nonoverlapping 클럭만을 사용하여 동작하며, 그림 2는 기존에 많이 사용되는 SHA의 구성을 나타내고 있다. 그림 2(b)와 같이 ϕ_2 상태에서는 입력 전압을 샘플링하게 되고, 그림 2(c)와

같이 ϕ_1 상태에서는 샘플링된 신호를 유지하는 홀딩 모드로 동작한다.

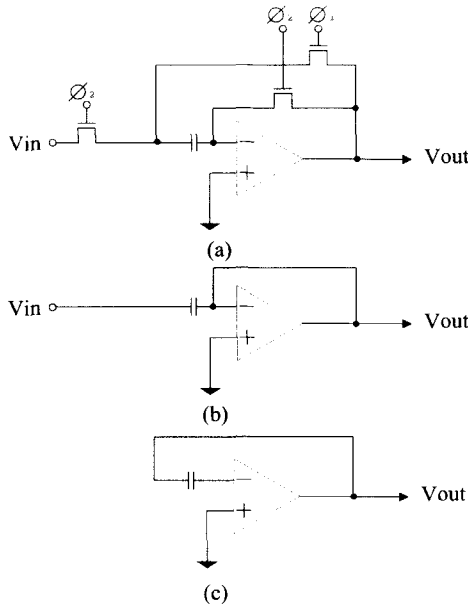


그림 2. 기존의 Sample and Hold 증폭기(SHA)
 (a) 기존의 SHA 회로도
 (b) ϕ_2 가 High에서의 상태
 (c) ϕ_1 이 High에서의 상태

Fig. 2. The Architecture of conventional SHA.
 (a) Conventional SHA
 (b) Input signal is fed into SHA in ϕ_2 phase
 (c) Sampled signal is held in ϕ_1 phase

기존의 SHA는 연산증폭기의 이득과 커패시터의 용량에 따라 시스템적인 offset전압이 발생 할 수 있다. 그러므로 입력 신호를 정확히 홀딩 할 수 없으나^[2], 그림 3과 같이 제안하는 SHA는 시스템적인 offset을 제거 할 수 있다. 그림 3(b)와 같이 ϕ_2 가 High상태에서 샘플링을 한다. 그림 3(c)와 같이 ϕ_{2b} 가 Low로 전이되고, ϕ_c 가 High로 전이 되는 순간 커패시터의 bottom plate의 전압과 기준전압을 같게 함으로서 시스템적인 offset을 제거한다. 여기서 ϕ_c 는 ϕ_1 과 같은 위상의 클럭이며 그림 4와 같이 ϕ_{2b} 와 ϕ_2 가 Low로 전이되는 중간에 High로 전이되는 클럭이다. 그림 3(d)는 ϕ_2 가 Low로 전이되고, ϕ_1 이 High상태로 커패시터 양단의 샘플링 전압을 정확히 홀딩 시킬 수 있다. 그림 4는

제안한 SHA에 사용되는 ϕ_1 , ϕ_2 그리고 ϕ_c 의 각 파형을 나타내었다.

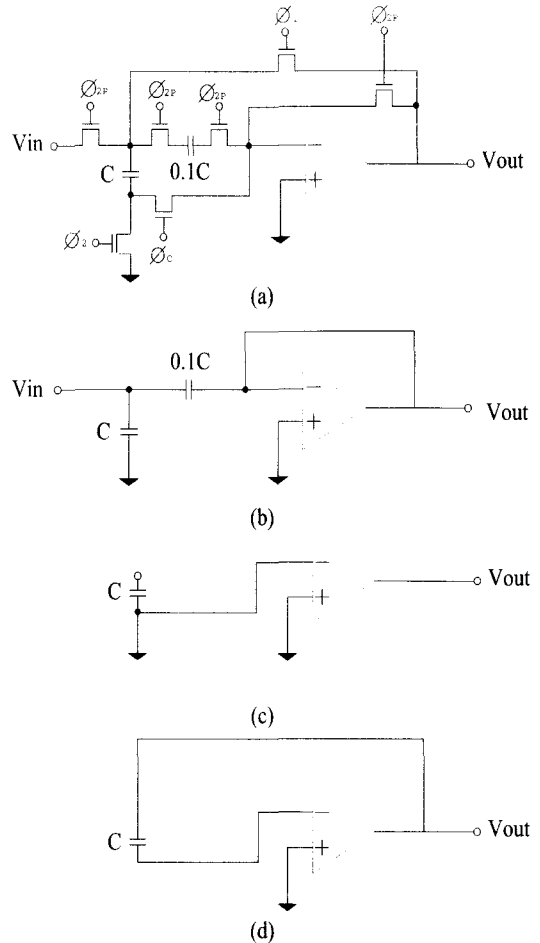


그림 3. 제안하는 Sample and Hold 증폭기(SHA)
 (a) 제안하는 SHA의 회로도
 (b) ϕ_2 가 High에서의 상태
 (c) ϕ_c 가 Low에서 High로 전이 된 상태
 (d) ϕ_1 이 High에서의 상태

Fig. 3. The Architecture of proposed SHA.
 (a) Proposed SHA
 (b) Sampling mode at ϕ_2 phase
 (c) Reference voltage is equal to the voltage of bottom plate when ϕ_c goes High
 (d) Holding mode at ϕ_1 phase

그림 5는 기존의 SHA의 SPICE simulation결과이며, 그림 6은 제안하는 SHA의 SPICE simulation결과이다. 그림 5에 나타나 있는 바와 같이 연산증폭기의 이득이 48dB인 경우, 기존의 SHA는 시스템적인 offset전압이 커짐을 알 수 있다. 그러나 그림 6에 나타나있는 바와

같이 제안된 SHA는 시스템적인 offset 전압이 거의 나타나지 않으므로 정확한 입력값의 샘플링이 가능하다.

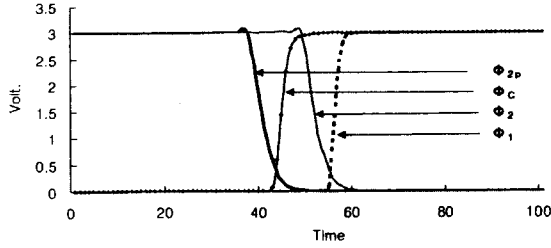


그림 4. ϕ_1 , ϕ_2 그리고 ϕ_C 의 클럭 파형
Fig. 4. Clock signals of ϕ_1 , ϕ_2 and ϕ_C of proposed SHA.

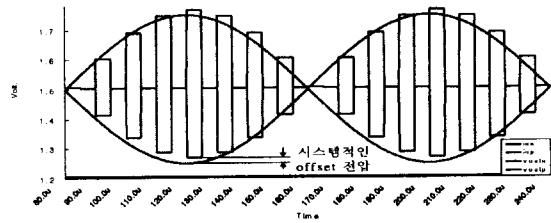


그림 5. 시스템적인 offset 전압이 크게 나타나는 기존의 SHA의 모의 실험 결과
Fig. 5. SPICE simulation results of the conventional SHA.

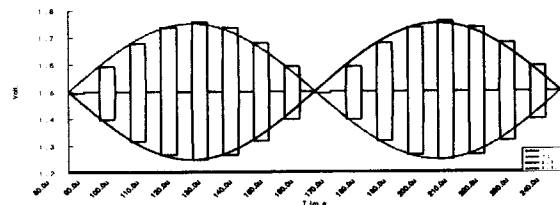


그림 6. 시스템적인 offset 전압이 거의 나타나지 않는 제안하는 SHA의 모의 실험 결과
Fig. 6. SPICE simulation results of the proposed SHA.

2. 제안하는 완전 차동 Gain 증폭기의 설계

Cyclic A/D 변환기에서는 입력 전압을 두 배로 증폭시키는 Gain 증폭기가 필요하며, 그림 7은 입력 커패시턴스를 귀환 커패시턴스보다 두 배 큰 크기로 사용함으로써 두 배의 이득을 얻는 기존의 Gain 증폭기이다. 그러나 입력 커패시턴스를 귀환 커패시턴스에 비해 두 배 큰 크기로 사용하게 되면 커패시턴스의 구현에 따른 면적의 소비와 커패시턴스간의 비율이 공정상의 오차에 따라 정확히 2대1의 비율로 구현되기 어렵다. 이

를 개선하기 위해 4-phase^[3]와 7-phase^[1]를 사용함으로써 커패시턴스의 비율에 의존하지 않는 gain 증폭기를 구현할 수 있으나^{[4][9]}, 이러한 방법은 샘플링 주파수를 감소시키는 단점을 가진다.

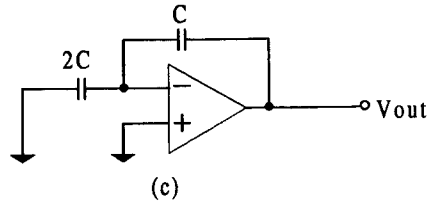
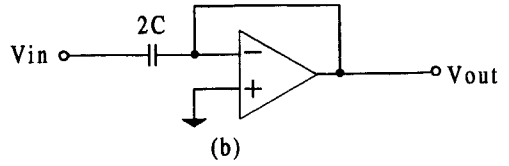
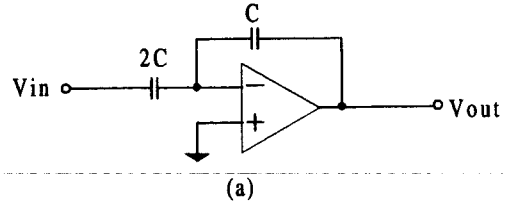


그림 7. 기존 Gain 증폭기의 구성

- (a) 기존 Gain 증폭기의 회로도
- (b) ϕ_1 상태에서의 동작
- (c) ϕ_2 상태에서의 동작

Fig. 7. The Architecture of conventional Gain-Amp.
(a) The Circuit of conventional Gain-Amp.
(b) Sampling of input voltage at ϕ_1 phase
(c) Amplifying the input voltage by two times at ϕ_2 phase

그림 8은 제안하는 Gain 증폭기로서 2-phase 클럭을 사용하여 샘플링 주파수를 증가시키고, 입력 커패시턴스와 귀환 커패시턴스를 같은 크기로 사용하여 면적의 감소 및 공정상의 오차를 감소시킨 회로이다. 또한 1mW의 전력소모를 갖는 A/D 변환기를 설계하기 위해 연산증폭기의 전력소모 사양은 250 μ W 이내이다. Gain 증폭기의 입력 커패시터를 2C가 아닌 C를 사용함으로써 전력소모를 최소화하였다. 즉, 완전 차동 증폭기에서의 두 입력을 nonoverlapping 클럭을 사용하는 스위치를 이용하여 서로 병렬로 연결함으로써 두 배의 이득을 얻을 수 있는 Gain 증폭기이다. 그림 8(a)와 같이 제안하는 Gain 증폭기는 입력 커패시턴스와 귀환 커패시턴스를 같은 크기로 사용하여 구성하였다. 그림 8(b)와

같이 ϕ_1 상태에서 입력값이 입력 커패시터에 샘플링되고, 그림 8(c)에서와 같이 스위치를 이용하여 입력 커패시터를 두 배로 만든다. 그림 8(d)는 그림 8(c)를 단순화시킨 회로도이다. 제안하는 Gain 증폭기와 비교기를 거쳐 생성된 디지털 코드 B_N 에 의해 식 (1)이 만족된다.

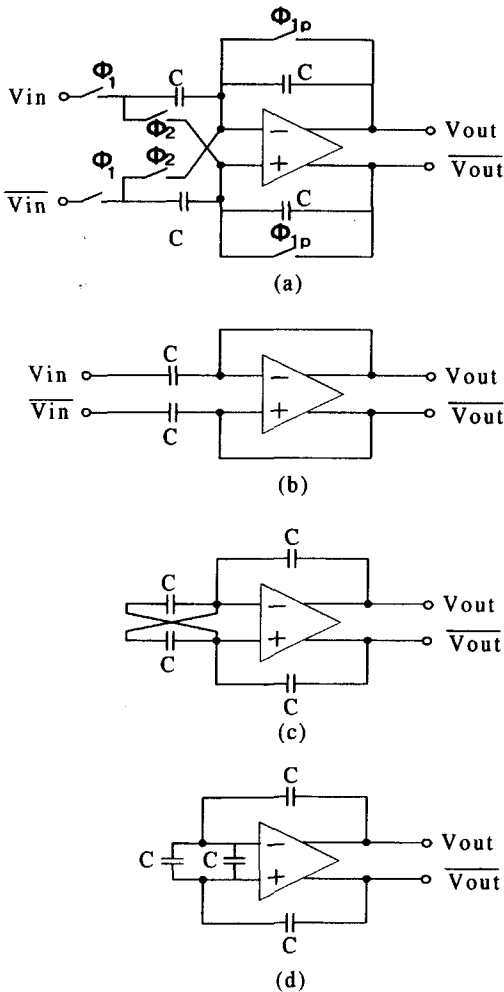


그림 8. 제안된 Gain 증폭기의 구성
 (a) 제안하는 Gain 증폭기의 회로도
 (b) ϕ_1 상태에서의 동작
 (c) ϕ_2 상태에서의 동작
 (d) (c)를 단순화시킨 회로도

Fig. 8. The Architecture of proposed Gain-Amp.
 (a) Proposed Gain-Amp
 (b) Sampling of input voltage at ϕ_1 phase
 (c) Same size of input capacitance and feedback capacitance
 (d) Simplified diagram of (c)

그림 9는 B_N 이 High일 경우 식(1)에 대한 모의 실험 결과로 식 (2)를 만족한다.

$$V_i = 2V_{res} - V_{ref} \quad (2)$$

여기서 V_{ref} 는 0.25V이다.

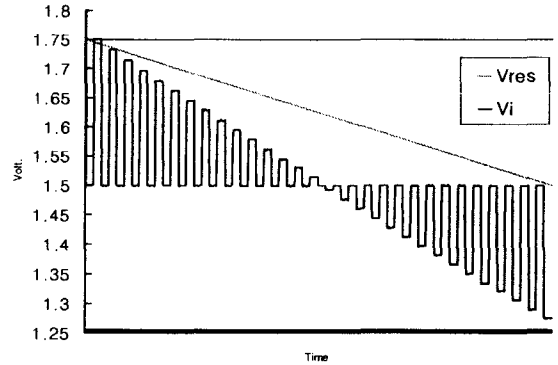


그림 9. 제안하는 Gain 증폭기의 모의 실험 결과
 Fig. 9. Simulation Results of the proposed Gain-Amp.

본 연구에서 사용된 커패시터는 poly-metal를 사용하였다. 커패시터를 형성시키기에 앞서 n-well를 형성시키고, 커패시터를 형성한 후 bottom plate를 연산증폭기의 입력단에 연결한다. 그리고 n-well에 virtual ground와 같은 1.5V의 바이어스를 인가함으로써 bottom plate 기생 커패시턴스를 최소화하였다.

IV. 실험 결과

제안하는 SHA와 Gain 증폭기를 사용한 Cyclic A/D 변환기는 0.6 μ m single-poly triple-metal n-well CMOS

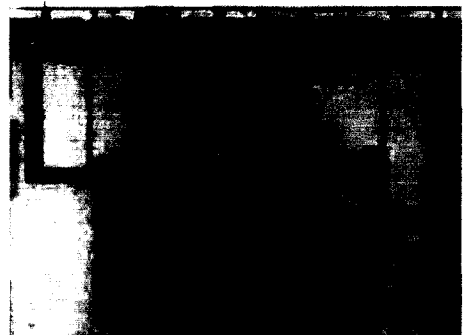


그림 10. Cyclic A/D 변환기의 칩 사진
 Fig. 10. Microphotograph of the proposed Cyclic A/D Converter.

공정을 이용하여 제작되었다. 그림 10은 제안하는 SHIA와 Gain 증폭기를 이용하여 8-bit 100KSPS Cyclic A/D 변환기를 설계하여 제작된 칩 사진을 나타내고 있다.

그림 11은 100KHz 샘플링 조건에 대한 SNR과 입력 주파수의 관계를 측정된 결과이다. 입력 주파수가 10KHz 이상 증가할 경우 SNR은 43dB 이하로 감소하게 됨을 알 수 있다.

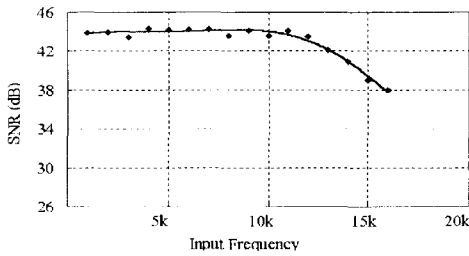


그림 11. 100KHz 샘플링 주파수에서의 SNR 대 입력 주파수
Fig. 11. SNR versus input frequency for 100KHz sampling frequency.

또한, 그림 12는 DNL, INL 측정 결과로 선형성 오차가 ± 1 LSB 이하를 유지함을 확인하였다.

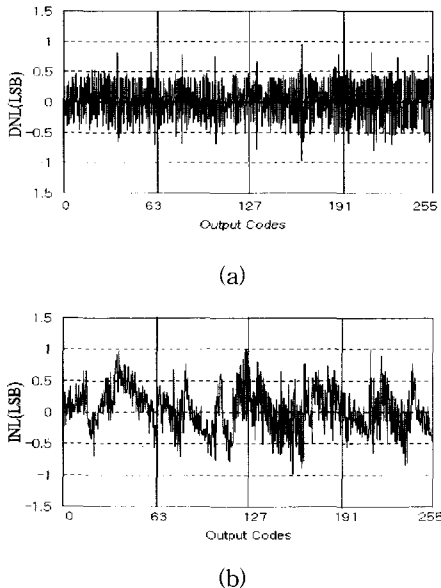


그림 12. A/D 변환기의 DNL과 INL
(a) DNL (b) INL
Fig. 12. DNL & INL of the A/D Converter.
(a) DNL (b) INL

표 1은 제안하는 SHA와 Gain 증폭기를 이용하여 제작된 8-bit 100KSPS Cyclic A/D 변환기에 대한 사양 및 측정 결과이다. 제안하는 Cyclic A/D 변환기는 3V 단일 전원 전압에서 980 μ W의 전력소모를 보였다.

표 1. 8-bit 100KSPS Cyclic A/D 변환기의 측정 결과
Table 1. Evaluation Results of the proposed 8-bit 100KSPS Cyclic A/D Converter.

분해능	8-bit
변환 속도	100KSPS
전력 소모	980 μ W
전원 전압	3V
아날로그 입력범위	0.5Vpp
유효 칩 면적	1mm \times 0.6mm
공정	0.6 μ m 1-poly 3-metal CMOS Process
INL	± 1 LSB 이내
DNL	± 1 LSB 이내
SNR	43dB

V. 결론

본 연구에서는 의료장비 및 휴대용 통신기기 같은 응용 분야에서 높은 해상도 및 저 전력을 갖는 Cyclic 구조의 A/D 변환기를 설계, 제작하였다. 제안하는 A/D 변환기는 연산증폭기의 시스템적인 offset 전압을 효과적으로 감소시키기 위해, 새로운 시스템적인 offset 전압 제거 기술을 사용한 SHA, 새로운 Gain 증폭기와 비교기로 구성되어있다. 0.6 μ m single-poly triple-metal n-well CMOS 공정을 사용하여 제작되었으며, +3V 단일 공급전압에서 DNL과 INL은 ± 1 LSB 이내로 측정되었고, 100KHz의 샘플링 주파수에서 43dB의 SNR를 갖는다. 측정된 최대전력소모는 980 μ W로 나타났다.

참고 문헌

[1] Shu-Yun Chin and Chung-Yu wu, "A CMOS ratio-independent and Algorithmic Analog to digital converter", IEEE J. Solid State Circuit, vol. 31, pp. 1201-1207, Aug. 1996.
[2] Dong-Young Chang and Seung-Hoon Lee,

- "Design Technique for a Low Power Low-Cost CMOS A/D Converter", IEEE J. Solid State Circuits, vol. 33, pp.1244-1248, Aug. 1998.
- [3] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", Wiley, 1997, pp. 504-507.
- [4] P. W. Li, M. J. Chin, P. R. Gray, and R. Castello, "A ratio-independent algorithmic analog-to-digital conversion technique," IEEE J. Solid-State Circuits, vol. SC-19, pp. 828-836, Dec. 1984.
- [5] H. Onodera, T. Tateishi, and K. Tamaru, "A cyclic A/D converter that does not require ratio-matched components," IEEE J. Solid-State Circuits, vol. 23, pp. 152-18, Feb. 1988.
- [6] D. G. Naim and C. A. T. Salama, "A ratio-independent algorithmic analog-to-digital converter combining current mode and dynamic techniques," IEEE Trans. Circuits Syst., vol. 37, pp. 319-325, Mar. 1990.
- [7] H. T. Yung and K. S. Chao. "A ratio-independent cyclic A/D conversion technique," IEEE Proc. Int. Symp. Circuits and Systems, 1998. 2581-2584.
- [8] C. Y. Wu, S. Y. Chin and S. S. Chang, "A new capacitor-ratio-independent algorithmic analog-to-digital converter," IEEE Proc. Int. Symp. Circuits and Systems, 1990, pp. 2228-2231.
- [9] K. Nagaraj, "Efficient Circuit Configurations for Algorithmic Analog to Digital Converter," IEEE T. Circuits Syst. II, vol. 40, pp. 777-785, Dec. 1993.

저 자 소 개



李 政 垠(正會員)

1998년 동국대학교 반도체과학과 학사. 1998년-현재 동국대학교 반도체과학과 석사과정 재학중, 주관심 분야는 CMOS 혼성모드 회로설계, 저전력 집적시스템설계



宋 敏 圭(正會員)

서울대학교 전자공학과 학사(1986년), 석사(1988년), 박사(1993년), 1993년-94년 일본 동경 대학교 전자공학과 초빙연구원, 1995년-96년 삼성전자 ASIC 설계팀 선임연구원, 1997년-현재 동국대학교 반도체과학과 조교수, 주관심 분야는 CMOS 혼성모드 회로설계, 저전력 집적시스템 설계