

12비트 CMOS 전류 셀 매트릭스 D/A 변환기 설계

(Design of a 12 Bit CMOS Current Cell Matrix D/A Converter)

柳基弘*, 尹廣燮**

(Ki-Hong Ryu and Kwang Sub Yoon)

요 약

본 논문에서는 12비트의 해상도와 65MHz의 변환속도를 가지면서 단일 3.3V의 공급전압으로 동작하는 전류 셀 매트릭스 구조의 CMOS D/A 변환기를 제안하였다. 설계된 CMOS D/A 변환기는 우수한 단조증가성과 빠른 정착시간을 가지는 전류 셀 매트릭스 구조의 장점을 이용하면서 기존의 D/A 변환기의 전류셀간의 문턱전압의 부정합과 접지선의 전압 강하에 의한 오차를 감소시키기 위해 트리 구조 바이어스 회로, 대칭적 접지선 연결, 캐스코드 전류 스위치를 사용하여 구현되었다. 설계된 전류 셀 매트릭스 12비트 D/A 변환기를 0.6 μ m CMOS n-well 공정을 이용하여 제작하였다. 제작된 DAC칩을 +3.3V 단일 공급전원을 이용하여 측정결과, 정착시간이 20nsec로써 50MHz의 변환속도와 35.6mW의 전력소모를 나타내었다. 또한 측정된 SNR, DNL과 INL은 각각 55dB, ± 0.5 LSB, ± 2 LSB를 나타내었다.

Abstract

This paper describes a 12bit CMOS current cell matrix D/A converter which shows a conversion rate of 65MHz and a power supply of 3.3V. Designed D/A converter utilizes current cell matrix structure with good monotonicity characteristic and fast settling time, and it is implemented by using the tree structure bias circuit, the symmetrical routing method with ground line and the cascode current switch to reduce the errors of the conventional D/A converter caused by a threshold voltage mismatch of current cells and a voltage drop of the ground line. The designed D/A converter was implemented with a 0.6 μ m CMOS n-well technology. The measured data shows a settling time of 20ns, a conversion rate of 50MHz and a power dissipation of 35.6mW with a single power supply of 3.3V. The experimental SNR, DNL, and INL of the D/A converter is measured to be 55dB, ± 0.5 LSB, and ± 2 LSB, respectively.

* 正會員, 三星電子 半導體시스템

(Samsung Electronics)

** 正會員, 仁荷大學校 電子工學科

(Dept. of Electronic Engineering, Inha University)

※ 본 연구결과는 정보통신부 정보통신 우수시범학교 (대학원) 지원사업에 의하여 1999년 인하대학교 교내 연구비 지원으로 수행하였음

接受日字:1999年4月6日, 수정완료일:1999年7月19日

I. 서론

집적회로 설계기술의 발달에 따라 소자의 집적도가 향상되어 종래에 보드 상에서 실현 가능하였던 시스템을 하나의 칩 위에 집적시키려고 하고 있다. 이에 따라서 아날로그와 디지털 혼성 신호를 구현하는 혼합 신호 집적회로가 필수 불가결하게 되었다. 최근에 영상 신호, 측정 기자재, 통신 등에 디지털 신호 처리 기술의 증가로 아날로그인 외부 세계와 디지털 신호

처리 회로의 인터페이스를 담당하는 D/A 변환기의 중요성^[1]이 대두되고 있다.

기존의 영상 신호 처리를 위한 D/A 변환기는 크게 두 가지로 볼 수 있다. 첫째로 전압 구동 방식으로 저항 사다리를 이용한 D/A 변환기가 있다^[2]. 이 구조는 수동 소자를 사용하여 선형성은 우수하지만 출력에 낮은 임피던스를 얻기 위한 출력 전압 버퍼를 필요로 함으로 전력 소모가 증가되고, 저항 사다리 사용으로 인해 칩면적이 증가한다는 단점이 생긴다. 두번째로는 전류 구동 방식으로 매트릭스 구조를 이용한 전류 셀 매트릭스 D/A 변환기가 있다^[3-16]. 이러한 구조의 D/A 변환기는 각각의 차동 전류셀의 동작으로 전류를 출력으로 보내 주어 빠른 변환속도를 가지고 있고 각각의 전류원이 1LSB를 나타내므로 단조증가성이 우수하다. 하지만 전류셀간의 문턱전압의 부정합과 접지선의 전압 강하에 의해 오차가 발생하여 12비트의 해상도를 구현하지 못한다. 즉 기존의 D/A 변환기들은 변환 속도를 만족하지만 12비트의 해상도를 가지지 못하고, 회로의 크기의 증가와 큰 소비 전력·높은 공급 전압으로 인하여 저전압, 저전력, 고 해상도의 영상 신호 처리 시스템 내부에 사용되기 어렵다는 것을 알 수 있다.

따라서 본 논문은 우수한 단조증가성을 가지는 매트릭스 전류셀의 장점을 이용하면서 기존의 D/A 변환기의 전류셀간의 문턱전압의 부정합과 접지선의 전압 강하에 의한 오차를 감소시키기 위하여 트리 구조 바이어스 회로, 접지선의 대칭적 연결, 캐스코드 스위치 전류원을 사용한 전류 셀 매트릭스 D/A 변환기를 제안한다. 제안된 방식을 사용하므로써 D/A 변환기의 선형성을 향상시켰고, 저전압·고속에서 동작하는 12비트 D/A 변환기를 구현하였다.

본 논문의 구성은 II장에서 제안한 D/A 변환기의 구조와 특징인 래치, 행·열 디코더, 매트릭스 스위칭 디코더, 캐스코드 스위치 전류원, 트리 구조 바이어스 회로, 접지선의 대칭적 연결의 동작원리와 설계 방법론에 대해서 설명하였고, III장에서는 HSPICE를 이용한 모의실험 결과 및 제작된 D/A 변환기 회로의 측정 결과에 관하여 고찰하였고, IV장에서 결론을 맺었다.

II. 제안된 D/A 변환기의 설계

설계된 12비트 고속 전류 셀 매트릭스 D/A 변환기

의 전체 구성 블록도를 그림 1에 나타내었다.

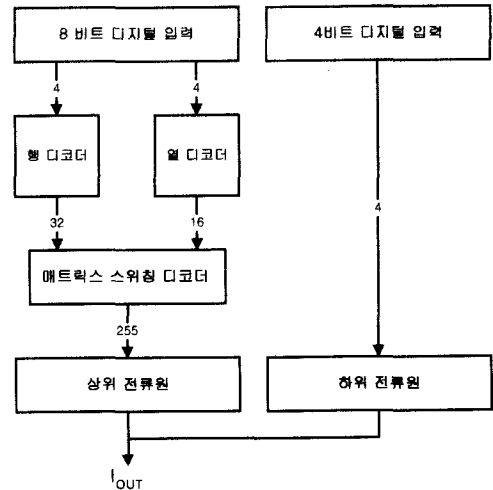


그림 1. CMOS D/A 변환기의 전체 블록도.
Fig. 1. Block diagram of CMOS D/A converter.

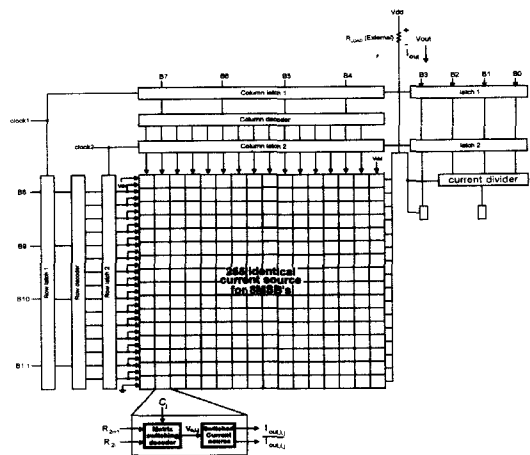


그림 2. 12비트 고속 전류 셀 매트릭스 D/A 변환기의 전체 회로도.
Fig. 2. Circuit diagram of 12bit high speed current cell matrix D/A converter.

설계된 D/A 변환기는 상위 8비트의 전류 셀 매트릭스단과 하위 4비트의 이진 가중 전류원단으로 구성된다. 전류 셀 매트릭스단은 행 디코더, 열 디코더, 매트릭스 스위칭 디코더, 그리고 전류 셀 매트릭스로 구성된다. 전류 셀 매트릭스는 동일한 전류 크기를 가지는 255개의 차동 전류 셀과 이를 구동시키기 위한 255개의 매트릭스 스위칭 디코더로 구성된다. 2진 가중 전류원단은 4개의 전류원과 4개의 차동 전류 스위치만으로 구성되며 디코더 없이 입력 이진 비트에 의

해 직접 구동된다. 이진 가중 전류원의 구현을 위하여 전류 분배기를 사용하였다. 그림 2는 12비트 전류 셀 매트릭스 CMOS D/A 변환기의 전체 회로도를 보여 준다. 디지털 입력값(B4-B11)은 둘로 나누어져 각각 행 디코더와 열 디코더에 의해서 32비트와 16비트의 온도계 코드로 디코딩된다. 디코딩된 값(R_{2i}, R_{2i+1}, C_j)은 매트릭스 스위칭 디코더를 통해서 $V_{o,ij}$ 신호를 발생시킨다. $V_{o,ij}$ 신호는 차동 스위치 전류원에 인가되어 $I_{out,i,j}$ 와 $\overline{I_{out,i,j}}$ 를 제어한다. 출력전류(I_{out})와 출력전압(V_{out})은 식 (1)과 식 (2)로 표시되며, 식 (3)과 같이 전류 셀 하나의 전류 크기는 이진 가중 전류원단에서 최 하위 비트에 해당하는 전류원보다 16배 큰 전류 크기를 가진다.

$$I_{OUT} = I_{MSB}(2^7b_{11} + 2^6b_{10} + 2^5b_9 + 2^4b_8 + 2^3b_7 + 2^2b_6 + 2b_5 + b_4) + I_{LSB}(2^3b_3 + 2^2b_2 + 2b_1 + b_0) \quad (1)$$

b_i 는 디지털 입력을 나타낸다.

$$V_{OUT} = I_{OUT} \cdot R_{LOAD} \quad (2)$$

R_{LOAD} 는 외부 부하저항의 크기를 나타낸다.

$$I_{MSB} = 16I_{LSB} \quad (3)$$

I_{MSB} 는 전류 셀 하나의 전류, I_{LSB} 는 2진 가중 전류원단에서 최 하위 비트에 해당하는 전류원의 전류 크기를 나타낸다. 설계된 12비트 고속 전류 셀 매트릭스 D/A 변환기의 전체 구조를 보면 행, 열 디코더의 입, 출력단에 각각 래치가 존재하는 것을 알 수 있다. 이 두 단의 래치는 행, 열 디코더의 지연 시간에 의해 D/A 변환기의 속도가 저하되는 것을 막고 글리치 에너지를 감소시킨다.

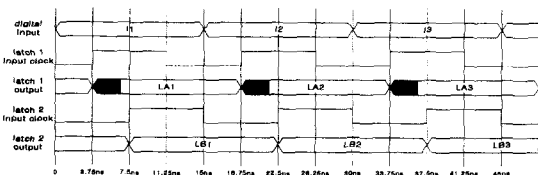


그림 3. 래치의 타이밍 다이어그램
Fig. 3. Timing diagram of latch.

그림 3에 디지털 입력, 래치 입력 클럭, 래치 출력의 타이밍 다이어그램을 나타내었다. 첫 번째 디지털 입력은 0ns부터 15ns까지 존재한다. 그런데 첫 번째 디지털 입력은 0ns에서 신호가 천이되므로 그 순간에

는 안정된 값을 가지지 못한다. 안정된 값을 행, 열 디코더로 전달하기 위해 래치 1은 첫 번째 디지털 입력이 안정되어 있는 3.75ns~11.25ns의 시간 동안 입력을 샘플하고 11.25ns~18.75ns의 시간 동안 샘플한 신호를 홀드한다.

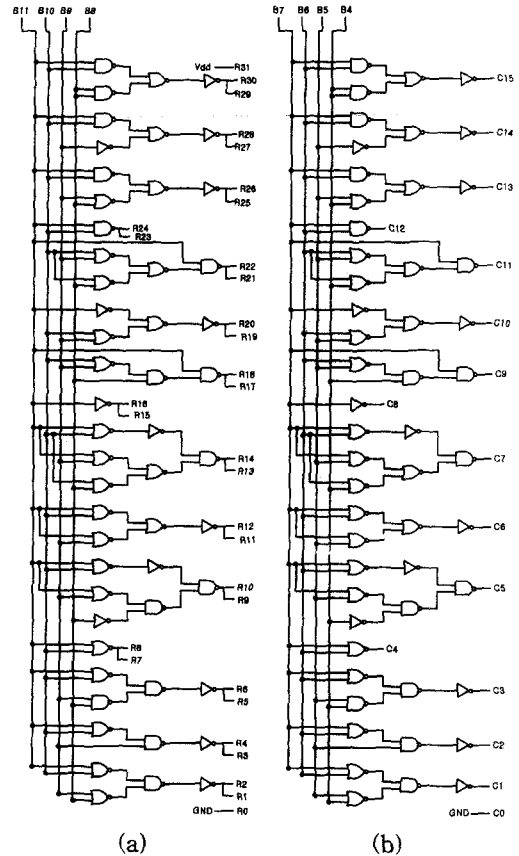


그림 4. 행 디코더와 열 디코더 (a) 행 디코더, (b) 열 디코더
Fig. 4. Row decoder and column decoder (a) Row decoder, (b) Column decoder.

래치 1은 이 안정된 신호를 행, 열 디코더의 입력으로 전달한다. 행, 열 디코더는 복잡한 게이트로 이루어져 있으므로 각 신호는 서로 다른 지연 시간을 가진다. 이 지연 시간은 그림 3의 빗금친 부분으로 표시되어 있다. 래치 2는 행, 열 디코더의 여러 출력이 안정된 후인 7.5ns~15ns의 시간 동안 행, 열 디코더 출력을 샘플하고 15ns~22.5ns의 시간 동안 샘플한 신호를 홀드한다. 이와 같은 파이프라인 동작을 통해서 행, 열 디코더의 지연 시간에 의해서 생기는 D/A 변환기의 속도 저하를 막고, 복잡한 게이트들의 서로 다른 지연 시간에 의해서 생기는 글리치 에너지를 감소

시킨다. D/A 변환기내 사용된 래치는 두 개의 인버터와 두 개의 전송 게이트로 구성된 D 래치이다^[14]. 래치 내부의 논리 회로는 표준화된 CMOS 논리 게이트를 사용하여 구현되었으며, 65MHz의 고속 동작을 위하여 공정 최소선 폭의 소자비로 설계하였다. 설계된 12비트 고속 전류 셀 매트릭스 D/A 변환기에서 입력된 디지털 코드값중 상위 8비트는 열 디코더와 행 디코더를 통해서 디코딩된다.

그림 4는 행 디코더와 열 디코더의 구조를 나타낸다. 입력된 2진 코드는 이 디코더를 통해 입력이 증가할수록 출력값은 감소하는 역순도계 코드로 바뀐다. 행 디코더와 열 디코더는 표준화된 CMOS 논리 게이트를 사용하여 구현되었다. 열 디코더와 행 디코더를 통해 디코딩 되어진 값은 매트릭스 스위칭 디코더의 입력으로 들어간다. 매트릭스 스위칭 디코더의 출력은 각각의 차동쌍 구조를 가진 캐스코드 스위치 전류원을 구동시킨다. 각각의 캐스코드 스위치 전류원을 고속으로 동작시키기 위해서는 매트릭스 스위칭 디코더의 빠른 동작이 요구된다. 그림 6은 매트릭스 스위칭 디코더의 회로도를 나타낸다. 출력 전압 $V_{o,i,j}$ 는 식(4)와 같이 표시되며, R_{2i} 가 논리 '1'일 경우 R_{2i+1} 와 C_j 의 값에 관계없이 출력은 논리 '0'이 된다.

$$V_{o,i,j} = \overline{R_{2i}} (\overline{R_{2i+1}} + \overline{C_j}) = \overline{R_{2i+1}} + \overline{R_{2i}} \overline{C_j} \quad (4)$$

한편 R_{2i} 가 논리 '0'이고 R_{2i+1} 이 논리 '0'일 경우에는 C_j 의 값에 관계없이 출력은 논리 '1'이 되지만, R_{2i} 가 논리 '0'이고 R_{2i+1} 이 논리 '1'일 경우에는 C_j 의 값에 의해서 논리 값이 결정된다^[13].

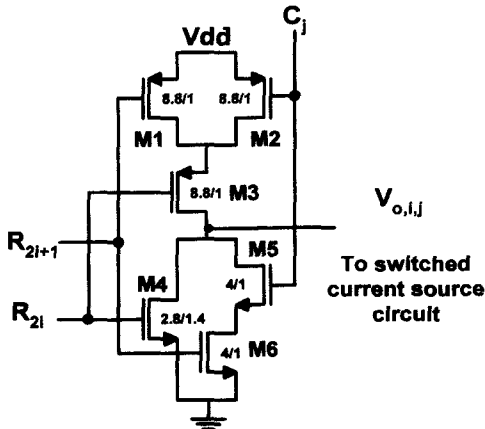
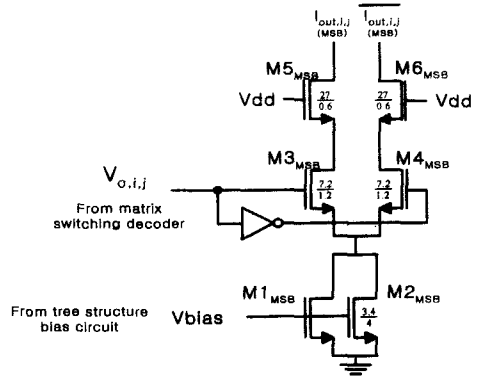
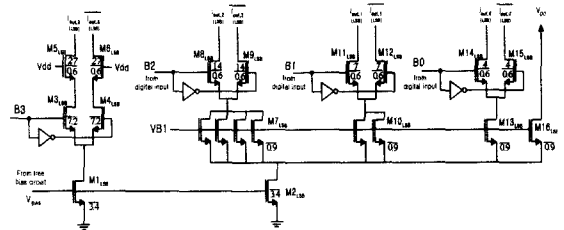


그림 5. 매트릭스 스위칭 디코더의 회로도
Fig. 5. Circuit diagram of matrix switching decoder.



(a)



(b)

그림 6. (a) 상위비트 스위치 전류원 회로와 (b) 하위 비트 스위치 전류원 회로
Fig. 6. Circuit diagram of (a) MSB and (b) LSB switched current source.

매트릭스 스위칭 디코더의 출력값들은 그림 5에서 스위치를 수반한 각 전류원을 동작시킨다. 설계된 D/A 변환기는 전류 셀 매트릭스 구조를 가지며 그림 6(a)의 상위 스위치 전류원과 그림 6(b)의 하위 스위치 전류원의 두 부분으로 나누어진다. 상위 전류원의 $M3_{MSB}$, $M4_{MSB}$ 는 차동쌍으로 구성되며 매트릭스 스위칭 디코더에서 발생하는 신호를 차동신호로 입력시켜 전류방향을 제어한다. 일반적으로 전류원에 의해 D/A 변환기의 해상도가 결정되어진다. 전류원의 오차는 MOS 트랜지스터의 문턱전압 부정합, 채널 길이 변조 효과, 접지선의 전압 강하에 의한 바이어스 전압의 변화 등에 의해 발생한다. 이러한 오차의 원인중에 문턱전압 부정합에 의한 오차는 식(5)로 표시된다^[5].

$$\Delta I_{V_{th}, M1_{MSB}} = \frac{\Delta V_{th, M1_{MSB}}}{2(V_{gs, M1_{MSB}} - V_{th, M1_{MSB}})} \quad (5)$$

식 (5)의 오차를 최소화하기 위해서는 전류원의 게이트-소스 전압 V_{gs} 를 최대로 설계하여야 한다. 그런데 그림 7(a)의 전류원 트랜지스터 $M1_{MSB}$ 를 보면, 전류원의 위에 스위치 트랜지스터 $M3_{MSB}$ 와 버퍼 트랜

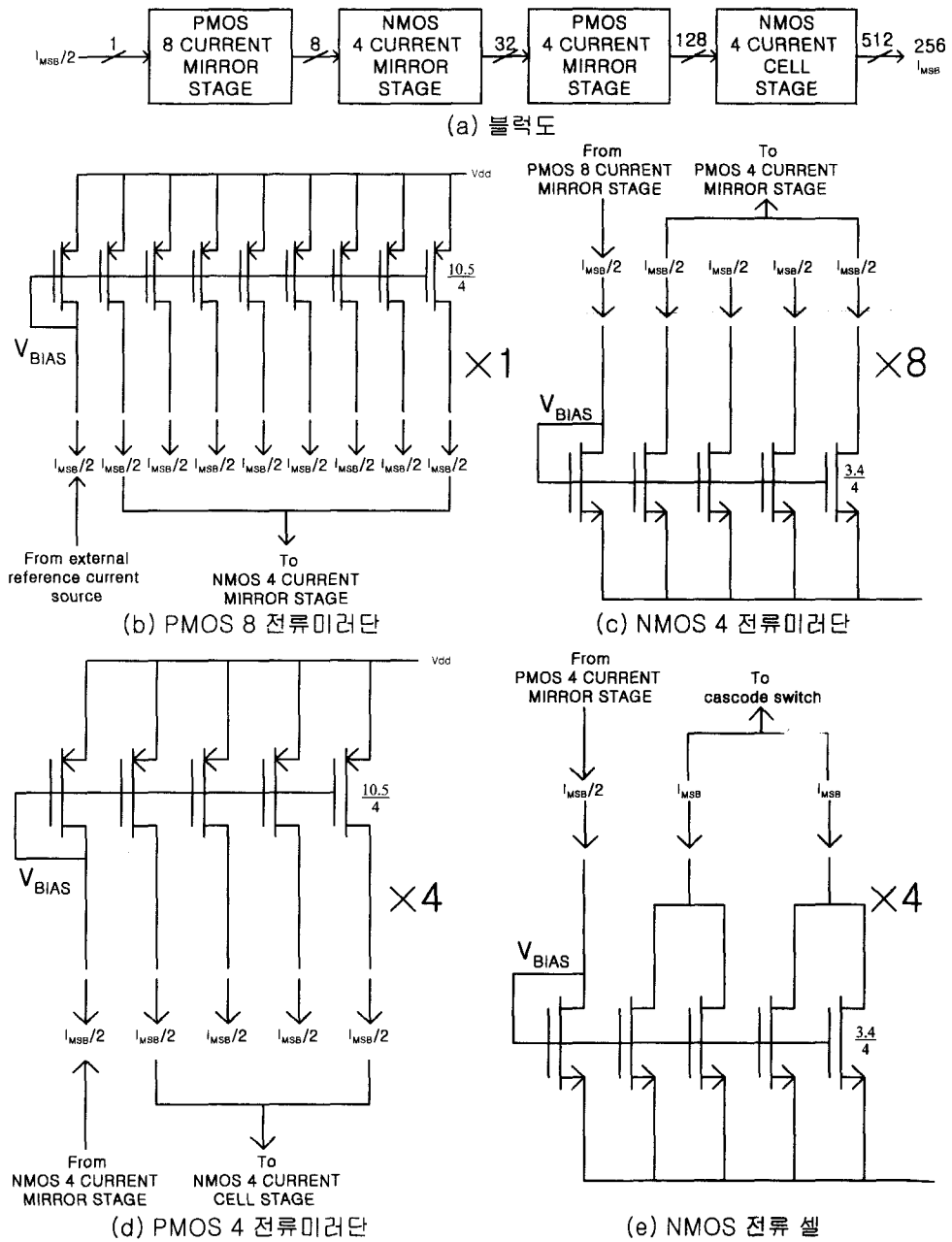


그림 7. 트리 구조 바이어스 회로의 회로도
 Fig. 7. Circuit diagram of tree structure bias circuit.

지스터 M_{5MSB} 가 직렬로 연결되어 있고 그 위에 부하 저항이 직렬로 연결됨을 알 수 있다. 만약 전류원 트랜지스터 M_{1MSB} 를 캐스코드 구조로 설계한다면 4개의 트랜지스터와 부하 저항이 직렬로 연결되게 되므로 전류원의 게이트-소스 전압 V_{gs} 의 값이 매우 작게 설계되어 문턱전압의 부정확에 의한 오차가 커진다. 오

차를 최소화하기 위해 전류원 트랜지스터 M_{1MSB} 를 단일 구조로 설계하였다. 채널 길이 변조 효과에 의한 전류원의 오차를 최소화하기 위해서는 각각의 전류원의 출력 저항값이 커야 한다. 그러나 단일 구조 전류원을 사용하므로써 캐스코드 구조의 전류원에 비해 출력저항이 감소하여 전류원의 오차가 증가한다. 따라서

그림 6(a)에서는 전류 스위치 트랜지스터 $M3_{MSB}$ 의 위에 버퍼 트랜지스터 $M5_{MSB}$ 를 직렬로 연결하였고, 그림 6(b)에서는 전류원 트랜지스터 $M2_{LSB}$ 의 위에 전류 분배기 트랜지스터 $M7_{LSB}$, $M10_{LSB}$, $M13_{LSB}$, $M16_{LSB}$ 를 각각 직렬로 연결하여 높은 출력 저항을 가지도록 설계하였다.

단일 구조의 차동 전류 스위치를 사용하여 전류 셀을 설계할 경우 차동 스위치에서 발생하는 클럭 피드스루 현상에 의해 D/A 변환기의 출력에 큰 글리치 에너지가 발생한다. 매트릭스 스위칭 디코더로부터 나오는 디지털 신호 $V_{o,ij}$ 가 논리 '1'이 되면 스위치 트랜지스터 $M3_{MSB}$ 가 단락되고, 소스와 드레인 단자 사이에 채널이 형성되어 그 채널 영역에 전하가 충전된다. 이때 $V_{o,ij}$ 가 논리 '0'이 되면 $M3_{MSB}$ 가 개방되고 형성되었던 채널이 사라져 충전되었던 전하가 $I_{out,ij}$ 단자로 방전된다. 이것이 출력 전류에 과도 응답을 발생시켜 출력에 큰 글리치 에너지로 나타난다. 그런데 캐스코드 스위치를 사용하여 전류 셀을 설계하면 $M3_{MSB}$ 위에 항상 단락되어 있는 버퍼 트랜지스터 $M5_{MSB}$ 가 존재한다. 이 버퍼 트랜지스터에 의해 $M3_{MSB}$ 에서 방전되어 출력으로 전달되는 전하의 양이 감소되고, 단일 스위치를 사용하여 전류 셀을 설계할 경우에 비해 D/A 변환기의 출력에 발생하는 글리치 에너지가 작다. 전류원 트랜지스터 $M1$ 과 $M2$ 의 드레인 전류가 $I_{MSB}/2$ 이므로, MOS 트랜지스터($M1$ - $M2$)의 소자비는 식(6)으로 표시된다.

$$S_{1,2} = \frac{I_{MSB}}{K_n(V_{BIAS} - V_{TH1,2})^2} \quad (6)$$

$S_{1,2}$ 는 MOS 트랜지스터($M1, M2$)의 소자비, K_n 은 NMOS의 트랜스 컨덕턴스 파라미터, V_{BIAS} 는 바이어스 전압, $V_{TH1,2}$ 는 트랜지스터($M1, M2$)의 문턱전압이다. 전류원 트랜지스터의 채널길이 변조효과를 최소화하기 위해, $M1, M2$ 의 드레인 전압은 V_{BIAS} 여야 하므로 트랜지스터($M3, M4$)의 소자비는 식 (7)로 표시된다.

$$S_{3,4} = \frac{2I_{MSB}}{K_n(V_{DD} - V_{BIAS} - V_{TH3,4})^2} \quad (7)$$

MOS 트랜지스터 $M3$ 와 $M4$ 가 포화 영역에서 동작해야 하기 때문에, $M3, M4$ 의 드레인 전압은 $V_{DD} - V_{TH3,4}$ 여야 한다. 따라서, 두 MOS 트랜지스터 ($M5$ - $M6$)의 소자비는 식(8)로 표시된다.

$$S_{5,6} = \frac{2I_{MSB}}{K_n(V_{TH3,4} - V_{TH5,6})^2} \quad (8)$$

D/A 변환기의 해상도를 결정하는 중요한 요소중의 하나가 전류원간의 문턱전압의 부정합에 의해 발생하는 전류 크기의 오차이다. 문턱전압의 부정합은 일정한 방향성을 가지지 않는 무작위적인 오차이며, 트랜지스터간의 거리가 멀리 떨어질수록 커지는 특성을 가진다. 설계된 D/A 변환기는 255개의 많은 전류원을 필요로 하므로 전류원간의 거리가 최대 수백 μm 이상 떨어져 있게 된다. 일반적으로, 가까운 거리에 위치한 트랜지스터 사이에는 μmV 정도의 부정합이 존재하고, 먼 거리에 위치한 트랜지스터 사이에는 최대 80mV 이상의 부정합이 존재한다^[15]. 따라서 문턱전압의 부정합을 줄이기 위해서는 전류원간의 거리를 최소화시키는 것이 필요하다. 그림 7은 전류원간의 거리를 최소화시키기 위해 설계된 트리 구조 바이어스 회로의 회로도이다. 문턱전압의 부정합에 의한 MOS 트랜지스터의 드레인 전류의 오차는 식(5)로 표시된다. 식(5)의 오차를 최소화하기 위해서는 트리 구조 바이어스 회로를 구성하는 NMOS와 PMOS의 게이트-소스 전압 V_{gs} 를 최대로 설계하여야 한다. 그러므로, 그림 7의 NMOS 전류미러단과 PMOS 전류미러단을 연결하여 트리 구조 바이어스 회로를 구성할 때 NMOS 트랜지스터와 PMOS 트랜지스터가 직렬로 연결되므로 V_{gs} 를 공급전압의 절반($V_{DD}/2$)으로 설계하면 오차를 최소화할 수 있다. 트리 구조 바이어스 회로를 구성하는 NMOS 트랜지스터와 PMOS 트랜지스터의 소자비는 각각 식 (9)와 식(10)으로 표시된다.

$$S_{NMOS} = \frac{I_{MSB}}{K_n(V_{DD}/2 - V_{TH, NMOS})^2} \quad (9)$$

$$S_{PMOS} = \frac{I_{MSB}}{K_p(V_{DD}/2 - V_{TH, PMOS})^2} \quad (10)$$

트리 구조 바이어스 회로는 4개의 단(PMOS 8 전류미러단, NMOS 4 전류미러단, PMOS 4 전류미러단, NMOS 4 전류원단)으로 구성된다. 각 단은 전류에 의해서 서로 연결되어 거리가 멀리 떨어져 있더라도 오차가 발생하지 않는다. 그리고 각 단은 최대 9개의 트랜지스터로 구성되어 있으며 캐스코드 구조가 아닌 단일 트랜지스터를 사용하므로 매우 작은 면적을 가진다. 따라서 트랜지스터 서로간의 거리 역시 최소화되고, 문턱전압 부정합의 영향을 최소화 할 수 있다.

D/A 변환기의 정확도를 결정하는 중요한 요소중의 하나가 접지선의 저항에 의한 전압 강하로 생기는 전류원의 전류 크기의 부정합이다^[11]. 12비트의 해상도를 가지는 D/A 변환기는 255개의 많은 전류원을 가지기 때문에 이 전류원 하나 하나를 접지선으로 연결하기 위해서는 접지선 자체의 길이가 매우 길어지게 되고, 접지선의 저항이 커져 전류원간의 부정합이 커진다. 그런데 접지선의 저항에 의한 오차는 일정한 한 가지 방향성을 가지는 기울기 오차이므로 이를 상쇄시킬수 있다. 이를 상쇄시키기 위해서 서로 다른 방향의 기울기 오차를 가지는 전류원 쌍들을 만들고 전류원 쌍을 하나로 연결하여 기울기 오차를 상쇄시킨다.

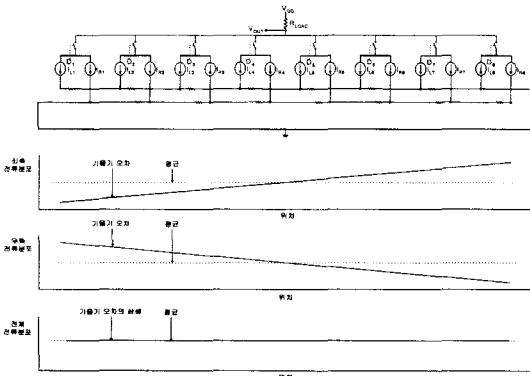


그림 8. 접지선의 대칭적 연결과 기울기 오차
Fig. 8. Symmetrical routing technique of ground line and graded error.

그림 8은 접지선의 대칭적 연결과 발생하는 기울기 오차를 나타낸다. 접지선 저항의 전압 강하에 의한 기울기 오차를 상쇄시키기 위한 기존 방법으로 대칭적 스위칭 기법이 있다.

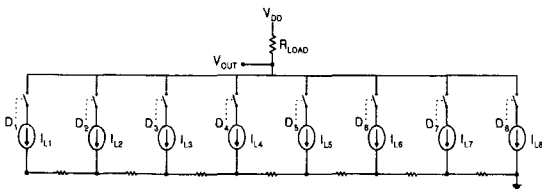


그림 9. 대칭적 스위칭 기법
Fig. 9. Symmetrical switching technique.

그림 9는 대칭적 스위칭 기법을 나타낸다^[9]. 그림 9의 8개 스위칭 전류원은 접지선 저항의 전압강하에 의한 기울기 오차를 가진다. 대칭적 스위칭 기법을 사용하면 전류 스위치 D₁부터 D₈이 중심을 기준으로 대칭적인 순서로 스위칭되어 기울기 오차가 상쇄된다.

접지선 저항의 전압 강하에 의한 전류의 부정합은 식 (11)로 표시된다.

$$\Delta I = \left[\frac{2}{V_{GS} - V_{TH}} \cdot \Delta V_{GS} \right] \cdot I \quad (11)$$

여기서 V_{GS}는 전류원 트랜지스터의 게이트-소스 전압, V_{TH}는 전류원 트랜지스터의 문턱전압, I는 전류원 하나의 전류 크기를 나타낸다. 전류원 트랜지스터의 게이트-소스 전압 부정합 분포는 식(12)와 같이 k에 대한 함수로 표시된다.

$$\Delta V_{GS}(k) = \frac{k(k+1)}{2} RI \quad (12)$$

$$(k=0, 1, \dots, N-2, N-1)$$

여기서 k는 전류원의 번호, R은 접지선의 단위길이 당 저항, N은 전류원의 개수를 나타낸다.

식 (12)에 의해 각 전류원 전류 크기의 부정합 분포는 식 (13)으로 표시된다.

$$\Delta I(k) = \frac{k(k+1)}{V_{GS} - V_t} RI^2 \quad (13)$$

$$(k=0, 1, \dots, N-2, N-1)$$

식 (13)의 부정합 분포에 의한 대칭적 스위칭 기법의 DNL 오차와 INL 오차는 각각 식 (14)와 식 (15)로 표시된다.

$$DNL = \Delta I(N-1) - \Delta I(0) = \frac{N^2 - N}{V_{GS} - V_t} RI^2$$

$$\left(= \frac{240}{V_{GS} - V_t} RI^2 \right) \quad (14)$$

$$INL = \Delta I(N-1) - \Delta I\left(\frac{N}{2} - 1\right) = \frac{3N^2 - 2N}{4(V_{GS} - V_t)} RI^2$$

$$\left(= \frac{184}{(V_{GS} - V_t)} RI^2 \right) \quad (15)$$

괄호 안의 값은 전류원의 개수 N이 16일 경우의 DNL과 INL을 나타낸다. 식 (15)의 결과를 통해 대칭적 스위칭 기법이 D/A 변환기의 INL오차를 감소시키는 것을 알 수 있다. 그러나, 대칭적 스위칭 기법은 두 가지 단점을 가진다. 첫째, DNL 오차가 대칭적 스위칭 기법을 사용하지 않는 D/A 변환기에 비해 증가한다. 둘째, 대칭적인 스위칭을 위해 복잡한 스위칭 방법이 요구된다. 대칭적 스위칭 기법의 두 가지 단점을 해결하기 위하여 본 논문에서는 대칭적 접지선 연결 방법을 제안하여 D/A 변환기를 구현하였다. 그림 8은 대칭적 접지선 연결 방법의 구현을 나타낸다. 그림 8

에서 I_{L1} 부터 I_{L8} 까지의 좌측 전류원들은 왼쪽에서 오른쪽으로 갈수록 증가하는 전류 오차 분포를 가지고, I_{R1} 부터 I_{R8} 까지의 우측 전류원들은 왼쪽에서 오른쪽으로 갈수록 감소하는 전류 오차 분포를 가진다. 좌측 전류원들과 우측 전류원들의 전류 오차 분포가 서로 다른 방향성을 가지므로, 각 전류원들을 쌍으로 연결하면 기울기 오차가 상쇄된다. 좌측 전류원들의 전류 크기의 부정합 분포는 식 (16)으로 표시된다.

$$\Delta I_{\text{left}}(k) = \frac{k(k+1)}{V_{GS} - V_t} RI^2 \quad (16)$$

$(k=0, 1, \dots, N-2, N-1)$

우측 전류원들의 전류 크기의 부정합 분포는 식 (17)로 표시된다.

$$\Delta I_{\text{right}}(k) = -\frac{(N-k)(N-1-k)}{V_{GS} - V_t} RI^2 \quad (17)$$

$(k=0, 1, \dots, N-2, N-1)$

각 전류원들을 쌍으로 연결하면, 식 (16)과 식 (17)에 의해 전류원 쌍들의 부정합 분포가 식 (18)과 같이 표시된다.

$$\begin{aligned} \Delta I_{\text{total}}(k) &= \Delta I_{\text{left}}(k) + \Delta I_{\text{right}}(k) \\ &= \frac{2k^2 - 2(N-1)k + N(N-1)}{V_{GS} - V_t} RI^2 \end{aligned} \quad (18)$$

$(k=0, \dots, N-1)$

식 (18)의 부정합 분포에 의한 대칭적 접지선 연결 방법의 DNL 오차와 INL 오차는 각각 식 (19)와 식 (20)으로 표시된다.

$$\begin{aligned} \text{DNL} &= \Delta I_{\text{total}}\left(\frac{N}{2} - 1\right) - \Delta I_{\text{total}}(0) \\ &= \frac{N^2}{2(V_{GS} - V_t)} RI^2 \left(= \frac{128}{(V_{GS} - V_t)} RI^2 \right) \end{aligned} \quad (19)$$

$$\begin{aligned} \text{INL} &= \Delta I_{\text{total}}\left(\frac{N}{2} - 1\right) - \Delta I_{\text{total}}\left(\frac{N}{4} - 1\right) \\ &= \frac{-N^2 - 4N}{8(V_{GS} - V_t)} RI^2 \left(= \frac{-40}{(V_{GS} - V_t)} RI^2 \right) \end{aligned} \quad (20)$$

식 (19)와 식 (20)의 결과를 통해 제안된 대칭적 접지선 연결 방법의 DNL 오차와 INL 오차가 기존의 대칭적 스위칭 기법을 사용했을 때 보다 감소됨을 알 수 있다. 또한 복잡한 스위칭 방법이 불필요하므로 스위치 전류원의 구현이 간단해진다.

III. 실험결과 및 고찰

12비트 CMOS D/A 변환기는 $0.6\mu\text{m}$ CMOS n-well 공정을 이용하여 설계되었고, HSPICE를 이용하여 모의실험을 하였다.

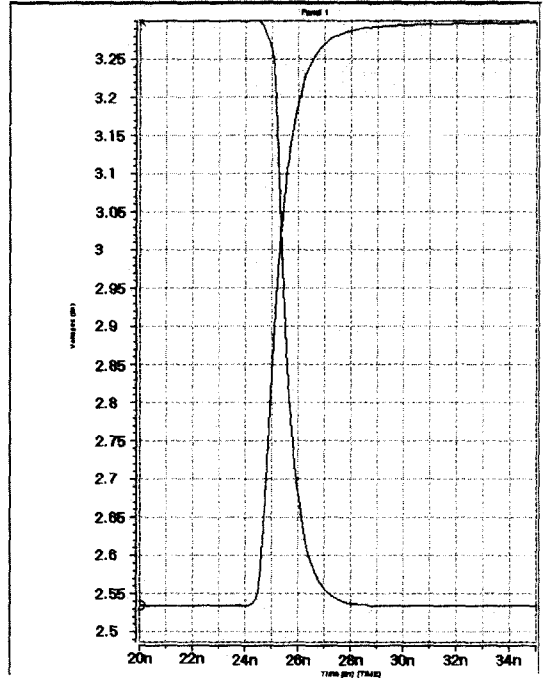


그림 10. 설계된 변환기의 전체 상승·하강 곡선
Fig. 10. Plot of the simulated full-scale transition.

그림 10은 변환기의 모의실험한 전체 상승·하강 곡선을 나타낸다. 설계된 D/A 변환기의 12비트 디지털 입력을 상승시에는 000000000000에서 111111111111로, 하강시에는 111111111111에서 000000000000으로 변화시킬 때 얻어진 모의실험 파형이다. 75Ω 의 외부 부하저항을 통한 아날로그 출력 전압이 상승할때는 2.51V에서 3.3V, 하강할때는 3.3V에서 2.51V로 변화한다. 이 파형을 통해 D/A 변환기의 아날로그 출력 전압이 변화하기 시작해서 ± 0.5 LSB 이내로 정착되는데 걸리는 시간이 15nsec인 것을 알 수 있다. 즉, 설계된 D/A 변환기는 0.79V의 출력전압범위와 65MHz의 동작 주파수를 가진다. 모의실험결과 설계된 변환기의 최대 글리치 에너지는 50pVs이다. 설계된 D/A 변환기 회로를 LG 반도체사의 $0.6\mu\text{m}$ N-well single-poly triple metal CMOS 공정을 사용하여 칩으로 제작하였다. 그림 11은 제작된 D/A 변환기의 칩사진을 나타낸다. 칩의 왼쪽은 행 디코더 부

분이고 아래쪽은 열 디코더를 나타내며, 중앙에 전류 셀 매트릭스가 위치하고 있다. 제작된 D/A 변환기의 패드를 제외한 유효 칩면적은 5mm^2 을 차지하였다.

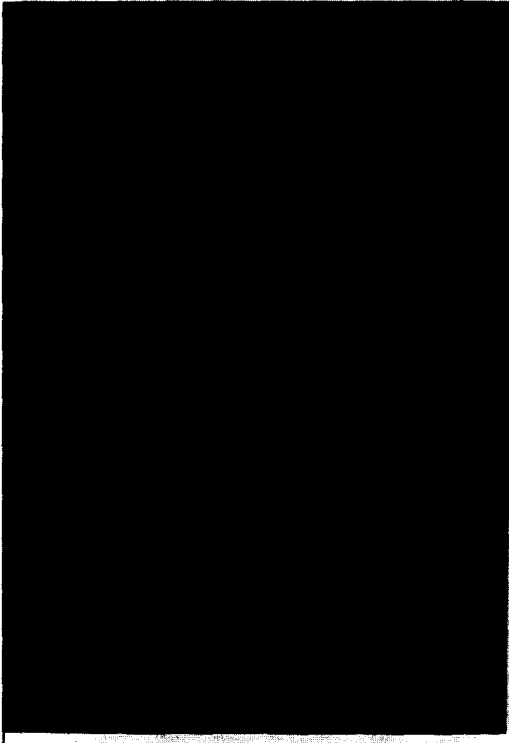


그림 11. D/A 변환기의 칩 사진
Fig. 11. Photomicrograph of D/A converter.

그림 12와 13은 각각 설계된 D/A 변환기의 DNL 특성과 INL 특성에 대한 측정 결과이다. 최대 DNL 오차는 $\pm 0.5\text{LSB}$ 보다 작고, 최대 INL 오차는 $\pm 2\text{LSB}$ 보다 작게 측정된 것을 알 수 있다. D/A 변환기가 정상적으로 동작하기 위해서는 최대 INL 오차와 최대 DNL 오차가 모두 $\pm 0.5\text{LSB}$ 보다 작아야 한다. 그러나 접지선 저항의 전압 강하와 전류셀 간의 문턱 전압 부정합의 영향에 의해 최대 INL 오차가 $\pm 0.5\text{LSB}$ 보다 크게 나타났다. 레이아웃을 할 때 접지선의 두께를 더 두껍게 설계하여 접지선 저항의 전압 강하에 의한 오차를 감소시키고, 전류원간의 거리를 더 가깝게 배치하여 문턱전압 부정합에 의한 오차를 감소시킨다면 $\pm 0.5\text{LSB}$ 보다 작은 INL 오차를 얻을 수 있을 것이다. 제작된 칩의 출력 계단파형을 측정하기 위하여 D/A 변환기의 12비트 디지털 입력에 12비트 카운터의 출력 신호를 인가하여 입력 신호가 코드 0에서 코드 4095까지 1LSB씩 순차적으로 변화할 때의

아날로그 출력 전압을 Tektronics사의 TDS380 디지털 오실로스코프를 사용하여 측정하였다.

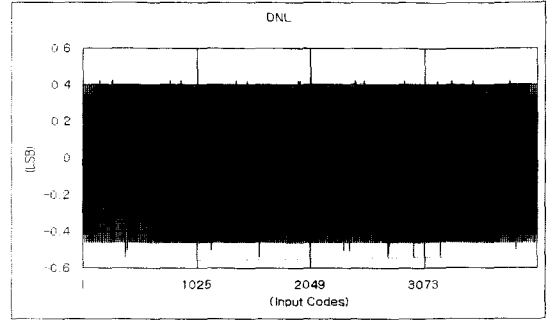


그림 12. D/A 변환기의 DNL 측정특성
Fig. 12. The measured DNL characteristic of D/A converter.

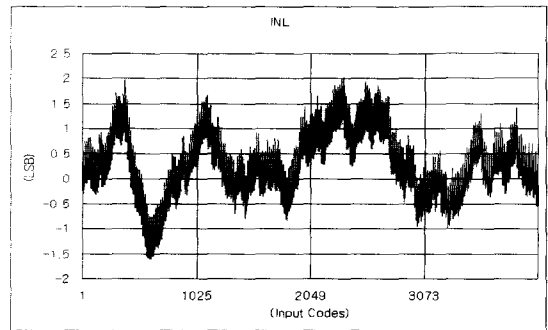


그림 13. D/A 변환기의 INL 측정특성
Fig. 13. The measured INL characteristic of D/A converter.

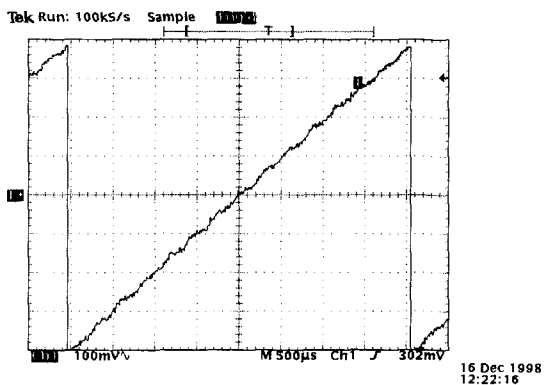


그림 14. 측정된 출력 계단파형
Fig. 14. The measured graded analog output of D/A converter.

그림 14는 측정된 출력 계단파형을 나타낸다. 이 파형을 통해 제작된 D/A 변환기 내부의 부속 회로들이 정상적으로 동작하는 것을 확인할 수 있다. 출력파형에 잡음이 존재하는 이유는 TDS380 디지털 오실로스

코프의 성능한계성때문으로 분석된다. 왜냐하면 입력에 신호가 인가되지 않은 상태에서도 잡음이 존재하기 때문이다. 제작된 D/A 변환기의 전체 하강시간을 측정하기 위해 1MHz 수정발진기에서 생성된 구형파를 전체 12비트 디지털 입력에 인가하였다. 입력된 구형파 신호에 의한 출력파형을 Tektronics사의 TDS380 디지털 오실로스코프를 사용하여 관측하였다.

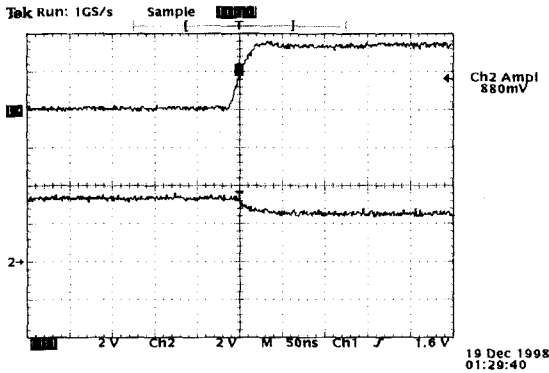


그림 15. 측정된 구형파 입력과 아날로그 전압 출력파형

Fig. 15. The measured input waveform and analog output from D/A converter.

그림 15는 수정발진기에서 발생되어 D/A 변환기의 12비트 입력에 인가된 구형파 신호와, 이 신호에 의한 D/A 변환기의 아날로그 전압 출력신호를 나타낸다. 전체 하강시간을 측정하기 위해 그림 15의 아날로그 전압 출력 신호가 천이되는 부분을 확대하여 그림 16에 나타내었다.

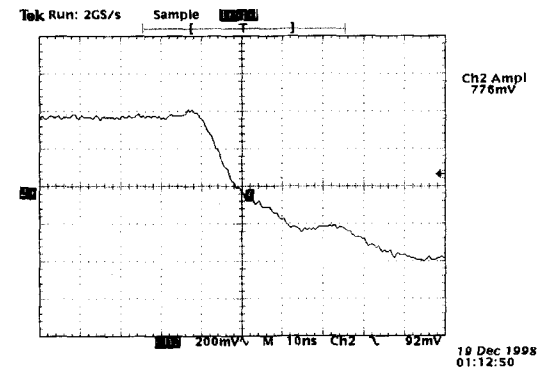


그림 16. 측정된 D/A 변환기의 전체 하강 곡선

Fig. 16. Plot of the measured full scale transition.

그림 16을 통해 D/A 변환기의 아날로그 전압 출력 신호가 3.3V에서 2.51V까지 하강하여 안정되기까지 약 50ns의 시간이 걸리는 것을 알 수 있다. 그러나

입력된 구형파가 약 30ns의 상승 시간을 가지는 것을 감안하면 정착 시간을 약 20ns로 추정할 수 있고, 모의실험에서는 15ns의 매우 작은 정착시간을 얻음으로서 고속 영상 신호처리 시스템에 응용 가능하리라 예상된다. 또한 설계된 D/A 변환기의 SNR을 측정하기 위해 12비트 A/D 변환기(AD7892)를 이용하여 A/D 변환기 입력에 5KHz, 10KHz의 정현파를 인가하였다. 이때 D/A 변환기에서 복원된 정현파를 스펙트럼 분석기에 입력시켜 55dB의 SNR을 측정하였다. 그러나 보다 높은 주파수에서는 테스트 회로의 신호처리 대역폭 한계성 때문에 측정할 수 없었다.

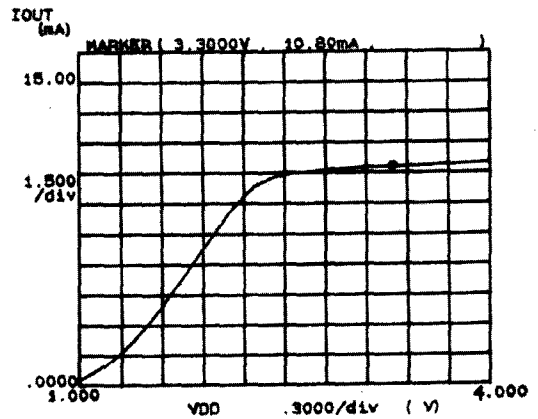


그림 17. 측정된 공급전원대 공급전류 곡선

Fig. 17. Plot of the measured I_{DD} vs. V_{DD} of the designed D/A converter.

표 1. 측정된 12비트 D/A 변환기의 특성 요약

Table 1. Performance summary of the designed 12 bit D/A converter.

해상도	12비트
DNL/INL	$\pm 0.5\text{LSB}/\pm 2\text{LSB}$
정착 시간	20ns
출력 전압 범위	0.79V
변환 속도	50MHz
글리치 에너지	50pV · sec
공급 전압	3.3V
전력 소모	35.6mW
유효 칩면적	5mm ²
SNR	55dB
공정	0.6μm CMOS n-well

그림 17은 아날로그 공급전원을 1V에서 4V까지 가

변시키면서 D/A 변환기의 모든 12비트를 논리 1로 놓은 상태에서 HP4145로 측정된 공급전류의 곡선이다. 3.3V의 공급전원에서 10.8mA의 전류가 측정되었으므로 동작전력소모는 35.6mW이다. 표 1에 측정된 D/A 변환기의 특성을 요약하였다. 최근에 발표된 12비트 논문^[16]에서는 디코딩 논리회로를 간단히 설계하여 최대 변환속도를 얻기위해 6비트+2비트+4비트의 전류셀 매트릭스 구조를 사용하였는데, 본 논문에서 제안한 D/A 변환기와 비교하면 320mW의 전력소모와 300Ms/s, 낮은 DNL/INL($\pm 0.3\text{LSB}/\pm 0.6\text{LSB}$)라는 점에서 성능 차이를 보였다.

IV. 결 론

본 논문에서는 $0.6\mu\text{m}$ CMOS n-well 공정을 이용하여 +3.3V의 단일 전원전압에서 65MHz의 변환속도로 동작하는 영상신호 처리용 12비트 전류 셀 매트릭스 D/A 변환기를 설계 및 제작하였다. 기존의 고속 D/A 변환기는 빠른 변환속도를 가지고 있지만, 큰 전력소모와 높은 공급 전원, 낮은 해상도로 인하여 저전압, 저전력, 고 해상도의 영상 신호 처리 시스템 내부에 응용되기 어렵다. 설계된 12비트 고속 전류 셀 매트릭스 D/A 변환기는 동작 속도가 빠르고 우수한 단조증가성을 가지는 전류 셀 매트릭스 구조의 장점을 이용하면서, 기존의 D/A 변환기의 전류셀간의 문턱전압의 부정합과 접지선의 전압 강하에 의한 오차를 감소시키기 위하여 새로이 설계된 트리 구조 바이어스 회로, 접지선의 대칭적 연결, 캐스코드 스위치 전류원을 사용하여 구현되었다. 제안된 방식을 사용하므로써 D/A 변환기의 선형성을 향상시켰고, 저전압·고속에서 동작하는 12비트 D/A 변환기를 구현하였다.

설계된 12비트 D/A 변환기는 $0.6\mu\text{m}$ N-well single-poly triple metal CMOS 공정을 사용하여 칩으로 제작하였다. 제작된 D/A 변환기의 입력 신호를 1LSB씩 증가시킬 때의 출력 전류크기를 KEITHLEY AMMETER로 측정하고, D/A 변환기의 선형성 특성인 최대 DNL 오차와 최대 INL 오차는 각각 $\pm 0.5\text{LSB}$ 와 $\pm 2\text{LSB}$ 이하로 나타났다. 그리고 제작된 12비트 고속 전류 셀 매트릭스 D/A 변환기는 $2.0\text{mm} \times 2.5\text{mm}$ 의 유효 칩면적을 차지하였고, 측정된 정착시간이 20nsec로써 50MHz의 변환속도와 전력소모와 SNR은 35.6mW와 55dB로 각각 나타났

다. 본 논문에서 설계한 D/A 변환기는 저전압(단일 3.3V), 고속 및 고 해상도(12비트)의 장점을 가지므로 컴퓨터 시스템, 고선명 TV, 디지털 TV, 등의 저전압, 고속·고해상도 영상신호 처리 시스템에 응용되기에 적합하다.

참 고 문 헌

- [1] B. Razavi, *Principle of Data Conversion System Design*, IEEE Press, pp45-95, 1995.
- [2] M. Pelgrom, "A 10-b 50MHz CMOS D/A converter with $75-\Omega$ buffer," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1347-1352, Dec. 1990.
- [3] J. Fournier and P Senn, "A 130-MHz 8-b CMOS Video DAC for HDTV Application," *IEEE J. Solid-State Circuits*, pp. 1073-1077 July. 1991.
- [4] C. Bastiaansen, D. Groeneveld, H. Schouwenaars, and H. Termeer, "A 10-b 40MHz $0.8-\mu\text{m}$ CMOS Current-Output D/A Converter," *IEEE J. Solid-State Circuits*, vol. 26, pp. 917-921, July. 1991.
- [5] S. Chin, and C. Wu, "A 10-b 125-MHz CMOS Digital-to-Analog Converter with Threshold-Voltage Compensated Current source," *IEEE J. Solid-State Circuits*, vol. 29, pp. 1374-1380, Nov. 1994.
- [6] T. Wu, C. Jih, J. Chen, and C. Wu, "A low glitch 10-bit 75-MHz CMOS Video D/A converter". *IEEE J. Solid-State Circuits*, pp. 68-72, Jan. 1995.
- [7] N. Tan, E. Cijvat, and H. Tenhunen, "Design and Implementation of High-Performance CMOS D/A Converter," *IEEE International Symposium on Circuits and Systems*, pp. 421-424, 1997.
- [8] 이승훈, 전병렬, 윤상원, 이승훈, "높은 선형성을 가진 3 V 10b 영상 신호 처리용 CMOS D/A 변환기 설계," *전자공학회 논문지 제 34 권 C편 제6호*, pp 28-36, 1997년 6월
- [9] T. Miki, Y. Nakamura, M. nakamura, Y. Akasaka, and Y. Horiba, "An 80-MHz CMOS D/A converter," *IEEE J.*

- Solid-State Circuits*, pp.983-998, Dec. 1986.
- [10] A. Cremonesi, F. Maloberti, and G. Polito, "A 100-MHz CMOS DAC for Video-graphic systems," *IEEE J. Solid-State Circuits*, pp. 635-639, June 1989.
- [11] Y. Nakamura, T. Miki, A. Meada, H. Kondoh, and N. Yazawa, "A 10-b 70-MS/s CMOS D/A converter," *IEEE J. Solid-State Circuits*, pp. 637-642, Apr.1991.
- [12] H. Takakura, M. Yokoyama, and A. Yamauchi, "A 10 bit 80MHz glitchless CMOS D/A converter," *1991 IEEE Custom Integrated Circuits Conf*, pp. 26.5.1 - 26.5.4.
- [13] Ji Hyun Kim, and Kwang Sub Yoon, "An 8-bit CMOS 3.3V-65MHz Digital-to-Analog Converter with a Symmetric Two-Stage Current Cell Matrix Architecture," *IEEE Trans. Circuits Syst.*, vol. 45, pp. 1605-1609, Dec. 1998.
- [14] S. Brigati, G. Caiulo, F. Maloberti, and G. Torelli, "Active Compensation of Parasitic Capacitances in a 10bit 50MHz CMOS D/A Converter," *1994 IEEE Custom Integrated Circuits Conf*, pp.23.4.1-23.4.4.
- [15] M. Pelgrom, A. Duinmaijer, and A. Welbers, "Matching Properties of MOS Transistors," *IEEE J. Solid-State Circuits*, pp. 1433-1440, Oct. 1989.
- [16] J. Bastos, A. Marques, M. Steyaert, and W. Sansen, "A 12-Bit Intrinsic Accuracy High-Speed CMOS DAC," *IEEE J. Solid-State Circuits*, pp. 1959-1969, Dec. 1998.

 저 자 소 개



柳 基 弘(正會員)

1997년 2월 인하대학교 전자공학과 학사 졸업. 1999년 2월 인하대학교 전자공학과 석사 졸업. 1999년 3월 ~ 현재 삼성전자 연구원. 주관심분야는 아날로그/디지털 신호처리 집적설계 및 반도체 공정

尹 廣 燮(正會員) 第 35卷 C編 第 10號 參照

현재 인하대학교 전자공학과 부교수. 주관심분야는 혼합신호처리 집적회로 설계, 설계자동화 및 소자 모델링 등 임