

論文99-36S-11-5

# 통합된 이진화 구조를 가진 복합기능 1-Chip 영상처리 프로세서의 개발

(Single chip multi-function peripheral image processor  
with unified binarization architecture)

朴昌大\*, 李乙煥\*, 金在浩\*

(Chang-Dae Park, Eul-Hwan Lee, and Jae-Ho Kim)

## 요 약

본 논문에서는 디지털 복합기에 사용할 수 있는 고속 영상처리 프로세서를 설계 및 구현하였다. 제안된 영상 처리 프로세서는 단일화 된 데이터 경로를 가진 이진화 알고리즘 아키텍처를 가진다. 외부 메모리 용량을 최소화하기 위해 화소별 파이프라인 구조를 가지고 있다. 셰이딩 보정, 감마 보정, 자동이득조절과 같은 전처리 기능을 수행하고 CCD와 CIS를 구동한다. 전처리된 데이터는 확대/축소 과정을 거치고 다양한 이진화 알고리즘에 의해 이진화된다. 내장된 이진화 알고리즘은 단순이진화, 고대역 통과 필터링, 디더링, 오차확산법, 임계값이동 오차확산법이다. 이들 알고리즘의 구현은 임계값 이동 오차확산법에 기반을 두고 동일한 동작을 하는 회로들을 공유하도록 데이터 경로를 설계하였다. 이 구조를 구현함에 의해 제어의 복잡도와 게이트 카운터를 줄일 수 있다.

## Abstract

A high-speed image processor (HIP) is implemented for a high-speed multi-function peripheral. HIP has a binarization architecture with unified data path. It has the pixel-by-pixel pipelined processing to minimize size of the external memory. It performs pre-processing such as shading correction, automatic gain control (AGC), and gamma correction, and also drives external CCD or CIS modules. The pre-processed data can be enlarged or reduced. Various binarization algorithms can be processed in the unified architecture. The embedded binarization algorithms are simple thresholding, high pass filtering, dithering, error diffusion, and threshold modulated error diffusion. These binarization algorithms are unified based on the threshold modulated error diffusion. The data path is designed to share the common functional block of the binarization algorithms. The complexity of the controls and the gate counts is greatly reduced with this novel architecture.

## I. 서 론

디지털 영상처리의 발전과 함께 스캐너, 팩시밀리, 디

지털 복사기, 그리고 레이저 프린터등의 다양한 영상처리 시스템이 발전하여 왔다. 최근에는 사무환경에 적합한 디지털 복합기가 나오고 있으며 그 시장도 점차 커지고 있다. 그러한 영상시스템의 제일 핵심은 영상처리 프로세서이며 이의 중요한 요소는 처리속도와 화질이다. 처리속도가 빠르고 화질을 좋게 할 수록 ASIC (Application Specific Integrated Circuit)의 게이트 수와 전력의 소모는 증가하게 된다.

\* 正會員, 釜山大學校 電子工學科 映像通信實驗室  
(Image & Comm. Lab. Dept. of Electronics Engineering,  
Pusan National University)

接受日字:1999年4月15日, 수정완료일:1999年9月3日

최근에 팩시밀리나 디지털 복사기를 위한 ASIC이 보고되고 있다<sup>[1,2,3,4,5]</sup>. 그 중 10 MIPS 16 bit DSP를 핵심으로 하여 8 bit A/D, 6 bit 플래쉬 A/D등을 내장한 단일 칩 VLSI 영상처리 프로세서<sup>[1]</sup>가 있다. 또한 팩시밀리와 디지털 복사기를 위한 고속 영상처리 프로세서<sup>[2,3]</sup>가 있다. 이 프로세서의 한 화소당 처리시간은 480 nsec이며 외부 메모리를 이용하여 라인별로 파이프라인 처리한다. CCD(Charge Coupled Device)나 CIS(Contact Image Sensor)를 통한 영상 획득 시 발생하는 영상의 왜곡을 보정하기 위한 전처리를 수행하며 확대/축소를 수행하고 프린터 출력을 위해서 영상의 이진화 작업을 수행한다. 그러나 이진 영상의 확대/축소는 지원하지 않으며 제한된 몇몇 이진화 알고리즘만 수행한다. 또한 각 이진화 알고리즘을 위한 회로의 아키텍처는 개별적으로 설계되어 있다. 참고문헌 [4]의 영상처리 프로세스도 제한된 이진화 알고리즘에 이진 영상의 확대/축소는 지원하지 않는다.

본 논문에서는 통합된 이진화 구조를 가진 복합기능 고속 영상처리 프로세서를 설계 및 구현하였다. 제안된 영상처리 프로세서는 화소별 파이프라인 처리하는 구조를 가지고 있다. 영상처리 프로세서의 제원은 표 1과 같다. 정밀도를 높이기 위해 10 bit A/D 변환기를 내장하고 있으며 셰이딩 보정, 감마 보정등의 전처리를 수행하며 다양한 종류의 CCD와 CIS를 접속할 수 있다. 또한 256계조를 가진 영상뿐만 아니라 이진 영상을 확대/축소할 수 있다. 그리고 제안된 통합 구조의 이진화 구조는 단순이진화, 오차 확산법<sup>[7]</sup>, 임계값이동 오차확산법<sup>[8]</sup>, 고대역 통과 이진화법, 그리고 디더링<sup>[9,10,11]</sup>을 수행할 수 있도록 한다. 영상처리 프로세서와 호스트 프로세서간의 데이터 전송은 DMA(Direct Memory Access)를 통하여 이루어진다.

표 1. 영상처리 프로세서의 제원

Table 1. The specification of an HIP.

입력 클럭 주파수	40 MHz
화소 처리 주파수	Max. 5 MHz (A4 300dpi 20 ppm)
연속계조 레벨	256 레벨
이진화 알고리즘	단순이진화, 디더링, 오차확산법, 임계값 이동 오차확산법, 고대역 통과 필터링.
확대/축소 비율	세로 25% - 400%, 가로 25% - 400% (1% 단위조절)
공정기술	0.6 μm
패키지 종류	144 핀 QFP

II장에서는 영상처리 프로세서의 구조와 동작을 설명하고 III장에서는 구현과정을 설명한다. IV장에서는 결과 영상을 보이고 마지막으로 결론을 맺는다.

## II. 영상처리 프로세서의 동작 및 구조

영상처리 프로세서는 그림 1에서 보는 것과 같이 크게 *INPUT\_M*, *ZOOM\_M*, *BIN\_M*, *DMA\_M*의 4개의 모듈로 나누어진다. *INPUT\_M*은 CCD나 CIS를 구동하여 얻어지는 아날로그 영상 신호를 받아서 디지털화하여 전처리 과정을 거친 후에 *ZOOM\_M*으로 보낸다. *ZOOM\_M*은 확대/축소를 수행한다. *BIN\_M*은 연속계조의 영상을 프린터를 위하여 이진화를 수행한다. 마지막으로 *DMA\_M*은 *BIN\_M*으로부터 출력되는 이진화 데이터를 16bit 단위로 호스트에 전송을 한다.

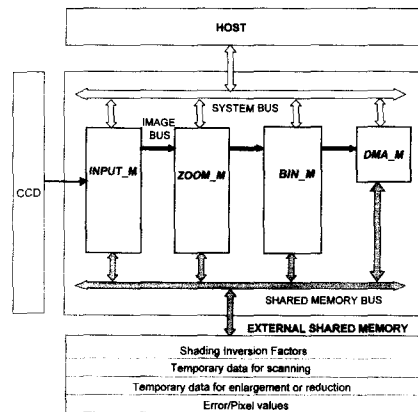


그림 1. 영상처리 프로세서의 블록도. *INPUT\_M*은 CCD나 CIS로부터 입력되어진 영상을 전처리하고 *ZOOM\_M*은 연속계조 영상과 이진 영상을 확대/축소한다. *BIN\_M*은 연속계조 영상을 이진 영상으로 변환한다. DMA 를 통하여 호스트와 데이터를 전송한다

Fig. 1. A block diagram of HIP. The *INPUT\_M* performs pre-processing of the sensed input image that is obtained by driving an external a CCD or a CIS module. The *ZOOM\_M* executes enlargements or reductions of gray- and bi-level images. The *BIN\_M* converts the gray-level into bi-level images. DMA unit transfers gray- and bi-level images to a host processor.

제안된 영상처리기의 동작형태는 스캔, 복사, 팩스수신의 3개 동작으로 나눌 수 있다. 스캔동작은 입력영상

은 256 레벨을 가지는 연속계조 영상으로 호스트로 전송한다. 복사동작은 이진 영상으로 만들어 전송하고 팩스수신동작은 호스트로부터 이진영상을 받아 해상도를 바꾸어 다시 호스트로 보내는 동작이다. 또한 앞에서 언급한 동작 중 2개의 동작을 동시에 수행하는 듀얼동작을 지원한다. 즉, 영상을 스캔하거나 또는 복사를 하면서 동시에 팩스수신 동작을 수행할 수 있다. 이는 다 기능 복합기를 효율적으로 사용할 수 있도록 해준다.

각 모듈들간의 처리는 화소 단위로 파이프라이닝 되어 있다. 영상처리에 필요한 파라미터들이나 처리중에 발생하는 데이터들을 저장하기 위하여 외부에 공유메모리를 두었고, 각 모듈들이 시분할 방식으로 이 외부 공유 메모리를 사용한다. 이 외부 메모리는 최대 32 Kbyte의 공간을 가지고 있고 모두 4개의 라인 공간으로 구성된다. INPUT\_M은 2 라인 공간의 메모리를 할당받아 1 라인은 웨이딩 보정<sup>[1]</sup>을 위한 데이터를 저장하고 다른 1 라인은 스캔 동작에서 읽은 영상 데이터를 저장하기 위해 사용된다. ZOOM\_M은 확대시 발생하는 데이터를 저장하기 위하여 1 라인의 메모리 공간을 할당받는다. BIN\_M은 오차확산법시에 발생하는 오차 또는 고대역 통과 필터링시 주위 화소들의 값을 저장하기 위해서 1 라인 공간의 메모리를 필요로 한다.

표 2. 각 동작의 데이터 흐름

Table 2. Data-flow of each mode.

동작 종류	데이터 흐름
스캔 동작	INPUT_M External Shared Memory Host
복사 동작	INPUT_M ZOOM_M BIN_M Host
팩스수신 동작	Host ZOOM_M Host

### 1. INPUT\_M

INPUT\_M은 CCD와 CIS를 구동하여 얻은 아날로그 영상을 디지털로 변환한다. 또한 영상 획득시 광원, 센서등의 왜곡과 인간 시각 반응 체계에 의한 영상 보정을 하기 위해 웨이딩보정, 자동이득조정, 감마 보정을 수행한다. 그림 2는 INPUT\_M의 내부 블록도를 나타낸 것이다. 여러 종류의 CCD나 CIS를 접속할 수 있도록 하기 위해서 구동 신호들의 duty cycle과 주파수를 사용자가 프로그램할 수 있도록 하였다.

10 bit A/D 변환기의 출력에서 오프셋을 제거한 다음 8 bit으로 변환한다. 다음으로 입력 센서 모듈에서 발생하는 화소의 불균일한 응답특성, 국부적인 광원 밝기의

변화에 의한 영상 왜곡을 보정을 하게 되는데 이를 웨이딩 보정<sup>[1]</sup>이라 한다. 웨이딩 역변환 데이터는 INPUT\_M이 읽어들이는 흰색 판넬에서 역수를 취한 것으로 호스트가 계산한 다음 DMA 전송을 통하여 다운로드하게 된다.

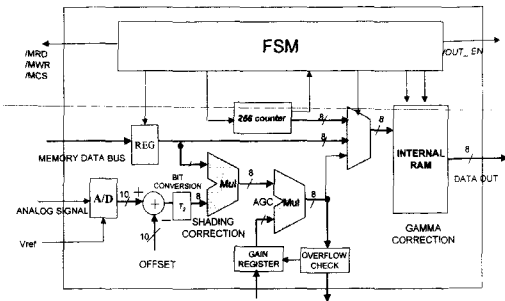


그림 2. INPUT\_M의 블록도. 아날로그 신호는 디지털로 변환되고 오프셋이 제거된다. 곱셈기에 의해서 웨이딩 보정과 자동 이득 조절이 수행된다. 참조 테이블에 의해 감마 보정되고 최종적으로 ZOOM\_M에 전송한다

Fig. 2. A block diagram of the INPUT\_M. An analog signal is digitized and its offset is subtracted. Multipliers perform shading corrections and AGC. Gamma correction is performed by referring to a table, and output is transferred to the ZOOM\_M.

광원의 밝기가 시간적으로 불안정 할 때와 전송하고자 하는 원고의 배경 밝기에 따라서 원고의 판독성이 떨어진다 이를 보정하기 위하여 디지털 자동 이득 조절을 수행한다. 웨이딩 보정 된 데이터와 호스트에서 정의된 이득 파라미터의 곱에 의해서 보정 된 결과가 출력된다. 이 때 정의된 이득 파라미터는 INPUT\_M의 출력의 오버플로우 횟수에 따라 결정되어 진다. 감마 보정은 빛의 밝기와 영상 신호의 단계를 정확하게 비례하지 않아서 발생하는 차이를 보상해 준다. 이를 위해서 영상처리 프로세서 내부에 256 byte의 내부 메모리를 가지고 있어 참조 테이블로 사용된다. 즉, 웨이딩 보정된 데이터가 이 메모리의 어드레스로 입력되면 감마 보정된 데이터가 출력된다. 감마 테이블 값도 호스트에서 다운로드 받을 수 있다.

INPUT\_M의 최종 출력 결과를 수식으로 표현하면 식 (1)과 같다.

$$I(x, y) = T_2 [ T_1 [ A(x, y) ] - O(x) ] S(x) G(y) \quad (1)$$

여기서  $x$ 와  $y$ 는 2-D 영상의 가로와 세로축 좌표이다.  $\alpha(x)$ 는 오프셋이며 매 페이지마다 한번씩 측정된다.  $A(x, y)$ 는 아날로그 입력 데이터이다.  $T_1[\cdot]$ 는 A/D 변환기를 나타내며,  $T_2[\cdot]$ 는 10 bit을 8 bit으로 양자화하는 함수이다.  $S(x)$ 는 셰이딩 보정 파라미터이고  $G(y)$ 는 자동이득조정 파라미터이다.  $I(x, y)$ 는 *INPUT\_M*이 출력하는 최종 디지털 데이터이다.

*INPUT\_M*에서 최종 처리된 한 화소의 데이터는 *ZOOM\_M*으로 전송된다.

### 2. ZOOM\_M

*ZOOM\_M*은 연속 계조 데이터와 이진 데이터를 최소 25% 에서 400% 까지 확대 또는 축소한다. 가로와 세로의 확대 비율은 독립적으로 조절 가능하다. 그림 3에 *ZOOM\_M*의 블록도를 나타내었다.

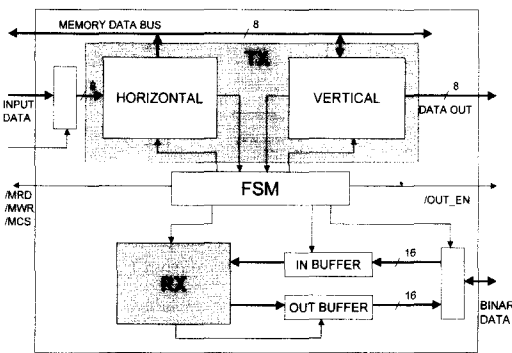


그림 3. *ZOOM\_M*의 내부 블록도. TX 블록은 *INPUT\_M*으로부터 전달받은 연속계조 영상을 확대/축소한다. RX 블록은 팩스 동작시 호스트로부터 전송받은 이진 데이터를 확대/축소한다

Fig. 3. The block diagram of *ZOOM\_M*. The TX block enlarges or reduces a gray-level image that is from the *INPUT\_M*. The RX block enlarges or reduces a bi-level image that is transferred from the host processor.

연속계조영상의 확대/축소는 고속처리를 위해 선형보간법<sup>[12, 13]</sup>을 적용하였다. 이진 영상의 확대/축소는 간단하고 효율적인 run-length 방법<sup>[14]</sup>을 사용한다. 전송 속도를 높이기 위해 2개의 DMA 채널을 사용하여 호스트와 데이터를 전송한다. *ZOOM\_M*은 확대/축소시 발생하는 임시 데이터를 저장하기 위해 한 라인의 외부 메모리를 할당 받는다.

### 3. BIN\_M

*BIN\_M*은 연속 계조 영상을 이진 영상으로 변환하는 기능을 가진다. 이 모듈에서 구현된 이진화 알고리즘들은 단순이진화, 임계치 이동 오차확산법, 오차확산법, 디터링, 고대역통과 필터링이다. 일반적으로 문서 영상의 경우에는 단순 이진화와 고대역 통과 필터링 방법이 권장되고 자연 영상의 경우에는 오차 확산법이나 디터링등이 사용된다.

본 논문에는 위 여러가지 이진화 알고리즘들의 효율적인 설계를 위해서 임계값 이동 오차확산법에 기반을 둔 통합된 구조를 제안한다. 이 구조는 필터링 연산등과 같은 공통되는 기능을 가지는 블록은 각 모듈이 공유할 수 있도록 데이터 흐름을 효율적으로 통합하였다. 이러한 구조들은 기존의 영상처리 칩들이 각 알고리즘별로 따로 설계되어 공통되는 동작을 하는 회로들이 중복되어 설계되는데 비하여 칩의 게이트 수를 줄일 수 있으며, 제어를 단순화할 수 있다[그림 4]. 또한 시스템을 디버깅하는데 드는 노력을 줄일 수 있다. 또한 디터링에서 스토캐스틱 마스크를 사용하여 이진화하고자 할 때 임계값을 저장하는 메모리의 효율적인 사용을 위해 매 라인 처리전에 64 byte의 내부메모리에 새로운 임계값들을 다운로드 받는다.

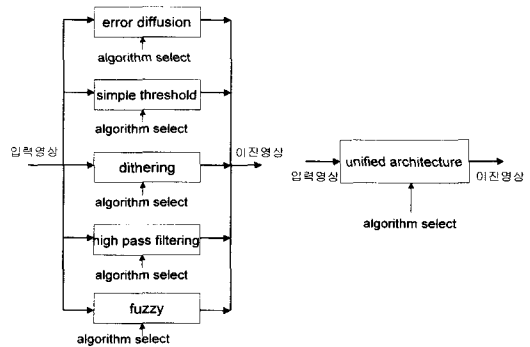


그림 4. 구조비교 (a) 각 알고리즘의 블록이 개별적으로 설계 (b) 통합된 이진화 구조. 각 알고리즘이 하나의 구조에 통합되어 각 블록을 공유하도록 설계

Fig. 4. Comparison of the architecture (a) Each algorithm block is designed independently (b) unified design shares common function blocks.

#### 1) 임계값 이동 오차확산법<sup>[7]</sup>

오차확산법은 연속계조 영상의 밝기와 에지를 잘 표

현하는 우수한 이진화 방법이다. 그러나 특정 밝기값에서 눈에 거슬리는 규칙적인 패턴이 나타난다는 것은 잘 알려진 사실이다. 실험에 의해서 85, 94, 128, 170, 그리고 192 근처에서 패턴이 발생한다는 것을 알았다 [15,16]. 이런 단점을 피하기 위해 도입된 것 중 하나가 이진화시에 사용되는 임계값 이동 개념이다. 임계값 이동 오차확산법은 고정된 이진화 임계값 대신에 영상의 밝기값에 따라 임계값을 변화시키는 것이다. 따라서 입력영상의 밝기값이 위에서 정한 값의  $\pm 5$  이내에 존재한다면 고정된 임계값 128 대신 내부 메모리에 저장된 랜덤 임계값이 사용된다.

$I(x, y)$ 를 연속계조 입력 화소의 밝기값이라 하자.  $I(x, y)$ 와 오차합  $es(x, y)$ 의 곱에 의해 변형된 입력 밝기값  $m(x, y)$ 가 얻어진다.

$$m(x, y) = I(x, y) + e_s(x, y) \quad (2)$$

여기서  $x, y$ 는 각각 영상의 가로축과 세로축 좌표이다. 오차합은 가중치를 둔 주위 화소의 오차를 누적하여 얻어진다.

$$e_s(x, y) = \sum_{j,k} a_{j,k} e(x-j, y-k) \quad (3)$$

여기서  $e(\cdot, \cdot)$  주위 화소의 오차이고  $a_{j,k}$  필터 계수들이다. 자세히 표현하면 식 (4)과 같다.

$$e(x, y) = m(x, y) - b(x, y) \quad (4)$$

$$\begin{bmatrix} a_{-1,-1} & a_{0,-1} & a_{1,-1} \\ a_{-1,0} & * & - \end{bmatrix} = \begin{bmatrix} \frac{1}{16} & \frac{5}{16} & \frac{3}{16} \\ \frac{7}{16} & * & - \end{bmatrix} \quad (5)$$

이진 출력 화소값을 수식으로 표현하면 식 (6)과 같다.

$$b(x, y) = \text{step}[m(x, y) - Th(x, y)]$$

$$= \begin{cases} 1(\text{white}), & \text{if } m(x, y) > Th(x, y, I) \\ 0(\text{black}), & \text{otherwise} \end{cases}$$

$$Th(x, y, I) = \begin{cases} n(x), & \text{if } g-5 < I < g+5 \\ 128, & \text{otherwise} \end{cases} \quad (6)$$

where,  $g = \{85, 94, 28, 170, 192\}$

여기서  $b(x, y)$ 는 이진 출력값이고  $\text{step}[\cdot]$ 과  $Th(x, y)$ 는 각각 계단 함수와 이진화의 임계값이다. 임계값  $Th(x, y, I)$ 는 입력 화소 밝기값  $I$ 에 의존한

다. 만약 입력 화소의 밝기값이 임계값 이동 영역내에 존재한다면 새로운 임계값이 내부 메모리에서 얻어진다. 그렇지 않다면 고정 임계값 128이 사용된다. 내부 메모리의 랜덤 임계값  $n(x)$ 은 매 라인 처리를 하기 전에 호스트로부터 다운로드 된다.

그림 5는 BIN\_M 구조의 블록도의 데이터 전달 경로를 보여준다. BIN\_M은 크게 MASK WINDOW, FILTERING, THRESHOLD, COMPARISON의 4개 블록으로 나누어진다.

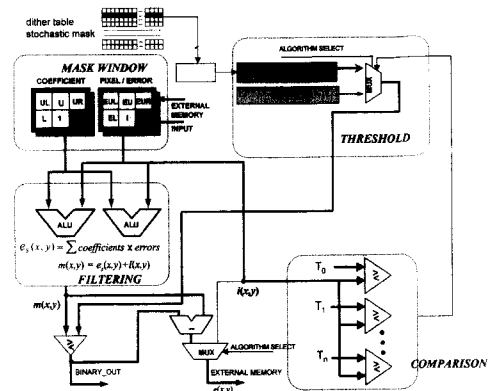


그림 5. 임계값 이동 오차확산법의 데이터 경로  
Fig. 5. Datapath of the threshold modulated error diffusion.

MASK WINDOW 블록은 계수값을 저장하는 계수 레지스터(COEFFICIENT)과 화소 또는 오차값을 저장하는 화소/오차 레지스터(PIXEL/ERROR)들로 구성된다. 계수 레지스터들은 오차확산법에서 오차필터값을 저장한다. 이러한 필터계수값은 호스트에서 다운로드된다. 오차/화소 레지스터는 이전의 이웃 화소들을 처리하는 동안 발생하는 오차값을 저장하기 위해 사용된다. FILTERING 블록은 오차값들과 계수값을 곱하는 연산을 하고 여기에 현재의 화소값을 더하여 변형된 입력 밝기값  $m(x, y)$ 를 계산해 낸다. THRESHOLD 블록은 알고리즘에 따라 적절한 임계값을 선택하기 위해 사용된다. 임계값은 128로 고정되거나 내부 64 byte의 메모리에 저장된 값을 불러 사용할 수 있다. COMPARISON 블록은 입력 화소 값이 임계값 이동해야 할 영역내에 있는지를 결정한다.

그림 5의 굵은 선은 임계값 이동 오차확산법에 사용되는 데이터 경로이다. 알고리즘 1은 구체적인 데이터 경로를 설명한다.

알고리즘 1. 임계값 이동 오차확산법의 동작

- a. **MASK WINDOW** 블록에서 오차확산법의 커널은 계수 레지스터에 저장된다. 일반적으로 1/16, 5/16, 3/16, 그리고 7/16 의 값들이 UL, U, UR, 그리고 L 레지스터에 각각 사용된다. UL, U, UR, 그리고 L은 현재 화소 위치를 기준으로 왼쪽 위, 위, 오른쪽 위, 그리고 좌측 화소 위치를 나타낸다. EUL, EU, EUR 에 저장된 오차값들은 이전 라인에서 발생한 것이고 EL의 값은 현재 화소의 바로 이전 화소에서 발생한 값이다.
- b. **FILTERING** 블록에서 오차합  $e_s$ 는 주위 오차값과 필터값과의 누적곱에 의해 계산된다. 식(6)이 그것이다. 변형된 입력 화소값은 현재 화소값에 오차합을 더하여 계산된다.
- c. **COMPARISON** 블록에서는 입력 화소의 값이 임계값 이동이 적용되어질 것인지를 결정한다. 만약 입력 화소값이 임계값 이동되어질 범위내에 있다면 내부 메모리에서 임계값을, 만약 범위를 벗어난다면 고정 임계값 128을 요구하는 신호를 보내게 된다.
- d. **THRESHOLD** 블록에서는 위 c의 동작에 따라 임계값을 출력한다. 단 내부 메모리에 저장되는 랜덤 임계값들은 매 라인 처리 전에 호스트로부터 DMA로 전송받는다.
- e. 변형된 입력 화소값은 임계값과 비교되어 임계값보다 크다면 '1'(백)을 그렇지 않다면 '0'(흑)을 출력한다.
- f. 다음 화소 처리를 위해서 이진화 후의 오차는 **MASK WINDOW** 내의 레지스터에 쉬프트 되어 저장되고 EL에 있는 값은 다음 라인 처리를 위해 외부 메모리에 저장된다.

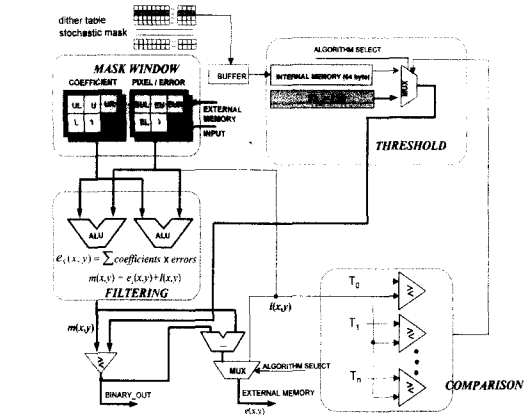


그림 6. 오차확산법의 데이터 경로  
Fig. 6. Datapath of the error diffusion.

알고리즘 2. 오차확산법의 동작

- a-b. **MASK WINDOW** 와 **FILTERING** 블록의 동작은 임계값 이동 오차확산법과 동일하다.
- c. **THRESHOLD** 블록에서 임계값은 128로 고정된다.
- d. **COMPARISON** 블록은 사용되지 않는다.
- e-f. 이후 동작은 임계값 이동 오차확산법과 동일하다

3) 단순이진화

단순이진화 방법에서는 입력화소 밝기값은 고정된 128 임계값과 비교된다. 따라서 **MASK WINDOW** 블록의  $a_{j,k}$ 는 항상 '0'으로 고정시킨다. 결과적으로 변형된 입력밝기값은 입력 밝기값과 동일하게 된다.

$$m(x, y) = I_s(x, y) = I(x, y) \tag{8}$$

2) 오차확산법<sup>[5]</sup>

오차확산법은 임계값 이동 오차확산법과 식(6)를 제외하고는 동일하다 오차확산법에서 임계값은 128로 항상 고정된다. 따라서 식(6)을 식(7)으로 대체하면 오차확산법이 된다.

$$\begin{aligned}
 b(x, y) &= \text{step}[m(x, y) - 128] \\
 &= \begin{cases} 1(\text{white}), & \text{if } m(x, y) > 128 \\ 0(\text{black}), & \text{otherwise} \end{cases} \tag{7}
 \end{aligned}$$

그림 6은 오차확산법의 데이터 경로를 나타낸다.

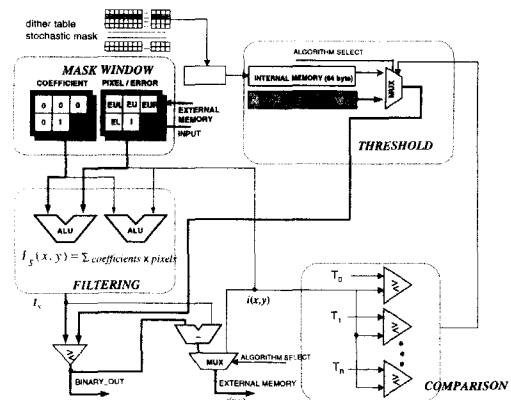


그림 7. 단순이진화법의 데이터 경로  
Fig. 7. Datapath of the simple threshold.

그림 7과 알고리즘 3은 단순이진화의 데이터 경로를 보여준다.

### 알고리즘 3. 단순이진화법의 동작

- MASK WINDOW** 블록은 계수 레지스터의 현재 화소에 대응되는 위치에는 '1'을 넣고 나머지 위치에는 '0'을 채운다. 화소/오차 레지스터에는 화소값들을 넣는다.
- FILTERING** 블록에서는 계수레지스터와 오차/화소 레지스터의 누적곱을 취한다.
- THRESHOLD** 블록은 고정된 임계값 128을 가진다.
- COMPARISON** 블록은 사용되지 않는다.
- 현재 입력 화소값은 128 임계값과 비교되어 임계값보다 크다면 '1'(백)을 그렇지 않다면 '0'(흑)을 출력한다.

### 4) 고대역 통과 필터링

일반적으로 CCD등의 영상획득 장치는 저주파 대역 필터링에 의해 영상의 에지 영역등이 손상된다. 이를 보완하기 위해 고대역 통과 필터링을 수행한다. 오차확산법에서 사용되는 화소/오차 레지스터에는 입력 화소의 밝기값이 들어가고 계수 레지스터에는 오차확산법 필터계수대신 고대역 통과 필터 계수가 저장되어 사용된다.

고대역 통과 필터링이 수행된 입력 화소값은 식(9)와 같다. 그림 8과 알고리즘 4는 데이터 경로를 보여준다.

$$m(x, y) = I_H(x, y) \\ = 3 \times I(x, y) - I(x-1, y) - I(x, y-1) \quad (9)$$

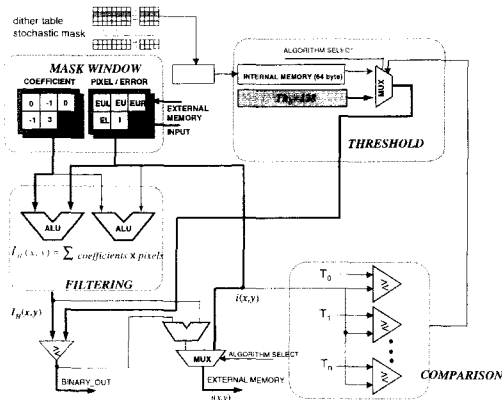


그림 8. 고대역 통과 필터링의 데이터 경로  
Fig. 8. Datapath of the highpass filtering.

### 알고리즘 4. 고대역 통과 필터링의 동작

- MASK WINDOW** 블록에서 계수 레지스터에는 고대역 통과 필터링 계수를 넣는다. U(위), L(좌측), 그리고 현재 화소 위치에는 각각 1, -1, 그리고 3을 넣는다. 그 외 나머지 위치에는 '0'를 넣는다. 화소/오차 레지스터에는 화소값을 넣는다.
- 고대역 통과된 화소값  $I_H(x, y)$ 는 화소/오차 레지스터와 계수 레지스터의 값의 곱의 누적에 의해 얻어진다.
- 임계값은 128로 고정된다.
- $I_H(x, y)$ 는 임계값과 비교되어 임계값보다 크다면 '1'(백)을 그렇지 않다면 '0'(흑)을 출력한다.

### 5) 디더링<sup>[9,10,11]</sup>

디더링은 입력화소의 밝기값이 디더 배열과 비교되어 이진화된다. 디더 배열에 있는 임계값과 비교되어 임계값 보다 크면 '1', 그렇지 않다면 '0'이 된다. 디더링의 동작은 단순이진화의 블록의 동작만 다르고 동일하다. 디더링의 임계값은 내부 메모리에서 가져온다. 디더 배열의 임계값으로는  $8 \times 8$  배이어 마스크와 스토케스틱 마스크등을 사용한다. 스토케스틱 마스크<sup>[9,10]</sup>을 사용할 경우 패턴을 저장할 내부 메모리, 사이즈의 최소화화를 위해 매 라인 처리전에 호스트로부터 다운로드 받아 내부 64 byte 메모리에 저장한다.

### 4. DMA\_M

**DMA\_M**은 영상처리 프로세서와 호스트 사이의 데이터를 전송을 위해서 3개의 DMA 채널을 가진다. 채널 0은 스캔과 복사 동작시에 사용되고 채널 1과 2는 팩스수신 동작에서 사용된다. 그림 9는 DMA 채널들의 동작을 표시하였다. 채널 0은 버스트와 싱글 두가지의 동작 모드를 가진다. 스캔된 연속 계조 영상은 외부 메모리에 저장되었다가 버스트 모드로 호스트에 전송해준다. 감마 테이블, 웨이딩 파라미터를 전송할 경우에도 이 모드를 이용한다. 싱글 모드는 복사 동작을 수행할 때 사용된다. **BIN\_M**의 이진 데이터는 싱글 모드를 통하여 16 bit 단위로 호스트로 전송된다. 또한 영상처리에 필요한 초기 레지스터값들을 다운로드 받는다. 채널 1은 이진 영상의 축소/확대를 위해서 호스트 프로세서로부터 16 bit 데이터를 받는데 사용되고 처리가 끝난 다음 다시 호스트로 전송을 하기 위해서 채널 2를 사용한다. 스캔 또는 복사동작과 팩스수신동작이 동시에 수행되는 듀얼동작시에는 3개의 DMA 채널이 동시에 활성화된다. 각 채널의 동작 설정은 DMA 내부 제

어 레지스터를 프로그래밍하여 선택한다.

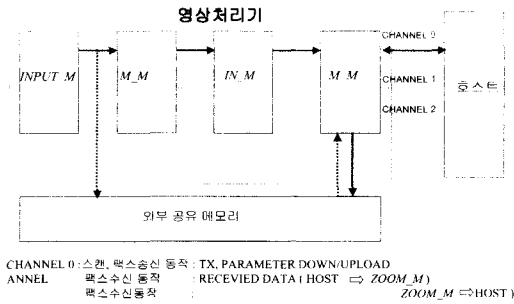


그림 9. DMA\_M의 채널별 동작.  
Fig. 9. Operation of DMA channel

### III. 영상처리 프로세서의 구현

영상처리 프로세서는 VHDL(Very high speed Hardware Description Language)로 설계하여 구현하였다. 동작을 시뮬레이션하기 위해 DMA 컨트롤러, A/D, D/A, 외부 SRAM을 가진 호스트와 같은 주변 장치를 VHDL로 모델링하였다. 그림 10은 제작된 영상처리 프로세서의 레이아웃과 완성된 칩을 보여준다. 10 bit의 A/D 변환기와 310 byte의 내부 메모리를 포함하고 있다. 0.6μm CMOS로 제작되었으며 144핀 QFP(Quadrate Flat Package) 패키지로 제작되었다. 최대 동작 주파수는 40 MHz이며 한 화소당 5MHz로 처리를 한다. 아날로그 로직과 내부 램을 제외한 게이트 카운터는 33,600이다.

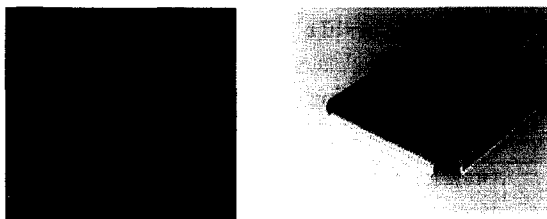


그림 10. 영상처리 프로세서의 레이아웃 및 구현된 칩  
Fig. 10. Photographs of the image processor . (a) Layout and (b) the image processor.

효율적인 고속처리를 수행하기 위해 각 모듈은 외부 메모리를 공유한다. 각 모듈은 자신의 메모리 접근 시간을 가지며 최적화되어 있다. 대부분의 파라미터는 호

스트에서 다운로드되며 레지스터에 저장된다. 영상처리 프로세서는 외부메모리 필요량을 최소화하며 파이프라인 구조를 도입한다.

### IV. 영상처리 결과

제작된 영상처리 프로세서를 테스트하기 위하여 영상처리 프로세서를 탑재할 수 있는 보드를 만들었다(그림 11). 테스터 보드는 PC ISA 슬롯에 내장되도록 설계되었고 동작에 필요한 파라미터들과 명령은 PC로부터 다운로드되었다. 영상 결과를 얻기 위하여 테스터용 복합기에 인터페이스하여 문서를 받아들이게 하였고 이 때 사용된 영상 입력 장치는 CCD(도시바, TCD125 UD)<sup>[17]</sup>를 사용하였다.



그림 11. 영상처리 프로세서를 장착한 테스터 보드  
Fig. 11. Test board mounting image processor.

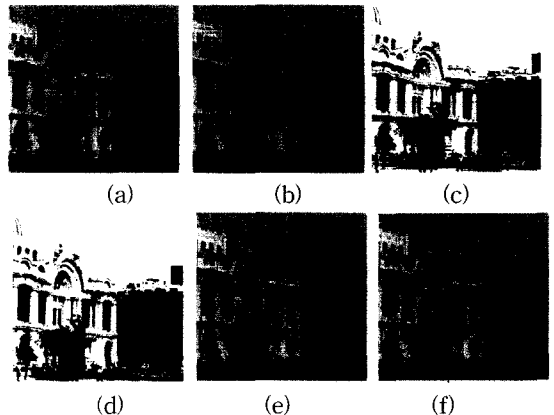


그림 12. 각 이진화 알고리즘에 따른 영상의 결과. (a) 임계값 이동 오차확산법 (b) 오차확산법 (c) 고대역 통과 필터링 (d) 단순이진화 (e) 디더링(베이어 마스크) (f) 디더링(스토케스틱 마스크)

Fig. 12. The bi-level images according to various binarization algorithms. (a) Threshold modulated error diffusion (b) Error diffusion (c) High pass filtering (d) Simple threshold (e) Dithering (Bayer dither mask) (f) Dithering (Stochastic mask).



그림 12는 각 알고리즘에 의한 영상의 결과들이다. 그림 13은 각각 영상을 75%, 135%로 축소 확대한 영상이다.

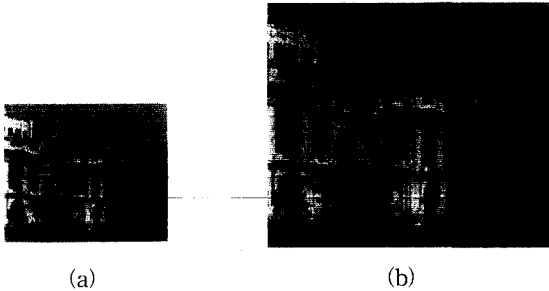


그림 13. 확대/축소 영상 결과 (a) 75% 축소 (b) 133% 확대

Fig. 13. The results of (a) 75% times reduction and (b) 133% times enlargement.

## V. 결 론

디지털 복사와 팩시밀리등의 복합기에 사용되어 질 수 있는 영상처리 프로세서를 구현하였다. 다양한 종류의 CCD와 CIS와 인터페이스되며 웨이딩, 감마보

정, 자동이득조정과 같은 전처리처리를 수행한다. A/D 변환기를 내장하고 있으며 확대/축소 기능을 수행한다. 호스트와의 데이터 전송을 위해서 DMA를 사용한다. 구현된 이진화 알고리즘은 오차확산법, 임계값 이동 오차확산법, 단순이진화, 디더링, 고대역 통과 필터링들이다. 또한 스캔 혹은 복사와 팩스수신의 동시작업인 듀얼동작을 지원하여 다중작업을 할 수 있다. 통합된 이진화 구조는 게이트 수를 줄이고 제어의 복잡도를 줄일 수 있도록 효율적으로 설계되었다. 참고문헌<sup>[2]</sup>에서 구현된 영상처리기에 비해 2.5배의 속도증가를 보였고 게이트수가 8,000개 줄었다. 영상처리 프로세서를 탑재한 테스터 보드를 통하여 성공적으로 동작함을 검증하였다.

## 감사의 글

본 논문은 LG전자의 지원으로 부산대학교 컴퓨터 및 정보통신 연구소를 통하여 수행된 과제입니다. LG전자 및 부산대학교 컴퓨터 및 정보통신 연구소 관계자들에게 감사드립니다.

표 3. 제안된 영상처리기와 참고문헌<sup>[2]</sup>의 비교

Table 3. Comparison of gate count between an HIP and previous design<sup>[2]</sup>.

	Previous Design		New Design	
	Functions	Gates Count	Functions	Gates Count
Input		7,100		8,900
Binarization Function	Simple Threshold Bayer Dithering Error diffusion(EDF) Edge enhanced EDF Mixed image processing based on the fuzzy	14,700	Simple Threshold Bayer Dithering Error diffusion(EDF) Threshold modulated EDF High pass filtering	6,600
Zoom	Grey level zooming	10,330	Grey level zooming Binary Zooming	10,100
DMA	1 Channel	2,990	3 channel	2,480
Internal Memory	8 x 8 Bayer Fuzzy table Gamma table	64 Bytes 256 Bytes 256 Bytes	8 x 8 Bayer dither 64 x 64 stochastic mask Gamma tables	64 Bytes 256 Bytes
Etc.	I/F logic	6,480	I/F logic	5,520
Total	566Bytes Memory + A/D+ Digital (41,600 )		310Bytes only + A/D+ Digital (33,600 )	

## 참 고 문 헌

- [1] 김재호 외, "차세대 팩스 영상처리를 위한 1-chip Application Specific DSP 개발", *대한전자공학회 논문지* 제 32권 B편, 제4호, pp.30-39, 1994
- [2] 박창대 외, "팩시밀리 및 디지털 복사기를 위한 고속 영상처리기의 VLSI구현", *대한전자공학회 논문지* 제35권, S편, pp.105-113, 1998
- [3] C. D Park, J. H. Kim, et al., "A VLSI Implementation of Image Processor for Facsimile and Digital Copier," *Midwest Symposium on Circuit & Systems*, pp. 1457-1460 (1997).
- [4] AK8414, AK8428 single chip image processor data sheet, ASAHI-KASEI Microsystems Co. Ltd. Japan. (1995).
- [5] S. H. Seo, J. H. Kim, et al., "A CMOS CODEC Chip for a Cost Effective Group 4 Fax System," *IEEE Trans. On Consumer Electronics*, 43(2), pp.81-90 (1997).
- [6] J. H. Kim, C. K. Lee, Y. H. Jeong, C. D. Park, "Efficient hardware structure of binarization algorithms," in *Proc. SPIE 3018*, pp. 3018-3041 (1997).
- [7] R. W. Floyd and L. Steinberg, "An adaptive algorithm for spatial gray-scale," *Proc. Soc. Inf. Disp.* 17, pp.75-77 (1976).
- [8] K. T. Knox and R. Eschbach, "Threshold modulation in error diffusion," in *J. Elec. Imaging*. 2(3), pp. 185-192, (1993).
- [9] T. Mitsa and K. J. Park, "Digital halftoning technique using a blue noise mask," *J. Opt. Soc. Am. A* 9, pp. 1920-1929 (1992).
- [10] Robert A. Ulichney, "Dithering with Blue Noise," *Proc. Of the IEEE*, 76(1), pp. 56-79 (1994).
- [11] B. E. Bayer, "An optimum method for two level rendition of continuous-tone pictures," in *Proc. IEEE Int. On Communications Conf. Rec.*, pp. 26-11, 26-15 (1973).
- [12] A. V. Oppenheim, R. W. Schaffer, *Discrete-Time Signal Processing*, Prentice Hall, pp.110-112 (1989).
- [13] K. M. Fant, "A Nonaliasing, Real-Time Spatial Transform Technique", *IEEE Trans. On CG&A*, pp.71-80, Jan. (1986).
- [14] "A Enlargement & reduction algorithm for bi-level image," *LG electronics. Inc. Internal Report*. (1996).
- [15] E. H. Lee, J. H. Kim, "Threshold Modulation Error for Reducing Pattern Artifact," *한국통신학회 부산경남지부 춘계 학술대회*, pp.64-69 (1995)
- [16] Ping Wah Wong, "Adaptive Error Diffusion and Its Application in Multiresolution Rendering," *IEEE Trans. On Image Processing*, 5(7), pp.1184-1196 (1996).
- [17] Toshiba Corp., *CCD Linear Image Sensor data book*, (1995).

## 저 자 소 개

## 朴 昌 大(正會員)

1966년 1월 21일 생. 1991년 2월 부산대학교 전자공학과 졸업 (공학사). 1995년 2월 부산대학교 대학원 전자공학과 졸업 (공학석사). 1995년 3월~현재 부산대학교 대학원 전자공학과 박사과정. 관심분야 : Image processing, Still and Video image compression, VLSI design

## 李 乙 煥(正會員)

1970년 8월 20일 생. 1993년 2월 부산대학교 전자공학과 졸업 (공학사). 1995년 2월 부산대학교 대학원 전자공학과 졸업 (공학석사). 1995년 3월~현재 부산대학교 대학원 전자공학과 박사과정. 관심분야 : Digital halftoning, Color reproduction, Multi-band imaging system, Image processing

金 在 浩(正會員) 第 32卷 B編 第 2號 參照