

論文99-36S-11-2

10Gbps 광전송 장치의 리프레이밍을 위한 회로구현

(Reframing Design of the 10Gbps Optical Transmission System)

金相坤*, 魚在弘**

(Sang-Kon Kim and Jai-Hong Eu)

요약

본 논문은 10Gbps 광 전송 장치의 저속부와 고속부 셀프 간에 77.76Mbps의 10라인의 전송 방법인 H-BUS 방식보다 효율적인 622Mbps 의 1라인으로 전송하기 위하여 622Mbps로 수신되는 데이터를 동기식 디지털 계위(SDH)에 정의된 동기식 전달방식(STM)-64 프레임 형태로 정렬할 수 있는 리프레이밍 방법을 설명하였으며 이를 VHDL로 설계하여 10Gbps 광 전송 장치의 TI4U 보드의 10G-S4 ASIC내에 적용하였다.

Abstract

In this paper, a method of one line transmission of 622Mbps to interface a low speed part with a high speed part is introduced instead of H-BUS method of the 10 line transmission of 77.76Mbps in the 10Gbps optical transmission system. For this method, a reframing method to align the received data of 622Mbps transmission to STM(Synchronous Transfer Mode)-64 frame of SDH(Synchronous Digital Hierarchy) is described. Reframing is designed with VHDL and applied in the 10G-S4 ASIC of TI4U board of 10Gbps optical transmission system.

I. 서론

전송 시스템의 저렴한 가격, 많은 용량, 그리고 질적 향상을 위하여 효율적인 광 파이버 시스템 구축은 매우 중요하다. 이를 위한 동기식 디지털 계위(Synchronous Digital Hierarchy ; SDH)는 국제 전기통신 표준 연합 전기통신 표준 센터(ITU-T)에서 정한 전송구조의 표준모델이며 전역 동기적 디지털 통신, 효율적인 네트워크 구성과 네트워크 운용, 행정 및 관리를 할 수 있다.

동기식 디지털 계위(SDH)에서 동기식 전달방식(Synchronous Transfer Mode ; STM)은 구간 계층 연결을 지지하기 위하여 사용된 정보 구조로서 블록 프레임 구조에서 구성된 정보 계층과 구간 오버헤드(section overhead ; SOH) 정보 필드로 구성되며^[1] 구역 계층 전송 포맷의 기초를 형성한다. 따라서 10 Gbit/s 동기식 디지털 계위(SDH)를 기초로 하는 광 전송 시스템을 효율적이고 쉬운 운용을 위하여 크기가 작고 저렴한 동기식 전송 모드(STM)-64의 선로 단말은 필수적이다. 특히 10Gbps 광 전송 장치의 고속부 셀프에서 저속부 셀프간의 수신에 있어 기존의 77.76Mbps 신호 10라인을 한 쌍으로 하는 H-BUS 방식보다 622Mbps 신호 1라인으로 전송하는 방법은 셀프간에 필요한 케이블의 수가 1/10으로 줄어들어 시스템의 최적화 및 이로 인한 비용을 줄일 수 있다. 왜냐하면 리프레이밍을 위하여 H-BUS 방식은 77.76MHz 또

* 正會員, 草堂大學校 情報通信工學科

(Dept. of Information & Communication, Chodang University)

** 正會員, 韓火/情報通信 中央研究所

(Hanwha Corporation / Telecom. R&D Center)

接受日字:1997年12月18日, 수정완료일:1999年9月2日

는 52MHz 의 입력 신호 주파수를 분주하여 저속의 19MHz 나 26MHz 변환 처리하기 때문에 프레임의 시작 위치를 알리는 FAW(Frame Alignment Word)를 검출하는데 2³²만큼의 모니터링을 해야 하나 622Mbps 방식은 분주할 필요가 없어 8가지만 모니터 하여 검출할 수 있기 때문이다. 그림 1은 H-BUS 전송방식과 본 논문에서 구현한 622Mbps 전송방식을 비교한 것이다. 622Mbps 전송방식에서는 H-BUS 전송방식과 달리 622Mbps 데이터를 수신 받아 77.76Mbps 10라인 데이터, 77.76MHz 클럭, 그리고 77.76Mbps 프레임 오프셋 신호로 변환하는 변환부를 추가하였다. 프레임 오프셋 신호는 해당 프레임의 시작위치, 즉 payload 첫 바이트 위치를 가리키는 펄스 신호로서 데이터의 조작 / 처리 / 해석이 모두 이 신호를 기준으로 가능하다. 따라서 본 논문의 리프레이밍 회로는 한 클럭 사이클에 완전한 데이터 1 바이트가 전송되도록 정렬하며 FAW 를 인식하여 A1 바이트의 첫 바이트의 위치에 프레임 오프셋 신호를 생성시킬 수 있도록 하였다. 또한 리프레이밍의 상태판단을 FAW 를 다시 검출하기 위한 피드백 회로 대신에 77.76MHz 클럭 9720 사이클 주기로 하는 카운터를 설계하여 1사이클 이하의 입력 데이터 위치 변동이 발생하면, OOF상태로 천이시켜 다시 FAW를 검출하도록 상태 조건을 만들었다. 검증을 위하여 리프레이밍 회로를 VHDL로 설계하여 10G-S4 ASIC 내에 구현하여 10Gbps 전송시스템에 적용하였다. 본 논문의 구성은 II 장에서는 리프레이밍의 신호와 설계에 대하여 설명하였고, III장에서는 리프레이밍 장치 구현 및 검증에서는 기술하였고, IV장에서는 결론을 언급하였다.

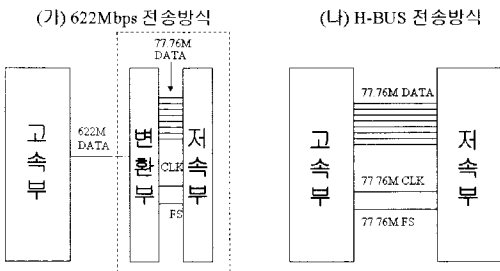


그림 1. 622Mbps 전송방식과 H-BUS 전송방식 비교
Fig. 1. Comparison between 622Mbps transmission method and H-BUS transmission method.

II. 리프레이밍 신호 및 설계

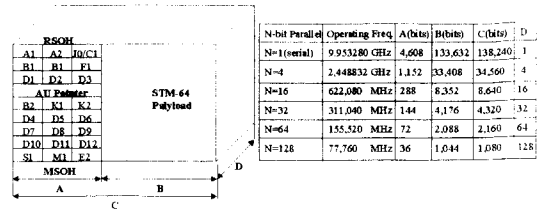


그림 2. STM-64 프레임 신호의 병렬 과정 방법
Fig. 2. Parallel processing methodology of STM-64 frame signal.

1. 리프레이밍 신호

그림 2는 STM-64 프레임 신호의 병렬 과정 방법이다. STM-64 프레임은 각각 125 us을 반복하는 블록 프레임 구조로 된 payload 정보와 SOH 정보 필드로 구성되어 있다. STM-64는 9.95328 Gbit/s(270 x 9 x 64 x 8 bits / 125us)로 정의된다^[1]. 프레임 신호의 병렬과정 방법은 비싼 가격, 전력 손실, 그리고 빠른 속도의 IC 에 대하여 STM-64 SOH가 낮은 속도의 D-bit 병렬 형태로 동작하고 D-bit STM-N 병렬신호가 STM-N 신호로 다중화 된다면 이 신호는 쉽게 직렬로 처리할 수 있기 때문이다. SOH 정보는 RSOH (Regenerator Section Overhead)와 MSOH(Multiplex Section Overhead) 로 구별된다. STM-64 SOH는 D가 16이면 622.08 Mbit/s, D가 32이면 311.04 Mbit/s, 그리고 D가 128이면 77.76 Mbit/s에서 동작한다. 실제로 전송하고자 하는 데이터는 payload부분에 삽입되어 전송되며, 좌측 상단의 RSOH(Regenerator Section Over Head) 영역과 좌측 하단의 MSOH (Multiplexer Section Over Head) 영역에 프레임에 대한 정보 바이트들이 할당되며 이런 정보 바이트는 전송시스템의 성능감시 및 제어 신호로 사용된다^[2]. 프레임 정보 바이트 중에서 프레임의 시작 위치를 알려주는 용도로 6*N개의 바이트를 할당하여 두가지 상수 값을 삽입하여 전송한다. 최초 3*N 바이트가 A1 바이트, 그 다음 3*N 바이트가 A2 바이트의 위치이다. 따라서, A1 / A2 바이트를 검출하게 되면, 프레임의 시작위치를 알 수 있게 된다. 그림3는 리프레이밍의 입출력 신호들이다. 고속부 셀프에서 저속부 셀프로 송신되는 622Mbps 데이터는 수신단의 1:8 Demux에 의해 77.76Mbps의 데이터 라인 8개와 77.76M 클럭 추출기로부터 77.76MHz 클럭 생성된다. Demux의 출력 데이터는 한 클럭 사이클에 완전한 1 바이트가 전달되지 못하고, B 위치에서 A1 바이트와

같이 두 클럭 사이클에 걸쳐 있는 형태로 출력된다. 이 신호를 입력 받아 리프레임 블록은 한 클럭 사이클에 완전한 데이터 1바이트가 출력된다. 프레임의 시작위치를 알리는 A1 / A2 바이트의 상수 값은 A1의 Hexa decimal은 F6, Binary은 1111 0110, A2의 Hexadecimal은 28, Binary 은 0010 1000이다. 프레임 오프셋은 첫번째 A1 바이트 위치에 high 또는 low의 펄스 신호로 나타난다. 프레임 오프셋 신호의 위치 및 위상은 고정되어 있는 것은 아니며, 송수신단 간의 약속에 의해 변경이 가능하다. 그림 3은 첫번째 A1바이트 위치에 low의 펄스신호로 나타낸 경우이다.

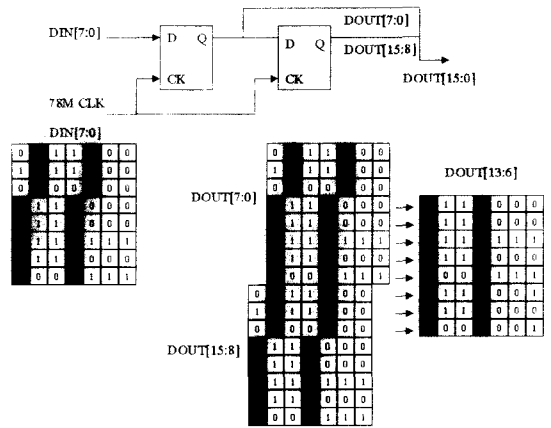


그림 5. R8TO16 블록 내부 신호 형태
Fig. 5. Internal Signals of R8TO16 Block.

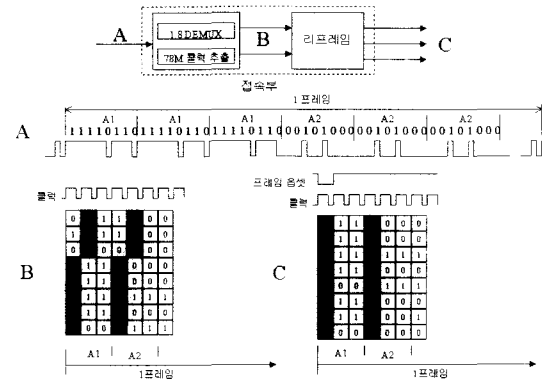


그림 3. 리프레임의 입출력 신호
Fig. 3. Input and Output signals of Reframe.

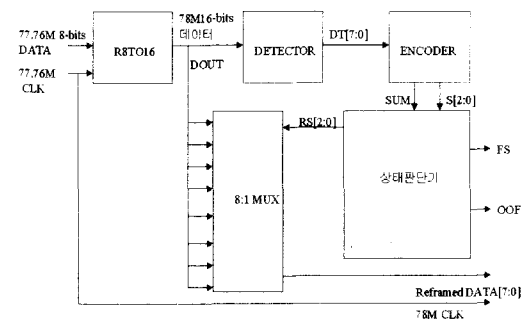


그림 4. 리프레임의 기능 블록도
Fig. 4. Functional Structure of Reframe.

2. 리프레임 설계

그림 4는 그림 3의 리프레임의 블록 구조도로서 리프레임은 R8TO16, Detector, Encoder, 상태판단기(ST_DEC), 8:1 MUX 블록도로 구성되어 있다. 각각의 블록을 설명하면 다음과 같다. R8TO16블록은 8 병렬 77.76Mbps 데이터를 입력 받아 입력신호 +1 사이클 만

큼 딜레이(delay) 된 신호 (16병렬 77.76Mbps 데이터)로 출력시키는 기능을 한다. 그림 5와 같이 DOUT[7:0]의 하위 바이트에는 입력되는 8-bits 77.76Mbps 데이터를 그대로 내보내고, DOUT[15:8]의 상위 바이트에는 입력데이터를 77.76MHz 클럭 사이클 만큼 딜레이(delay) 시켜 DOUT[13:6]에 걸쳐 완전한 1 바이트가 위치하고 있다. 입력신호가 Demux의 출력단으로 오기 때문에 이 위치는 매번 달라질 수 밖에 없다. 가능한 위치의 경우의 수는 DOUT[15:0], DOUT[14:7], DOUT[13:6], DOUT[12:5], DOUT[11:4], DOUT[10:3], DOUT[9:2], DOUT[8:1] 등의 8가지이다. DOUT[7:0]는 실제로는 1클럭 사이클 후에 DOUT[15:8]에서 다시 나타나므로 경우의 수에 포함시키지 않는다. Detector은 그림 4에서와 같이 R8TO16의 출력신호를 입력 받아 완전한 1 바이트의 데이터가 정렬될 수 있는 8가지 경우에 대해 프레임 인식패턴을 검색한다. 프레임 인식패턴이 검출된 경우에 1 클럭 사이클 동안 high인 펄스 신호 DT 신호를 출력한다. 그림 6은 Detector와 Encoder 블록의 신호형태로 R8TO16의 출력신호에서 프레임 인식패턴을 검출한 경우에 Detector의 출력신호의 나타낸 것이다. Detector의 입력과 출력신호는 각각 DOUT[15:8] -> DT[7], DOUT[14:7] -> DT[6], DOUT[13:6] -> DT[5], DOUT[12:5] -> DT[4], DOUT[11:4] -> DT[3], DOUT[10:3] -> DT[2], DOUT[9:2] -> DT[1], DOUT[8:1] -> DT[0]로 대응된다. 그림 4의 Encoder은 프레임 인식패턴이 검출된 위치정보 DT[7:0]를 입력 받아 인코딩(encoding)한 신호 S[2:0]와 SUM 신호를 출력한다. 그림 6의 Encoder의

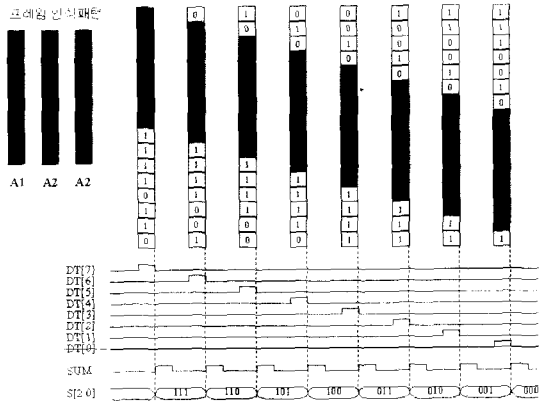


그림 6. DETECTOR 와 ENCODER 블록 신호 형태
Fig. 6. Signals of Detector and Encoder Blocks.

입출력 신호와 같이 입력과 S[2:0] 신호는 각각 DT[7] → 111, DT[6] → 110, DT[5] → 101, DT[4] → 100, DT[3] → 011, DT[2] → 010, DT[1] → 001, DT[0] → 000 으로 대응된다. 또한 입력되는 DT[7:0] 의 8개의 신호 중 하나라도 검출되는 경우 SUM 신호를 생성하여 출력해 준다. 그림 4의 상태판단기 블록은 리프레임 상태를 판단하는 기능을 한다. Encoder 블록으로부터 프레임 인식패턴이 검출된 위치정보와 SUM 신호를 입력 받아 상태 판단 정보 OOFH^[3], 리프레임 상태에 따른 인코딩 값 RS[2:0], 프레임 오프셋 FS 신호를 출력한다. 리프레임 성공한 상태를 IN, 실패한 상태를 OOF 라고 하고 OOF 상태 중에서 상태판단기내의 프레임카운터를 hold 시키기 위한 신호를 HOLD 상태로 정의한다. IN상태인 경우, A1첫번째 바이트 위치에 정렬된 프레임 오프셋FS 신호를 생성하여 출력하며 이 위치는 프레임 인식패턴이 검출된 위치(SUN 신호 발생위치) 보다 15클럭 사이클 앞에 있다. 그림 7은 상태판단 알고리즘을 설명한 것이다. 리프레임 상태에 따른 인코딩 값은 OOF → IN천이시 인코딩 값이 저장되고 IN상태에서만 값을 유지한다. HOLD 신호를 IN상태에서는 항상 high 로, IN → OOF 로 상태 천이시에는 low로 강제 reset하며, HOLD 가 low상태에서 SUM신호가 들어오면 high로, OOF상태이고 HOLD가 high인 상태에서 정해진 위치에 FAW가 검출되지 않으면 low로 설정한다. IN → OOF 천이조건은 정해진 위치에서 연속으로 4번 FAW를 검출하지 못하였을 때로 하며 FAW를 검출하지 못했다고 판정하는 조건은 SUM 신호가 존재하지 않는 경우와 SUM 이 존재하더라도 위치정보를 알려주

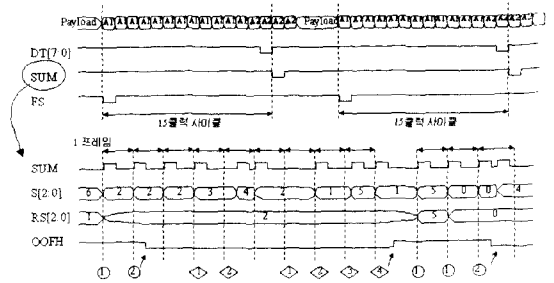


그림 7. 상태판단기의 FS 와 OOF 신호 형태
Fig. 7. FS and OOF signals of ST_DEC.

는 인코딩 값이 전과 틀린 경우로 한다. OOF → IN 천이조건은 정해진 위치에서 연속으로 2번 FAW를 검출하였을 때로 하며 FAW를 검출하였다고 판정하는 조건은 hold 상태에서 처음으로 SUM이 검출되면 인코딩 값을 저장하고 다음 프레임 위치(처음 나온 SUM으로부터 정확히 한 프레임의 시간이 지난 위치)에서 SUM이 존재하고 인코딩 값이 일치하면 IN상태로 천이한다. 만약 다음 프레임 위치에서 SUM이 존재하지 않으면 hold상태로 전환한다. 그림 4의 MUX블록은 R8TO16블럭의 8가지의 8병렬 데이터를 상태판단기의 RS[2:0] 따라 선택된 8 병렬 데이터를 출력한다. 이 블록은 단순한 8:1 MUX로 구성되어 있으며 출력되는 8병렬 77.76Mbps 데이터가 리프레임 되어 STM-64 프레임 구조의 형태를 갖는 신호이다.

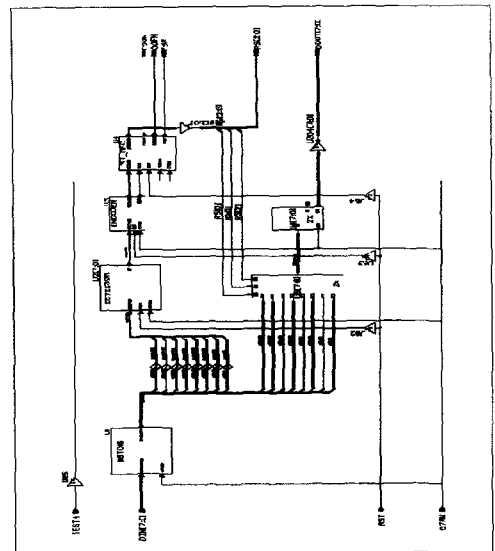


그림 8. 리프레임 회로
Fig. 8. Reframe Circuits.

Ⅲ. 리프레임 장치 구현 및 검증

그림 8은 리프레임 회로를 top-down 방식으로 VHDL로 설계한 것을 합성한 것이다. C78M은 77.76MHz의 클럭 사이클의 입력 pin, TESTH은 회로 test를 위한 pin이며 RST는 RST(Regenerator Section Trace)에 대한 pin이다. RST(Regenerator Section Trace)에는 CRC-7 다항식 알고리즘^[4]을 사용하였다. 표 1은 리프레임 회로가 포함된 10G S4-ASIC을 설명한 것으로 이 회로는 0.6um CMOS 공정으로 집적화 되었다. 그림 9는 10G 전송 시스템에 TI4U 보드에 10G S4-ASIC을 테스트한 결과로 H-BUS 방식과 비교한 것이다. 두 개의 출력신호는 각각 77.76Mbit/s의 정렬된 데이터 신호와 프레임 옵셋 신호를 나타낸 것이다.

표 1. 10G-S4 ASIC
Table 1. 10G-S4 ASIC.

Process	0.6 um CMOS
Integration	140kGates
Chip Size	52.8×52.8(mm ²)
Package	447 pin CPGA
Clock Frequency	77.76 MHz
Power Consumption	7W

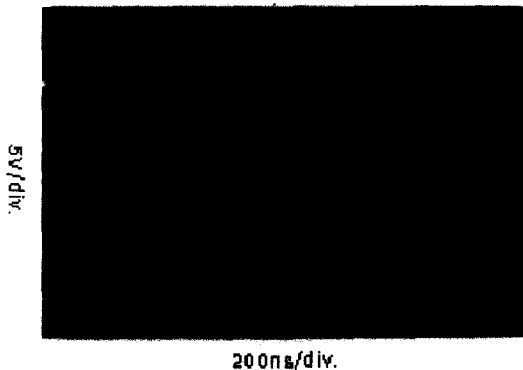


그림 9. 10G-S4 ASIC의 두개의 입출력 전송 신호
Fig. 9. 10G-S4 ASIC input and output waveforms at 77.76Mbit/s.

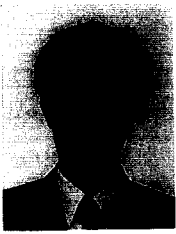
Ⅳ. 결 론

10 Gbit/s 동기식 디지털 계위(SDH)을 기반으로 하는 광통신 장치에 77.76Mbps 신호 10라인을 한 쌍으로 하는 H-BUS 방식 대신에 622Mbps 신호 1라인으로 전송하기 위한 리프레임을 설계하였고 이를 10G S4-ASIC에 집적화 하여 시험하였다. H-BUS 방식에서 FAW 검출하는데 2분주수 만큼의 모니터링 대신에 8가지만 모니터 하도록 하였으며 재 검출시에도 상태조건을 만들어 효율적인 리프레임이 되도록 하였다.

참 고 문 헌

[1] ITU-T Recommendation G.707 : Network node interface for the synchronous digital hierarchy (SDH), July 1995.
 [2] Mike Sexton, Andy Reid, *Transmission Networking : SONET and the Synchronous Digital Hierarchy*, Artec House, 1992, Chap.3, pp.63-64.
 [3] ITU-T Recommendation G.803 : Architecture of Transport Network based on the Synchronous Digital Hierarchy, March 1993.
 [4] Man Young Rhee, *Error-correction Coding Theory*, McGraw-Hill, 1989, Chap.4.

저 자 소 개



金 相 坤(正會員)

1961년 11월 24일생. 1985년 2월 한양대학교 졸업(이학사). 1988년 6월 Northeastern Univ. 졸업(이학석사). 1995년 Virginia Tech 컴퓨터 공학과 박사수료. 1990년~1998년 삼성전자, 한진정보통신, 한화/정보통신

근무. 1997년 9월~현재 한양대학교 박사과정 재학. 1999년 3월~현재 초당대학교 정보통신공학과 강사. 주 관심분야는 Optical Communication / Simulation



魚 在 弘(正會員)

1949년 1월 8일생. 서울대학교 졸업(공학사). Georgia Tech. (공학석사). Georgia Tech (공학박사). 1983년 11월~1988년 3월 Tau-Tron Inc. 1988년 3월~1994년 7월 Bell Northern Telecom Inc. Senior Member. 1995~1998 한화 /

정보통신 중앙연구소장