

# Phase Rotation 방지를 위한 Carrier Recovery Loop의 설계 (Design of a Carrier Recovery Loop with Minimum Phase Rotation)

崔漢竣\*, 李丞峻\*\*

(Han-Jun Choi and Seung-Jun Lee)

## 요 약

변조된 Passband 신호의 동기 검파 방식의 복조(Coherent Demodulation)에서 대부분의 수신 신호 decision에서 나타나는 실제적인 문제는 그 성상도가 회전하는 경우이다. 일단 성상도가 회전하게 되면 수신단에서는 유효한 성상도와 구별해 낼 수 있는 방법이 없다. 그러나 수신기는 회전된 성상도에 의해 수신된 위상을 결정하므로 이러한 문제를 극복해 낼 수 없다면 그 결과는 계속되는 에러로 나타나게 된다. 본 논문에서는 먼저 QPSK 복조기에서의 주파수 오프셋과 위상 오차를 극복하기 위한 Carrier Recovery Loop에 대해서 살펴보고 나서 위상 Rotation을 방지하기 위한 방법을 제시하였다. 검출된 위상 오차를 주파수 오프셋 교정에 선별적으로 적용함으로써 phase rotation의 발생을 줄일 수 있다. 시뮬레이션을 통해 제시한 방법의 타당성을 검증하였다.

## Abstract

Phase rotation is a practical problem in the implementation of coherent demodulation. Large phase noise may introduce phase rotation in the demodulator which results in repeated decision errors. This paper presents a simple and yet very efficient technique in building a carrier recovery loop which minimizes the phase rotation by improving the stability of the decision-directed carrier recovery loop. Simulation shows this novel technique improves the performance of the carrier recovery loop as well as stability.

## I. 서 론

집적회로 기술의 급속한 발전과 압축 및 부호화 기술의 발달에 힘입어 디지털 방식의 통신 기법이 점차 기존의 아날로그 통신을 대체해 나가고 있는 추세이다. 디지털 통신의 수신단에서 일반적으로 사용되고 있는

동기 검파 방식의 복조기에서는 수신단 자체의 타이밍 레퍼런스를 가지고 수신 신호의 데이터로부터 반송파의 주파수와 위상을 복구하게 되는데 이 때 복구된 반송파 주파수가 송신단의 주파수와 정확히 일치하지 않는다면, 즉 주파수 오프셋을 가지게 되면 그 결과 복구된 신호의 성상도(constellation)는 회전하게 되어 수신된 심벌(symbol)이 결정 구간(decision region)의 경계(boundary)를 지날 때마다 에러를 발생시키게 된다<sup>[1]</sup>.

그리고 채널 상에서 야기되는 위상 노이즈(phase jitter)는 수신된 신호의 성상도를 기울게(tilted) 하는 결과를 낳아 수신된 신호를 결정 구간의 경계 근처로 가져감에 따라 노이즈에 대한 수신기의 면역성

\* 正會員, 現代電子産業株式會社

(Hyundai Electronics Industries Co., Ltd.)

\*\* 正會員, 梨花女子大學校 電子工學科

(Dept. of Electronics Engineering Ewha Woman's University)

接受日字:1998年10月19日, 수정완료일:1999年2月3日

(immunity)을 감소시키게 된다<sup>[1]</sup>.

이러한 주파수 오프셋과 위상 오차에 따른 문제점을 극복하기 위해서 수신단에서는 반송파(carrier)의 주파수와 위상을 tracking하는 Carrier Recovery 부분이 필요하게 된다. 이 때 주파수 오프셋은 정확하게 보정할 수 있으나 위상 오차의 경우는 항상 90°의 정수배에 해당하는 phase ambiguity가 존재하게 된다<sup>[2]</sup>. 이 같은 phase ambiguity는 뒷 단에 따라오는 오류정정 부호기에서 원래의 위상으로 복구가 가능하나 순간적으로 위상 잡음이 증가하면 복조기의 carrier recovery부에서 복구한 신호의 성상도가 90° 혹은 180° 회전한 상태로 고정되게 된다. 그 결과로 이를 뒷단에서 검출하여 원래의 위상으로 되돌리는 시간동안 출력신호에는 오류가 발생하게 되어 bit-error rate(BER)가 증가하게 된다.

본 논문에서는 carrier recovery에 있어서 이같은 phase rotation을 최소화할 수 있는 기법을 제시한다. 먼저, 디지털 위성 방송 수신용 복조기에 실제로 사용되어진 decision-directed 방식의 carrier recovery<sup>[3]</sup>의 이론적 측면과 실제 구현 예를 다음 장에서 살펴보고, 기존의 carrier recovery 방식을 사용할 시 phase rotation이 발생하는 상황을 모델링하여 시물레이션한 결과를 보여준다. 그리고 그 해결책을 제시하고 시물레이션 결과를 통해 제시한 방법의 타당성을 보이도록 하겠다.

## II. Decision-directed Carrier Recovery

먼저 수신단에서 주파수 오프셋과 위상 지터(jitter)를 가진 noiseless passband PAM analytic 신호를 고려하면 식 (1)로 표현되어 진다.

$$e^{j(\omega_c t + \theta(t))} \sum_{m=-\infty}^{\infty} A_m p(t - mT) \quad (1)$$

여기서 p(t)는 전송 펄스 형태, 채널에서의 선형 왜곡(linear distortion), receive filter 등을, A<sub>m</sub>은 진폭을 나타내고, θ(t)는 주파수 오프셋과 위상 지터를 나타낸다.

이러한 수신된 신호를  $e^{-j(\omega_c t + \phi(t))}$ 로써 복조하고 심벌율(symbol rate) t=kT로 샘플링하면 식 (2)와

같다.

$$q_k = e^{j(\theta_k - \phi_k)} \sum_{m=-\infty}^{\infty} A_m p_{k-m} \quad (2)$$

이때 Carrier Recovery part가 bandpass 등화기(equalizer) 뒷단에 오게 되면 등화(equalized)된 펄스 형태는 대략 Nyquist criterion을 만족하게 되고  $p_k = \delta_k$ 라고 가정하면 복조된 신호는 다음과 같다.

$$q_k = e^{j(\theta_k - \phi_k)} A_k \quad (3)$$

그러나  $p_k = \delta_k$ 와 no noise라는 가정은 실제 시스템에서는 비현실적이므로 어느 정도의 noise와 심벌간 간섭(Inter-symbol Interference:ISI)를 고려하면

$$q_k = c_k e^{j\epsilon_k} A_k \quad (4)$$

여기서  $c_k$ 는 pulse real value로서 amplitude error를 나타내고  $\epsilon_k$ 는 Phase error를 나타낸다. 식 (4)에 따르면  $\epsilon_k$ 는 다음과 같이 구할 수 있다.

$$\begin{aligned} \epsilon_k &= \sin^{-1} \left[ \frac{\text{Im} \{ q_k A_k^* \}}{c_k |A_k|^2} \right] \\ &= \sin^{-1} \left[ \frac{\text{Im} \{ q_k A_k^* \}}{|q_k| |A_k|} \right] \end{aligned} \quad (5)$$

그러나 심벌  $A_k$ 는 수신측에서 알 수 없다. 일반적으로 심벌  $A_k$  대신 decision 결과값인  $A'_k$ 를 사용하여 구현한다. 이에 따른 위상 검출기를 위주로 한 Carrier Recovery loop는 그림 1과 같다.

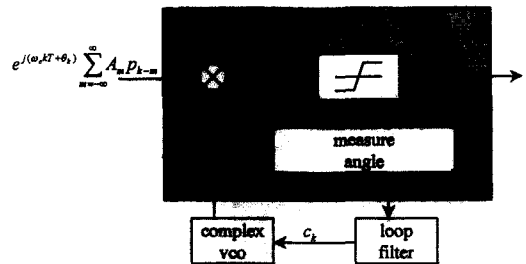


그림 1. 식 (5)에 따른 위상 검출기를 이용한 Carrier Recovery loop 구조

Fig. 1. Carrier Recovery loop structure using the phase detector using the eq.(5)

이는 PLL 구조와 비슷하나 위상 검출기가 Decision directed 방식이므로 decision에서의 에러가 위상 검출의 에러에 직접 관련이 있음이 주된 차이가 된다.

QPSK 경우 수신된 샘플이  $\frac{\pi}{4}$  이상의 진폭을 갖는

위상 에러를 포함하게 되면 decision은 잘못되게 되고 측정된 검출되는 위상 에러  $\epsilon_k$  또한 잘못 검출되게 된다. 즉,  $\epsilon_k = W(\theta_k - \phi_k)$ 으로 표현 가능하고  $W(\cdot)$ 은 그림 2와 같다.

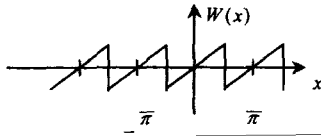


그림 2. 이상적인 decision directed 위상 검출기의 특성  
Fig. 2. The characteristic of the ideal decision-directed phase detector.

식 (5)는 작은 위상 에러에 대해서  $\epsilon_k \approx \sin(\epsilon_k)$ 를 이용하여 더욱 간략화될 수 있다.

$$\epsilon_k \approx \sin(\epsilon_k) = \frac{\text{Im}\{q_k A'_k\}}{|q_k| |A'_k|} \quad (6)$$

이 경우 decision-directed 위상 검출기의 특성은  $\sin(\epsilon_k) = \sin(W(\theta_k - \phi_k)) \approx W(\theta_k - \phi_k)$ 과 같고 그때  $W'(\cdot)$ 은 그림 2-3과 같다.

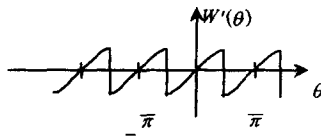


그림 3. 근사된 decision directed 위상 검출기의 특성  
Fig. 3. The characteristic of the approximated decision directed phase detector.

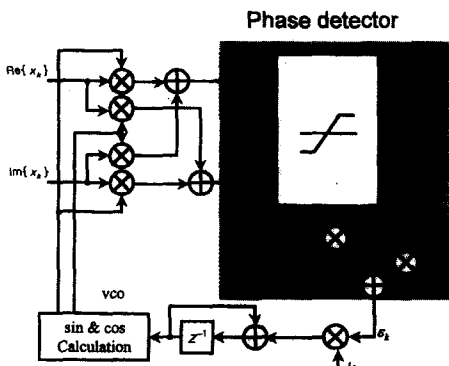


그림 4. 식 (7)에 따른 1차 Carrier Recovery loop 구조  
Fig. 4. The structure of a first order Carrier Recovery loop using the eq.(7)

마지막으로 식(6)의 denominator는 단순히 gain값만을 변화시키므로 생략하면 다음의 식을 얻을 수 있

다.

$$\epsilon'_k = \text{Im}\{q_k A'_k\} = q_{ik} A'_{rk} - q_{rk} A'_{ik} \quad (7)$$

위와 같은 angular error estimate를 사용한 1차 Carrier Recovery loop ( $L(z)=KL$ )의 구조는 그림 4와 같다. 그림에서  $\text{Re}\{x_k\}, \text{Im}\{x_k\}$ 은 입력신호의 Real 값과 Imaginary 값을 의미한다. 그림 5는 이를 하드웨어로 구현한 것을 보여준다.

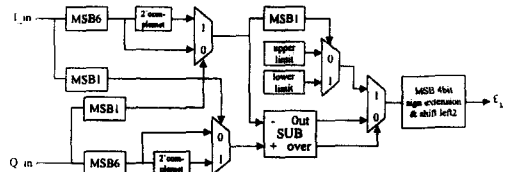


그림 5. 실제 구현 칩 내의 위상 검출기 회로  
Fig. 5. Implemented example of phase detector circuit.

### III. Phase Rotation 발생 환경 Modeling

Synopsys사의 High Level System Design tool 인COSSAP<sup>[2]</sup>을 이용하여 그림 5와 같이 설계된 위상 검출기를 포함한 Carrier Recovery 부분을 테스트하기 위해 두 개의 랜덤 이진 신호를 각각 in-phase와 quadrature 입력으로 사용하고 복조기 전단에서 인위적으로 주파수 오프셋과 위상 노이즈를 포함할 수 있도록 하였다. 주파수 오프셋과 위상 노이즈 추가 회로는 그림 6과 같다

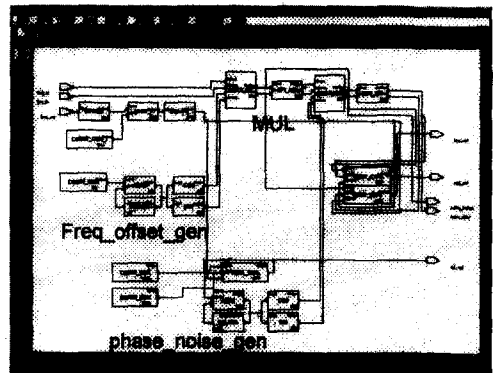


그림 6. 주파수 오프셋과 위상 노이즈 추가 회로  
Fig. 6. An inserting Circuit of freq. noises and phase noises.

사용한 심벌율은 3.75MHz와 1.875MHz이고, 주파

수 오프셋은 20KHz, 일단 위상 노이즈는 없는 상태에서 시뮬레이션을 하였다. 이 때 복조기는 캐리어를 복구하기 위해 loop 필터의 출력을 누적하다가 일정 클럭 이상 비슷한 값이 유지되면 Lock 신호를 활성화(Active)시키게 된다. 그림 7와 그림 8에서 심벌율 3.75MHz와 1.875MHz, 각각의 경우의 캐리어 루프 누적값과 lock 신호의 시뮬레이션 결과 그래프를 제시하였다.

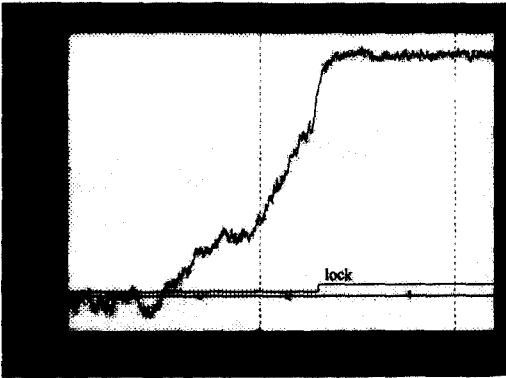


그림 7. 캐리어 루프 누적값과 lock 신호의 시뮬레이션 결과 (심벌율 3.75MHz, 주파수 오프셋 20KHz)

Fig. 7. Simulation result of carrier loop accumulation and loop signal.(symbol rate 3.75MHz, freq. offset 20KHz)

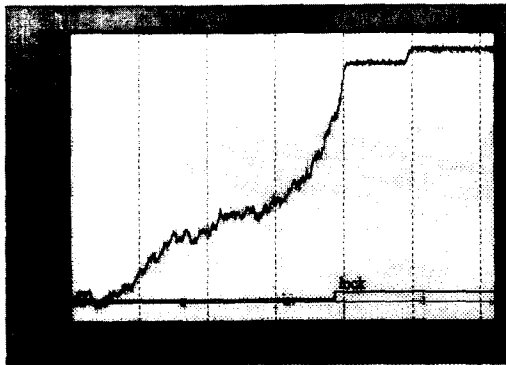


그림 8. 캐리어 루프 누적값과 lock 신호의 시뮬레이션 결과 (심벌율 1.875MHz, 주파수 오프셋 20KHz)

Fig. 8. Simulation result of carrier loop accumulation and loop signal.(symbol rate 1.875MHz, freq. offset 20KHz)

다음으로 위의 주파수 오프셋과 함께 위상 노이즈를 첨가하여 시뮬레이션 한 결과가 그림 9와 그림 10에 나타나 있다. 위상 노이즈는 lock이 획득된 이후에 일정 구간에서만(burst noise) 첨가하였다. 그림 7, 그림 8과 비교하면 캐리어 루프 누적값의 그래프가 일부 다

름을 알 수 있는데 그 구간이 위상 노이즈를 첨가하기 시작한 부분이다.

표 1. 위상 노이즈 첨가 전/후의 BER 비교  
Table. 1. BER comparison of before and after inserting phase noise.

BER symbol rate	before inserting phase noise	after inserting phase noise
3.75MHz	L <sub>ber</sub> = 0.04596	0.4880
	Q <sub>ber</sub> = 0.52590	0.0425
1.875MHz	L <sub>ber</sub> = 0.03276	0.4898
	Q <sub>ber</sub> = 0.50770	0.5237

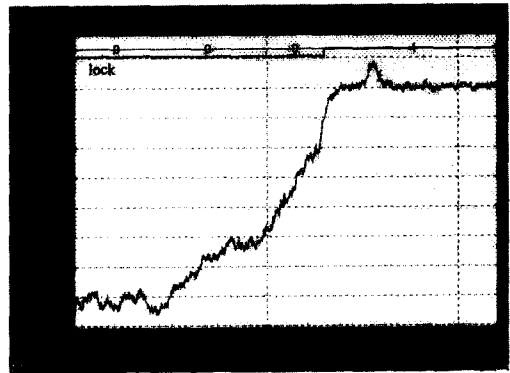


그림 9. 캐리어 루프 누적값과 lock 신호의 시뮬레이션 결과 (심벌율 3.75MHz, 위상 노이즈 포함)

Fig. 9. Simulation result of carrier loop accumulation and loop signal.(symbol rate 3.75MHz, freq. offset 20KHz)

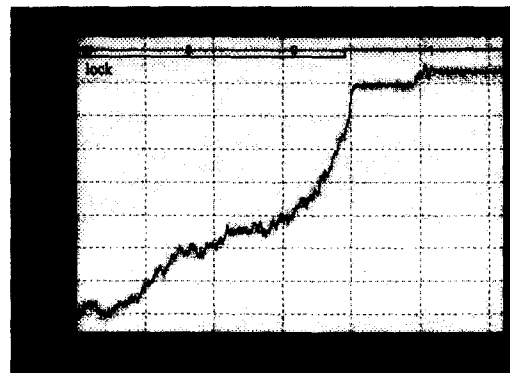


그림 10. 캐리어 루프 누적값과 lock 신호의 시뮬레이션 결과 (심벌율 1.875MHz, 위상 노이즈 포함)

Fig. 10. Simulation result of carrier loop accumulation and loop signal.(symbol rate 1.875MHz, freq. offset 20KHz)

그래프 상단에 보이는 lock 신호를 보면 그대로 위상 lock이 획득되어 있음을 알 수 있으나, 위상 노이즈 첨가 전과 후의 BER을 보면 이 위상 노이즈의 영향이 나타남을 확인 할 수 있다.

표 1에서  $I_{ber}$ 은 in-phase 입력 신호와 in-phase 출력 신호 간의 비교를 통한 비트 에러율을 나타내고,  $Q_{ber}$ 은 in-phase 입력 신호와 quadrature 출력 신호의 비트 에러율을 나타낸다. 그러므로 심벌율 3.75MHz를 예로 들면, 위상 노이즈 첨가 전에는  $I_{ber}$  값이 zero에 가깝게 나오므로 입력과 출력 신호가 위상까지도 동기되었음을 알 수 있다. 그러나 위상 노이즈 첨가 후에는  $Q_{ber}$  값이 zero에 가까우므로 위상이 90°회전한 상태에서 decision이 행해짐(Phase Rotation Error 발생)을 알 수 있다. 그리고 심벌율 1.875MHz에서는 위상 노이즈 첨가 후  $I_{ber}$ ,  $Q_{ber}$  값 모두 0.5 부근에 있어 in-phase 입력 신호가 in-phase, quadrature 어느 출력 신호와도 일치하지 않아 마치 BER 상에서는 lock 신호가 풀어진 듯함을 확인 할 수 있다.

이러한 문제는 복조기 자체적으로는 검출이 되지 않으며 뒷 단에서 정정될 수 없는 오류를 유발한다. 이에 본 논문에서는 다음 장에서와 같은 방법으로 그 해결책을 제시하고 시뮬레이션을 통해서 제시한 방법의 타당성을 보이도록 하겠다.

#### IV. Phase Rotation 방지를 위한 수정된 위상 검출기 구조 및 검증

앞에서 carrier recovery lop에 의해 캐리어 주파수를 복구하여 제대로 lock을 잡은 이후라도 위상 노이즈에 의해 phase rotation error나 lock이 풀린 상태의 BER 값을 보이는 현상이 나타남을 보았다. 이는 위상 노이즈에 의해 수신된 결정 경계 (decision boundary) 부근의 신호들이 다른 decision값의 영역으로 넘어가 버리기 때문에 발생하게 된다. 이 영역은 그림 11에서 빗금으로 나타내었고 이 영역 내의 신호는 확률적으로 잘못 decision될 가능성이 크다. 따라서 phase rotation 문제는 위상 검출기의 정량화된 오차 중 비교적 큰 값(그림 11의 빗금 영역 내의 신호가 갖는 오차 값)에 대해서는 그 경우의 decision 값을 무시함으로써 해결할 수 있다. 그림 11에 그 결과 수정된 decision 영역을 나타내었다.

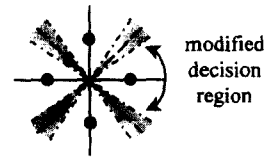


그림 11. 수정된 Decision 영역  
Fig. 11. The Modified decision region.

본 논문에서는 위상 검출기의 출력 신호의 절대값을, 비교기를 통해 일정 Limit 값 이상인 경우 Zero로 대신 출력시킴으로써 간단하게 구현하였다. 그림 12에서 위상 검출기의 수정 전후를 비교해 보았다.

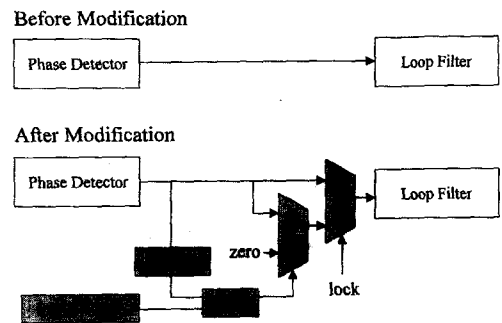


그림 12. Phase Rotation 방지를 위한 위상 검출기의 구조  
Fig. 12. The structure of phase detector for preventing phase rotation.

그림 12와 같이 수정된 위상 검출기를 통해 앞에서 phase rotation error가 발생한 심벌율 3.75MHz에 대해서 Limit 값(비교기 내의 비교값)을 변화시키면서 시뮬레이션한 결과를 그림 13에 제시하였다.

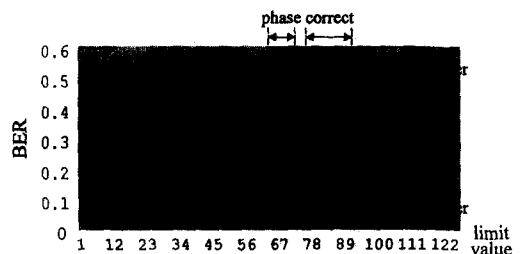


그림 13. Limit 값에 따른 위상 노이즈 첨가 후의  $I_{BER}$ ,  $Q_{BER}$  (심벌율 3.75MHz)  
Fig. 13.  $I_{BER}$  and  $Q_{BER}$  along to limit value after inserting phase noise(symbol rate 3.75MHz).

그림 13의 시뮬레이션 결과를 보면 phase correct 라도 쓰인 구간에서  $I_{ber}$  값이 zero에 가까운 값으로 돌아가는 것을 통해서 Limit 값을 변화시킴에 따

라 phase rotation error가 복구될 수 있음을 알 수 있다. 또한 앞장에서의 심벌율 1.875MHz의 경우에 대한 Limit 값의 변화에 따른 시물레이션 결과는 그림 14에 제시하였다.

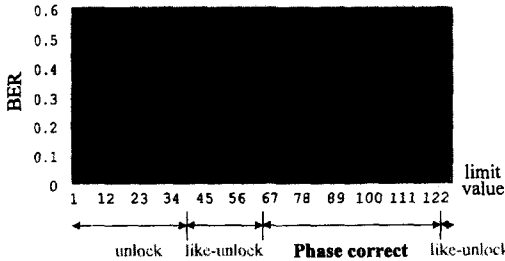


그림 14. Limit 값에 따른 위상 노이즈 첨가 후의 L<sub>BER</sub>, Q<sub>BER</sub> (심벌율 1.875MHz)  
 Fig. 14. L<sub>BER</sub> and Q<sub>BER</sub> along to the limit value after inserting phase noise.(symbol rate 1.875MHz)

그림 14에서는 lock이 풀린 것 같은 정도의 BER 값이었던 시물레이션 결과가 Limit 값을 조정함에 따라 decision이 제대로 돌아오게 되는 것을 알 수 있다.

끝으로 제안된 구조의 안전성 측면의 고려를 위해 위상 노이즈가 없는 상태에서 올바른 decision을 가능하게 한 Limit 값들을 이용하여 decision 영역을 수정하여 시물레이션(심벌율 3.75MHz, 주파수 오프셋 20KHz, no\_phase noise, limit 값 : 85) 해본 결과 L<sub>ber</sub> 값이 0.024로 더 나아짐을 볼 수 있었다. 이로써 decision 함에 있어서 낮은 확률값을 갖는 수신 신호의 decision을 배제함으로써 안정성은 물론, 오히려 더 나은 결과를 얻을 수 있음을 볼 수 있었다.

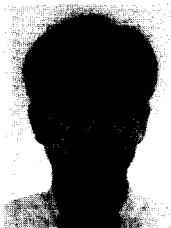
### V. Conclusion

Phase shift keying(PSK) 신호를 복조함에 있어서 본질적으로 발생하는 phase ambiguity 문제는 뒷단에서의 BER을 높히는 결과를 초래한다. 본 논문에서는 위상 검출기의 출력을 선별적으로 적용함으로써 전체 carrier recovery loop의 동작을 안정화시키고 그 성능을 개선하는 방법을 제시하였다. 본 방식의 특징은 기존의 구조를 그대로 이용하면서 간단한 회로를 추가함으로써 구현할 수 있으며, 환경에 따라 Limit값을 변화시킴으로써 그 성능을 최적화 한다는 데 있다. 위에서 제시한 방식의 타당성을 시물레이션을 통하여 검증한 결과 안정성 및 성능이 개선되었음을 알 수 있었다.

### 참 고 문 헌

- [1] E. A. Lee and D. G. Messerschmitt, "Digital Communication", 2nd Edition, KAP, Boston, 1994.
- [2] COSSAP User's Manual, Synopsys.
- [3] Seun-Jun Lee, "Design and Implementation of Variable-Rate QPSK Demodulator from Data Flow Representation", Journal of Elec. Eng. and Inform. Science, vol. 3, no. 2, April 1998.
- [4] S. Lee, J. Baek, et. al., "A Single Chip DVB Receiver for Variable-Rate QPSK Demodulation and Forward Error Correction", IEEE 1997 Custom Integrated Circuit Conference, Santa Clara, 1997.

### 저 자 소 개



**李 丞 暎(正會員)**  
 1986년 서울대학교 전자공학과 학사.  
 1989년 University of California, Berkeley 전자공학과 석사. 1993년 University of California, Berkeley 전자공학과 박사. 1992년 1월 ~ 1995년 5월 현대전자 메모리 연구소에서 "256M Synchronous DRAM" 개발. 1995년 5월 ~ 1998년 10월 현대전자 System IC 연구소에서 "디지털 위성방송 수신용 IC" 개발. 현재 이화여자대학교 전자공학과 재직



**崔 漢 垓(正會員)**  
 1993년 연세대학교 전자공학과 학사.  
 1998년 연세대학교 전자공학과 석사.  
 1998년 1월 ~ 현재, 현대전자 System IC 연구소에서 "유무선 Cable Modem용 Chip-Set" 개발 중