

오류 감소를 위한 구조적 데이터 패커 설계

(Structural Design of Data Packer for Error Reduction)

高永旭*, 金炯均*, 金煥溶*

——(Young Oog Ko, Hyeoung-Kyun Kim, and Hwan Yong Kim)

요 약

본 논문에서는 HDTV 비디오 신호를 처리함에 있어 신호의 병목현상을 없애주고 신호의 원활한 처리를 위해 새로운 알고리즘을 적용하여 54MHz의 동작 주파수를 갖는 패커를 제안하였다. 또한 제안된 패커의 성능을 검증하기 위해 조합논리를 이용한 ROM 테이블 구조를 갖는 DCT 계수 부호화부를 함께 설계하므로써 DCT 계수 부호화부의 출력을 제안된 패커의 입력 데이터로 사용하였다. 본 논문에서 제안된 회로는 VHDL 코드를 이용하여 설계하였고 SYNOPSIS tool의 0.65 μ m 공정을 이용한 모델링과 시뮬레이션을 수행하였다.

Abstract

In this paper, a packer is proposed for removing the bottle-neck effect and processing easy signal using a new algorithm with the operation frequency of 54MHz in processing HDTV video signal. To verify the performance of the proposed packer, DCT coefficient encoding block with ROM table using a combinational logic is designed and its output data are used as the input data of the packer. The proposed circuits, in this paper, are designed by using VHDL code and its modeling and simulation are performed with SYNOPSIS tool in 0.65 μ m design rule.

I. 서 론

차세대 TV라 불리는 HDTV(High Definition TV : 고선명 TV)의 경우 비디오 데이터는 국제 표준인 MPEG-2의 비디오 스트림 신택스를 채용했으며 오디오 데이터는 디지털 오디오 압축(AC-3)을 표준으로 채택하여 현장감있는 화면과 서라운드 음향을 가정까지 전달할 수 있다. 디지털 HDTV 신호의 수평, 수직 해상도는 NTSC(National Television System Committee) 신호의 약 2배가 되며 이 신호의 전송이나 저장을 위해서는 디지털 NTSC 신호의 전송률보다 최소한 다섯 배가 요구된다^[1]. 이처럼 디지털 HDTV의 경우 데이터량이 매우 방대하므로 신호를

패킷(packet)으로 전송하는데 신호의 패킹(packaging) 시 신호의 병목현상(bottle-neck effect)과 오류 발생이 빈번히 발생되어 현재 이러한 문제점을 해결하기 위해 다방면의 연구가 진행되고 있다.

따라서 본 논문에서는 HDTV 신호 중 비디오 신호를 처리함에 있어 패킷(packet) 전송시 신호의 병목현상을 없애주고 전송전 신호의 오류를 방지하므로써 신호의 원활한 처리를 돕기 위해 신호의 패킹에 관한 새로운 알고리즘을 제안하고 또한 이를 적용한 엔트로피(entropy) 부호화 모듈의 패커(packer)를 제안한다. 기존의 패커는 가변길이 코드를 32비트의 고정길이의 패킹(packaging)하며 배럴 쉬프트(barrel shifter)를 두 개 사용하는 기본적인 구조를 갖고 있다. 본 논문에서 제안하는 패커는 54MHz의 동작 주파수를 갖도록 하였으며 이러한 동작 주파수에서 배럴 쉬프트를 하나만 사용하므로써 제어 신호와 데이터 신호에서 오류가 발

* 正會員, 圓光大學校 電子工學科

(Dept. of Electronic Eng. Wonkwang University)

接受日:1998年9月21日, 수정완료일:1999年1月29日

생활 수 있는 확률이 지수배로 늘어나는 단점을 보완하고자 하였으며 이를 위해 기존의 32비트를 24비트로 패킹하도록 포맷시켰다. 54MHz의 패커를 27MHz의 MPEG-2의 스트림 신택스를 채용하고 있는 HDTV 시스템에서 사용하기 위해서는 시스템의 동작 주파수인 27MHz를 1/4 주기 동안 게이트 지연(gate delay)시킨 후 원래의 27MHz와 배타적 논리합(exclusive-OR)을 시킴으로써 54MHz의 클럭 주파수를 얻을 수 있으므로 별도의 클럭 주파수를 사용하지 않아도 된다. 이 경우 $0.65\mu m$ 공정상 실제 XOR의 로직 지연(logic delay)이 2ns정도로 54MHz의 1/2주기에 해당하는 9.26ns보다 훨씬 적으므로 배타적 논리합을 사용하더라도 지연은 시스템에 영향을 미치지 않는다.

또한 본 논문에서 설계한 패커의 성능을 검증하기 위해 기존의 PROM을 이용한 DCT 계수 부호화부 대신 조합논리(combinational logic)를 사용한 ROM 구조의 DCT 계수 부호화부를 설계한다. DCT 계수 부호화부의 가변길이 부호화는 허프만 코딩을 이용하며, 양자화된 후 엔트로피 부호화모듈로 입력되는 AC 계수와 DC 계수를 24비트의 가변길이 코드로 출력하도록 하므로써 이 출력을 패커의 입력 데이터로 사용할 수 있도록 하였다.

본 논문의 구성은 II장에서 HDTV 부호화기와 엔트로피 부호화모듈에 대해 설명하였고 III장에서는 기존의 패커 구조와 이를 개선하기 위해 새로운 알고리즘을 적용한 패커를 제시하고 설계하였으며 IV장에서는 설계된 패커의 성능 검증을 위해 DCT 계수 부호화부를 함께 설계하였다. 모의 실험 및 검증 결과는 V장에서 서술하였으며 마지막으로 VI장에서 참고문헌을 제시하였다.

II. HDTV 부호화기와 엔트로피 부호화모듈

HDTV 시스템은 비디오 데이터, 오디오 데이터 그리고 부수적인 데이터를 입력으로 받아 코딩과 압축을 행한 후 각 데이터를 하나의 데이터 스트림 패킷으로 다중화시켜 채널 코딩과 변조 과정을 통해 수신기에 전송하는 구조로 되어있다^[1,2,3]. 그림 1의 비디오 부호화기는 비디오 데이터를 입력으로 받아 DCT 변환과 양자화를 행한 후 엔트로피 부호화를 거쳐 비트 스트림으로 전송시키는 기능을 수행한다.

프레임 메모리에서는 비디오 데이터를 프레임별로 저장하고, 변환부에서는 데이터를 움직임 보상부에서 제공되는 기준 영상 데이터와 비교하여 차이 값을 계산하여 DCT 변환을 수행한다. DCT 변환된 결과는 양자화부에서 변환된 신호의 통계적 성질과 시각의 특성을 이용하여 양자화되고 양자화된 데이터는 역양자화부에서 역양자화를 행한 후 역변환부에서 역DCT(inverse DCT) 변환을 거쳐 움직임 보상부로 전달된다. 움직임 추정부는 매크로 블럭 단위로 프레임간 움직임 벡터를 추정하여 움직임 보상부로 전달하고, 움직임 보상부는 프레임간 차분 부호화를 위해 필요한 기준 프레임 데이터를 제공한다. 엔트로피 부호화모듈에서 양자화된 데이터를 가변길이 부호화하여 그 결과를 버퍼에 저장한 후 비트 스트림으로 출력한다. 그리고 울제어부는 출력 버퍼의 넘침이나 모자람이 발생하지 않고 영상 부호화 출력 비트율을 일정하게 유지할 수 있도록 양자화 파라미터를 제어한다^[4].

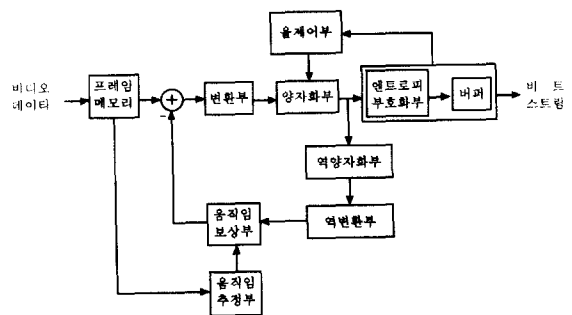


그림 1. 비디오 부호화기 블럭도
Fig. 1. Video encoder block diagram.

그림 1의 디지털 비디오 부호화기 중 엔트로피 부호화모듈의 블럭도는 그림 2와 같다. 엔트로피 부호화모듈은 매크로 블럭 번지, 움직임 벡터, DCT 계수 등을 각 하위 블럭에서 가변길이 부호화하여 MPEG-2 비디오 비트 스트림 신택스의 계층 구조대로 나열한 다음 고정길이를 바꾼다^[5,6]. 부호화를 수행하는 하위 블럭에는 헤더 정보 부호화부, DCT 계수 부호화부, 매크로 블럭 번지 부호화부, 움직임 벡터 부호화부, 그리고 기타 정보 부호화부가 있으며 이들 부호화부에서 출력되는 코드들은 좌측정렬(left align)되어 있다. 그리고 입력 데이터 지면부에서는 서로 다른 매크로 블럭에 해당하는 매크로 블럭 주소, 움직임 벡터, 양자화 계수를 같은 매크로 블럭 시점에서 출력되도록 한다.

부호 다중화부는 헤더 정보 부호화부, DCT 계수 부호화부, 매크로 블럭 주소 부호화부 그리고 기타 정보 부호화부에서 공통적으로 출력되는 부호, 부호의 유효 비트길이, 부호의 유효 시간구간 정보들을 신택스의 구조에 맞도록 재배열한다. 그리고 패커는 부호 다중화부에서 출력되는 가변길이 코드를 고정길이 데이터로 바꾸어 버퍼로 전달하는 기능을 수행한다^[5].

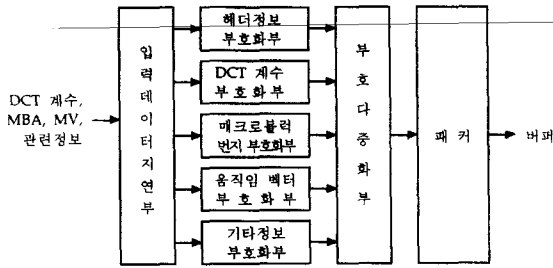


그림 2. 엔트로피 부호화모듈 블록도
Fig. 2. Entropy encoding module block diagram.

III. 새로운 알고리즘을 적용한 패커

기존의 패커는 그림 3과 같이 다중화기, 누산기, 배럴 쉬프트터 2개 그리고 레지스터들로 구성되어 있고 출력은 부호화된 고정길이의 32비트이다. 다중화기에서는 입력으로 받아들이는 데이터, 데이터의 유효길이, 데이터의 유효신호를 다중화하는 부분으로 유효 신호가 '1'인 동안 해당 데이터와 데이터의 길이 그리고 각각의 레지스터들을 로드하기 위한 enable 신호를 출력해준다. 누산기는 32비트의 데이터로 패킹되기 위해서 붙여지는데 데이터들의 누적된 길이를 계산하는 부분으로 쉬프트한 횟수를 배럴 쉬프트터에 전달하므로써 데이터의 유효 길이를 알 수 있도록 한다. 레지스터는 이전에 입력된 데이터와 현재 입력된 데이터를 32비트 단위로 패킹하기 위해 LSB 쪽으로 쉬프트된 이전 데이터를 저장하고 이 값을 다시 배럴 쉬프트터의 입력으로 전달한다. 그 밖의 레지스터는 출력될 데이터를 임시로 저장하거나 출력되는 데이터가 유효한지의 여부를 저장하는 역할을 한다.

두 개의 배럴 쉬프트터는 입력된 데이터를 32비트 단위로 패킹하기 위해 이전에 입력된 데이터와 현재 입력된 데이터를 붙여주는 역할을 하는 부분으로 다량의 데이터를 처리해야하는 디지털 HDTV 시스템에서 입력된 데이터를 두 개의 배럴 쉬프트터에서 서로 나눠 병

렬로 패킹함으로써 인하여 하나의 배럴 쉬프트터를 사용하였을 경우보다 데이터의 병목 현상 및 오류가 발생할 확률이 자승배로 늘어난다. 이러한 기존의 단점을 보완하고자 본 논문에서는 54MHz의 동작 주파수를 갖고 배럴 쉬프트터를 하나만 사용하므로써 제어 신호와 데이터 신호에서 발생할 수 있는 오류의 확률을 반으로 줄였으며 이를 위해 기존의 32비트를 24비트로 패킹하도록 포맷시켰다. 그림 4는 control, packing, shifting 모듈 등 세 개의 모듈로 구성된 본 논문에서 제안한 패커의 블록도이다.

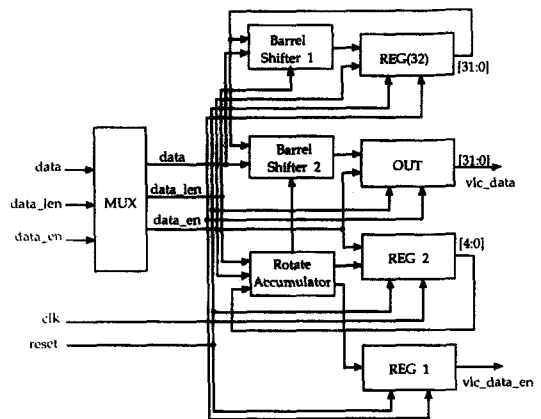


그림 3. 기존의 패커 블록도
Fig. 3. Conventional packer Block diagram.

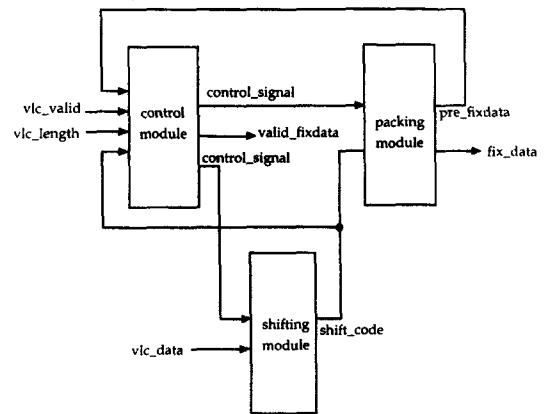


그림 4. 제안된 패커 블록도
Fig. 4. Proposed packer Block diagram.

그림 5는 설계된 패커의 회로이다. 그림 4의 패커 블록도와 같이 control 모듈, packing 모듈, barrel_shifting 모듈 등 세 개의 모듈로 구성되었다. 입력으로는 코드의 스타트 플래그, 부호화된 가변길이 코드, 가변길이 코드의 유효 신호, 가변길이 코드의 유효 길

이를 받아 패킹된 고정길이 코드, 고정길이 코드에 대한 유효신호를 최종 출력한다.

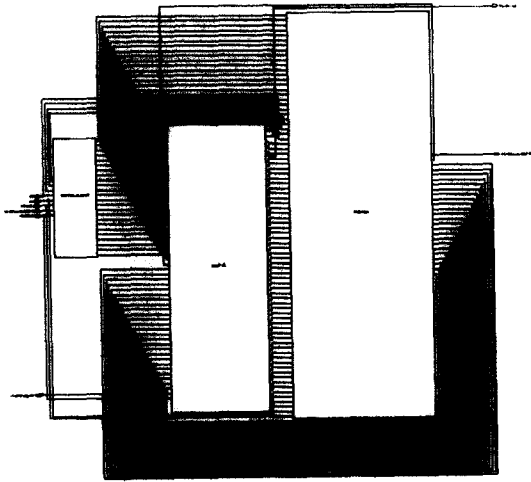


그림 5. 패커 회로
Fig. 5. Packer circuit.

되는 유효신호를 배럴 쉬프트시킨다^[7]. 입력되는 가변길이 코드를 vic_data, 쉬프트된 데이터를 shift_data, 쉬프트 횟수를 shift_nu, 누적된 길이 수를 accu_leng, 출력되는 고정길이 코드를 fix_data라 할 때 barrel_shifting 모듈에서 알고리즘의 흐름도는 그림 6과 같다.

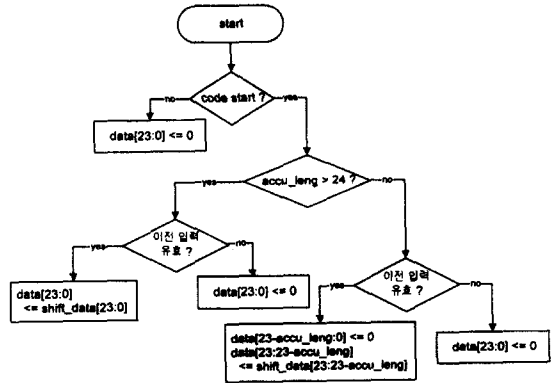


그림 7. pack_1 프로세서의 알고리즘 흐름도
Fig. 7. Algorithm flow chart of pack_1 processor.

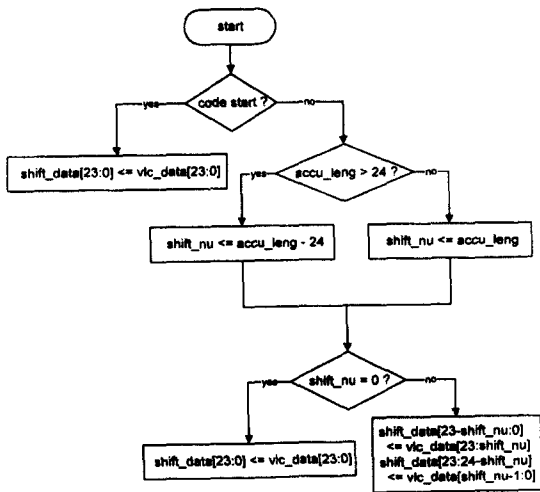


그림 6. barrel_shifting 모듈의 알고리즘 흐름도
Fig. 6. Algorithm flow chart of barrel_shifting module.

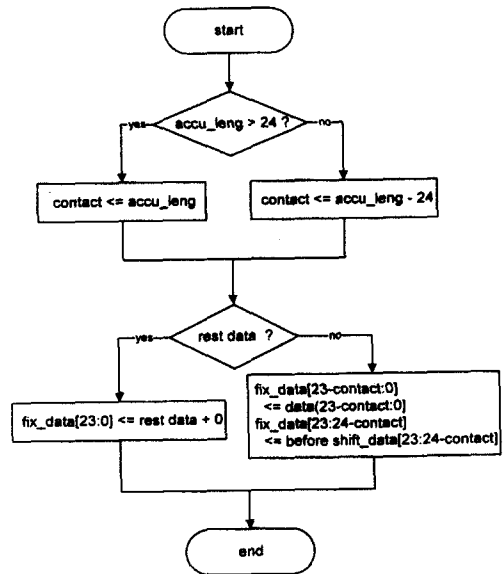


그림 8. pack_2 프로세서의 알고리즘 흐름도
Fig. 8. Algorithm flow chart of pack_2 processor.

실제된 패커는 control 모듈, barrel_shifting 모듈, packing 모듈 등 세 개의 모듈로 구성되어 있다. control 모듈에서는 필요한 쉬프트 횟수가 얼마인지를 계산하여 barrel_shifting 모듈로 보내주고 비트 접합에 필요한 제어 신호를 packing 모듈로 보내준다. 또한 유효길이를 누적하여 24가 되면 코드를 출력할 것을 알리며 패커 관련 제어 신호를 생성한다. barrel_shifting 모듈에서는 비트 접합을 위하여 입력

packing 모듈에서는 쉬프트된 코드를 패킹하여 고정길이의 24비트 코드를 최종 출력한다. packing 모듈은 pack_1과 pack_2 등 두 개의 프로세서로 구성된다. pack_1 프로세서에서는 pack_2 프로세서에서 최종 접합에 필요한 각종 제어 플래그를 생성하며

pack_2 프로세서는 pack_1 프로세서에서 생성된 제어 신호를 이용하여 가변길이 코드를 최종 접합하여 24 비트의 고정길이 코드로 출력한다. 고정길이 코드로 접합하기 이전의 임시 데이터를 data, 접합할 값을 contact라 할 때 pack_1과 pack_2 프로세서의 알고리즘 흐름도는 그림 7과 그림 8에 나타나 있다.

IV. 성능 검증을 위한 DCT 계수 부호화부의 설계

III장에서 설계한 패커의 성능 검증 즉, 패커의 입력으로 사용할 데이터를 위해 DCT 계수 부호화부를 설계하였다. DCT 계수 부호화부에서는 양자화된 AC와 DC 계수를 입력으로 받아 가변길기로 부호화하여 출력하므로써 이 출력 데이터를 패커의 입력 데이터로 사용한다. DCT 계수 부호화부의 블록도는 그림 9와 같다.

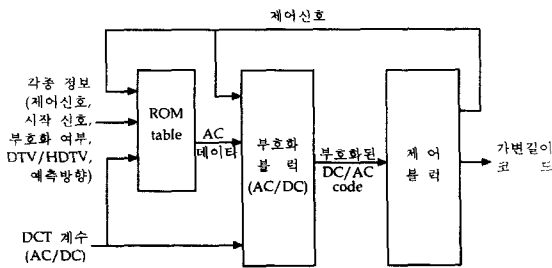


그림 9. DCT 계수 부호화부 블록도
Fig. 9. DCT coefficient encoding block diagram.

DCT 계수는 해당 매크로 블록이 intra 블록인지 또는 non-intra 블록인지에 따라 DC 코드와 AC 코드로 구분되어 부호화되고 블록의 맨 마지막 계수의 부호 뒤에는 EOB 코드가 뒤따른다. intra 매크로 블록은 DC 계수와 AC 계수 부호로 구성되고 non-intra 매크로 블록은 AC 계수 부호로만 구성된다^[8,9]. DC 계수는 intra-dc-precision에 따라 8, 9, 10, 11 비트 중 하나의 비트 수를 사용하여 표현할 수 있고 다음 식(1)에 의해 차분 값을 구한다^[10].

$$DIFF = DC_i - DC_{i-1} \tag{1}$$

여기에서, DIFF : 차분 값

DC_i : 현재 매크로 블록의 DC 계수 값

DC_{i-1} : 이전 매크로 블록의 DC 계수 값

구해진 DC 차분 값을 부호화하는 방법은 먼저 DIFF 값에 따라 엔트로피 코드에 차분 크기 범주를 구하여 가변길이 부호화한다. 차분 크기 범주가 구해지면 해당 범주를 나타내는 수만큼의 비트를 이용하여 실제 차분 크기를 엔트로피 코드에 의해 고정길이 부호화한다. 이 고정길이 부호를 부가 코드(additional code)라 한다. 차분 크기 범주를 나타내는 가변길이 부호(size code)가 DC 부호의 상위 비트를 구성하고 실제 차분 크기를 나타내는 고정길이 부호(additional code)는 DC 부호의 하위 비트를 구성한다^[11]. AC 계수는 한 블록 내에서의 AC 계수 값을 {run, level}의 조합으로 나타낸 후 AC 계수에 대한 엔트로피 코드에 의해 부호화한다^[10].

설계된 DCT 계수 부호화부는 dct_control, dct_rom, ac_coder, dc_coder 모듈 등 네 개의 모듈로 구성하였다. dct_control 모듈은 DCT 계수 부호화부 전체의 제어 신호를 발생시키고 최종 DCT 코드를 출력하며 여섯 개의 프로세서로 구성된다. dct_rom 모듈은 ac_coder 모듈로부터 테이블을 참고하기 위해 address와 valid 신호를 주면 해당 address 값에 따라 ROM 테이블에 저장된 데이터를 출력한다. ac_coder 모듈은 각 블록의 AC 계수 값을 받아 AC 코딩을 하며 세 개의 프로세서로 구성된다. dc_coder 모듈은 DC 코딩 할 각 블록의 첫 번째 값을 받아 DC 코딩을 하며 두 개의 프로세서로 구성이 된다.

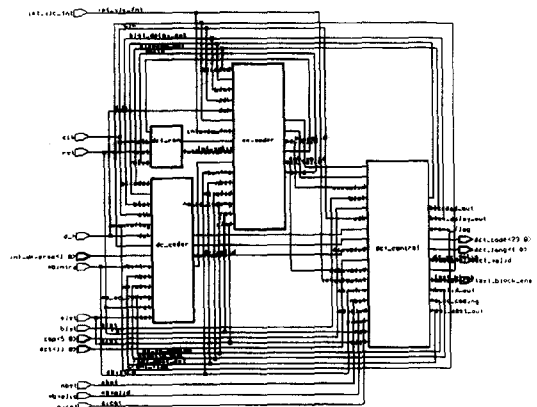


그림 10. DCT 계수 부호화부 회로
Fig. 10. DCT coefficient encoding block circuit.

그림 10은 설계된 DCT 계수 부호화부의 회로이다. 그림 9의 DCT 계수 부호화부의 블록도와 비교하면 ROM 테이블은 dct_rom에, 제어 블록은 dct_control

에 해당하며 부호화 블록은 ac_coder와 dc_coder로 나누어 설계하였다.

본 논문에서 설계한 패커와 DCT 계수 부호화부의 전체 회로는 그림 11과 같다. DCT 계수 부호화부에서는 스타트 신호인 block_start, mblock_start, picture_start 신호와 함께 양자화된 AC 계수와 DC 계수를 quant_dct [11:0] 을 통해 입력으로 받아 가변길이 부호화를 시켜 24비트의 가변길이 코드를 출력한다. 패커는 DCT 계수 부호화부에서 출력된 24비트의 가변길이 코드를 패커에서 입력 데이터로 받아 고정길이의 24비트 코드로 변환된 fix24code [23:0] 과 이에 대한 유효신호인 fix24vld를 출력한다.

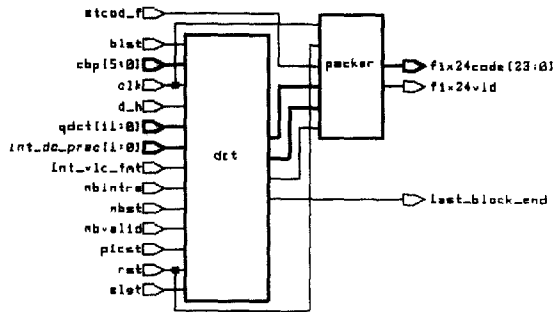


그림 11. DCT 계수 부호화부와 패커 회로
Fig. 11. DCT coefficient encoding block and packer circuit.

V. 모의실험 및 검증

패커에 대한 모의실험 결과는 그림 12와 같다. vlc_code [23:0], vlc_length [4:0], vlc_valid는 DCT 계수 부호화부에서 최종 부호화된 출력이며 이러한 신호들을 코드의 시작신호인 start_code_flag 신호와 함께 입력으로 받아 고정길이의 fix24code [23:0] 과 fix24vld의 유효신호를 출력한다.

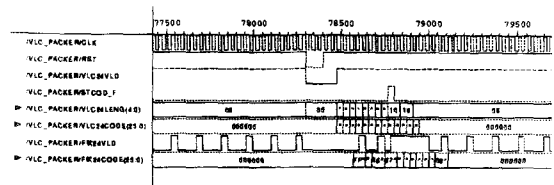


그림 12. 패커의 모의실험
Fig. 12. Simulation of packer.

그림 13은 DCT 계수 부호화부에 대한 모의실험

결과이다. 각종 스타트 신호, 매크로 블록의 intra 여부, 매크로 블록의 유효 신호, AC와 DC 계수에 대한 양자화된 DCT 계수, intra DC 계수의 예측, 부호화된 블록 패턴을 입력으로 받아 DCT 계수가 유효한지의 여부, AC와 DC 계수의 부호화된 코드와 이에 대한 코드의 유효 길이를 표현하는 코드 길이의 최종 출력을 확인할 수 있었다.

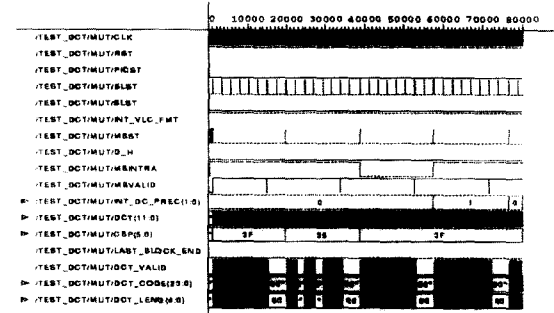


그림 13. DCT 계수 부호화부의 모의실험
Fig. 13. Simulation of DCT coefficient encoding block.

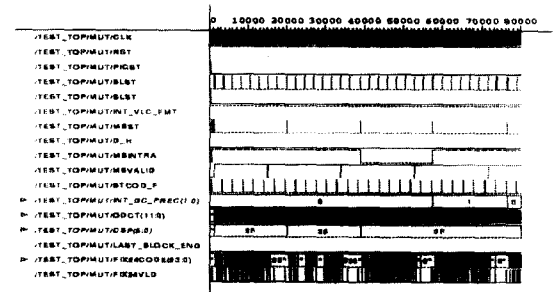


그림 14. DCT 계수 부호화부와 패커 회로의 모의실험
Fig. 14. Simulation of DCT coefficient encoding block and packer circuit.

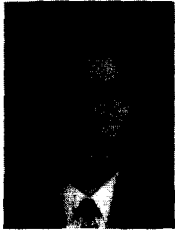
그림 14는 설계된 DCT 계수 부호화부와 패커에 대한 전체 회로를 80,000ns까지 모의실험한 결과이다. DCT 계수 부호화부는 block_start, mblock_start, picture_start, slice_start 등의 스타트 신호, 매크로 블록의 유효 신호(valid_mblock), 부호화된 블록의 패턴(coded_block_pattern [5:0]) 등의 제어신호와 intra 블록 DC 계수의 예측(int_dc_prediction [1:0]), 매크로 블록의 intra 여부(mblock_intra), intra 블록의 포맷(int_vlc_format), DCT 변환 후 양자화된 DCT 계수(quant_dct [11:0]) 등을 입력으로 받아 AC와 DC 계수를 가변길이를 부호화하여 부호화

[10] P. Pancha, M. E. Zarki, "MPEG coding for variable bit rate video Transmission", IEEE Comm. Magazine, 1994.

[11] Byeung Jeon, Juha Park, Jechang Jeong,

"Application of Dynamic Huffman Coding to Image Sequence Compression", SPIE vol. 2308, pp. 1636-1647, Aug., 1994.

저 자 소 개



高永旭(正會員)

1968年 2月 4日生 1996년 2월 원광대학교 전자공학과 졸업(공학사). 1998년 2월 원광대학교 대학원 전자공학과 졸업(공학석사). 1998년 3월 ~ 현재 원광대학교 대학원 전자공학과 박사과정 재학중. 주관심분야는

통신 시스템 설계, DSP



金炯均(正會員)

1970年 5月 5日生 1993년 2월 원광대학교 전자공학과 졸업(공학사). 1995년 2월 원광대학교 대학원 전자공학과 졸업(공학석사). 1998년 2월 원광대학교 대학원 전자공학과 박사과정 수료. 주관심분야는 통신 시스템 설계, DSP, 신경망 알고리즘

통신 시스템 설계, DSP, 신경망 알고리즘

金煥溶(正會員) 第36卷 C編 第2號 參照