

論文99-36C-2-2

다중 주사 경로 회로 기판을 위한 내장된 자체 테스트 기법의 연구

(A Study on Built-In Self Test for Boards with Multiple Scan Paths)

金鉉振*, 辛宗哲*, 任容兌**, 姜成昊*

(HyunJin Kim, Jong Chul Shin, YongTae Yim, and Sungho Kang)

요 약

인쇄 회로 보드 수준의 테스트를 위해 제안된 IEEE 표준 1149.1은 보드상의 테스트 지점에 대한 제어용 이도와 관측용이도를 향상시켜 보드의 테스트를 용이하게 해준다. 그러나, 경계 주사 환경에서는 테스트 입력력과 테스트 결과에 따른 데이터가 하나의 주사 연결에 의해서 직렬로 이동된다. 이는 테스트 적용 시간을 증가시키고 따라서 테스트에 드는 비용을 증가시킨다. 테스트에 소모되는 시간을 줄이기 위해 병렬로 다중 주사 경로를 구성하는 방법이 제안되었다. 하지만 이는 여분의 입출력 핀과 내선을 필요로 한다. 더구나 IEEE 표준 1149.1은 주사 경로 상에 있는 IC들의 병렬 동작을 지원하지 않기 때문에 표준에 맞게 설계하기가 어렵다. 본 논문에서는 하나의 테스트 버스로 두 개의 주사 경로를 동시에 제어하는 다중 주사 경로 접근 알고리즘에 기초하여 적은 면적 오버헤드를 가지고 빠른 시간 내에 보드를 테스트할 수 있는 새로운 보드 수준의 내장된 자체 테스트 구조를 구현하였다. 제안된 내장된 자체 테스트 구조는 두 개의 주사 경로에 대한 테스트 입력과 테스트 결과를 이동시킬 수 있으므로 테스트에 소모되는 시간을 줄일 수 있고 또한 테스트 입력의 생성과 테스트 결과의 분석에 소모되는 비용을 줄일 수 있다.

Abstract

The IEEE standard 1149.1, which was proposed to increase the observability and the controllability in I/O pins, makes it possible the board level testing. In the boundary-scan environments, many shift operations are required due to their serial nature. This increases the test application time and the test application costs. To reduce the test application time, the method based on the parallel operational multiple scan paths was proposed, but this requires the additional I/O pins and the internal wires. Moreover, it is difficult to make the designs in conformity to the IEEE standard 1149.1 since the standard does not support the parallel operation of data shifts on the scan paths. In this paper, the multiple scan path access algorithm which controls two scan paths simultaneously with one test bus is proposed. Based on the new algorithm, the new board level BIST architecture which has a relatively small area overhead is developed. The new BIST architecture can reduce the test application time since it can shift the test patterns and the test responses of two scan paths at a time. In addition, it can reduce the costs for the test pattern generation and the test response analysis.

* 正會員, 延世大學校 電氣工學科
(Yonsei University Dept. of Electrical Eng.)

** 正會員, LG 半導體 SD 研究所
(LG Semiconductor SD Lab.)

※ 이 연구는 96년도 한국과학재단 연구비 지원에 의한 결과임 (과제 번호: 96-0102-16-01-3)

接受日字: 1998년 7월 20일, 수정완료일: 1999년 1월 20일

I. 서론

인쇄 회로 보드(Printed Circuit Board: PCB) 수준의 테스트는 보드에 장착된 칩들에 대한 테스트와 칩들 사이의 신호선에 대한 고장 유무를 확인하는데 쓰인다. 전통적으로 인쇄 회로 기판의 테스트에는 직접 테스트 단자를 보드에 인가하여 신호를 관측하여 테스트하는 인서킷(in-circuit) 테스트 방법이 사용되어 왔다^[1,2]. 그러나 최근 VLSI 설계 기술의 발달로 인한 칩의 소형화와 하나의 칩에 보다 많은 기능을 포함하는 추세에 따라 칩의 입출력 핀이 증가하게 되었다. 또한 다중 구조를 가지는 보드가 등장하고 표면 실장 기법(Surface Mounting Technology: SMT)의 사용에 따라서 보드 수준의 테스트는 매우 어려운 문제가 되고 있다. 또 각각의 특성에 맞는 테스트 입력을 사용해야만 하는 ASIC(Application Specific Integrated Circuit)을 이용한 설계가 증가함에 따라 인서킷 방법에 사용되던 표준 테스트 입력의 합성에 의한 테스트 방식은 더 이상 사용될 수 없게 되었다. 이러한 문제를 극복하기 위해 보드 내의 각 소자의 입출력 핀에 주사 이동 레지스터(scan shift register)를 첨가하고 이들을 하나의 주사 체인(scan chain)으로 연결하여 각 소자들의 제어용이도(controllability)와 관측용이도(observability)를 증가시킨 경계 주사 구조(boundary-scan architecture)가 제안되었다^[1,2]. 그림 1은 경계 주사 구조를 구성하는 소자들을 나타내고 있다.

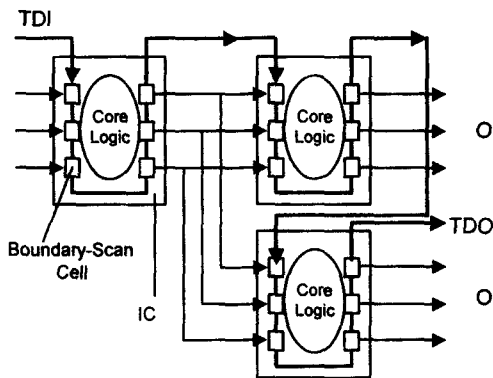


그림 1. 경계 주사 구조
Fig. 1. Boundary-Scan Architecture.

하지만 그림 1에서와 같이 경계 주사 구조는 모든 주사 이동 레지스터가 하나의 경로로 연결되어 있으며

로 테스트 입력을 인가하고 테스트 결과를 분석하기 위해서 데이터의 많은 이동을 필요로 한다. 이는 빠른 테스트 시간을 요하는 제품의 테스트에는 매우 불리한 요소로 작용한다. 따라서 이러한 문제를 해결하기 위해 보드내의 경로들을 여러 개의 짧은 경로로 구성하여 병렬로 테스트를 수행하여 필요한 시간을 줄이려는 노력이 이루어 졌다^[3]. 하지만 다중 주사 경로로 구성된 구조를 테스트하기 위해 각 주사 경로의 제어를 위한 신호선을 주사 경로마다 추가해야 하므로 하드웨어의 오버헤드가 매우 커지게 된다. 또한 각각의 소자 및 보드에 기존의 IEEE 표준 테스트 버스에 필요한 핀뿐만 아니라 각기 다른 테스트 버스를 위한 여분의 입출력 핀이 요구된다. 그러므로 기존의 방법과는 달리 적은 오버헤드로도 다중 주사 경로를 효율적으로 제어할 수 있는 새로운 방법이 필요하게 되었다. 직렬의 버스를 사용해서 다중 주사 경로를 제어하는 방법으로 다중 경로 상에서 데이터를 주고 받을 수 있는 프로토콜이 TI에서 제시되었다^[4,5]. 이 프로토콜은 1149.1 테스트 버스가 TAP(Test Access Port)의 안정된 상태에 있는 동안 직렬 버스 마스터(serial bus master)에 의해서 하나의 직렬 버스 슬레이브(serial bus slave) 소자가 접근되어 질 수 있도록 한다. 이러한 ASP(Addressable Shadow Port)구조는 Shadow 프로토콜을 이용하여 각각의 경계 주사 경로를 테스트 버스에 연결하도록 하였다. 그러나 테스트 버스에 하나의 경계 주사 경로만을 연결함으로써 테스트 데이터를 이동하는데 많은 시간을 요구하게 되는 단점이 있다^[4]. 이 방법은 직렬 버스의 프로토콜을 변형할 필요가 없다는 장점이 있으나 한번에 하나의 직렬 버스만이 접근된다는 단점이 있다. 그러므로 IEEE 1149.1 테스트 버스를 이용하여 동시에 경계 주사 사슬을 접근하는 방법에 대한 연구가 절실하게 되었다.

본 논문에서는 하드웨어의 오버헤드를 최소화하면서 다중 주사 경로를 제어할 수 있는 알고리즘에 기초하여 새로운 보드 수준의 내장된 자체 테스트 구조를 구현하였다. 새로운 내장된 자체 테스트 구조에서는 두 개의 스캔 체인이 하나의 1149.1 테스트 버스에 의해서 제어된다. IEEE 표준 1149.1이 보드 단계에서의 테스트를 위해서 프로토콜의 변환이 필요하지 않고 보드상의 IC들이 IEEE 표준 1149.1을 모두 지원한다면 아무런 프로토콜의 변환 없이 이들에 대해서 보드 단

계의 테스트를 수행할 수 있다. 그러므로 전체 테스트 비용의 상승을 최소화하면서 빠른 시간 내에 시스템에 장착된 보드들을 테스트할 수 있다.

II. 복수 경계 주사 경로 제어 알고리즘

본 논문에서 제시된 자체 테스트 구조는 보드상의 상호연결의 고장 유무를 판별하는 것이다. 상호연결에 존재하는 고장으로는 고착 고장과 단락 고장이 존재하게 된다. 이러한 고장들은 각기 다른 비트열을 네트에 할당함으로써 검출될 수 있다. 보드의 상호연결 구조가 복잡한 경우에는 이러한 테스트 시퀀스의 길이는 매우 커지게 된다. 이러한 테스트 시퀀스를 각각의 경계 주사 경로에 이동하는 것은 주사 경로의 직렬화된 성질 때문에 많은 테스트 시간을 요하게 된다.

이를 해결하기 위해서 본 논문에서는 2개의 경계 주사 경로를 동시에 접근하도록 하는 구조를 개발하였다. 이를 위해 본 논문에서 제시하는 알고리즘은 TAP 상태도에 나타난 6개의 안정된 상태, 즉 Test-Logic-Reset, Run-Test/Idle, Shift-DR, Pause-DR, Pause-IR 상태를 이용한다. 이는 제안된 프로토콜이 Shift-DR과 Shift-IR의 두 안정된 상태를 사용한다는 점을 제외하고는 shadow 프로토콜^[5]과 비슷하다. 그림 2는 새 알고리즘에 기초한 회로 기판 수준의 BIST 구현을 위한 구성도이다. 이는 8개의 경계 주사 경로를 회로 내의 주 테스트 버스에 연결할 수 있는 8개의 경로 연결부(Chain Link Block: CLB)와 이들을 제어하는 주 제어부(Master Control Block: MCB)로 구성된다.

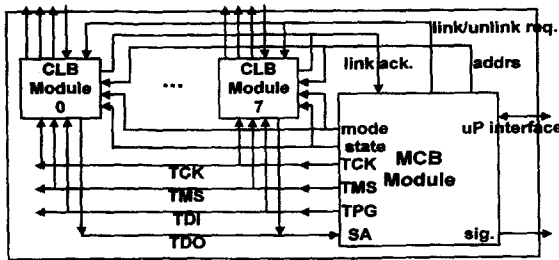


그림 2. 다중 주사 경로 제어를 위한 BIST 구조
Fig. 2. BIST Architecture for Multiple Scan Path Control.

1. 연결 초기화 과정

[5,6]에서의 테스트 구조와 같이 연결 초기화 과

정은 연결 요청 신호(link request signal)와 연결 해제 요청 신호(unlink request signal)를 통해서 이루어진다. 다중 주사 경로를 하나의 테스트 버스로 제어하기 위해서 연결이 필요한 주사 경로를 선택하는 과정이 필요하다. MCB에 의한 주사 경로의 선택은 해당 주사 경로가 6개의 안정된 상태들 중의 하나에 있을 때 이루어진다. MCB는 테스트를 요하는 주사 경로를 선택하기 위해 8-비트의 내부 주소 레지스터를 사용한다. 주소 레지스터의 각 비트는 각각의 주사 경로를 테스트 버스에 연결하는 CLB의 주소로 사용된다. 연결하고자 하는 CLB의 주사 경로가 안정된 상태가 있을 때, MCB는 해당 CLB의 주소 레지스터 비트를 '1'로 설정하고 표 1에 나타난 연결 요청 신호를 보낸다. 각 CLB들은 연결 요청 신호가 들어올 때 자신에 대한 연결을 요구하는 것인지를 확인하기 위해 자신의 주소 레지스터 비트를 검색한다. 만약 자신의 주소 비트가 '1'로 설정되어 있다면 해당 CLB는 연결 요청 신호에 응답하여 자신의 주사 경로를 MCB의 테스트 버스에 연결한다. CLB의 연결이 이루어지고 난 후, MCB는 테스트를 위해 필요한 작업들을 수행한다.

표 1. 연결/연결 해제 요청 신호
Table 1. Link/Unlink Request Signal.

입력 값	요청된 내용
1	연결 요청
0	연결 해제

2. 테스트 과정

(1) 명령어의 적재

테스트를 요하는 경로에의 CLB가 테스트 버스에 연결된 후, MCB는 내부의 TMS(Test Mode Select) 신호 생성기를 활성화해 연결된 CLB를 Run-Test/Idle 상태로 이동시킨다. CLB가 Run-Test/Idle 상태로 이동한 후, MCB는 다시 명령어의 적재를 위해 CLB를 Shift-IR 상태로 이동시킨다. 이어서 CLB에 연결된 주사 경로상의 IC들은 Shift-IR 상태에서 필요한 명령어를 적재한다. 이때 MCB는 명령어 적재 상태를 감시하기 위해 내부의 명령어 주사 계수기(Instruction Scan Count Register: ISCR)를 활성화한다. 명령어 주사 계수기는 8개의 8-비트 계수 레지스터로 각 CLB에 하나씩 할당되며 해당 주사 경로에 연결된 IC들의 전체 명령어 레지스터의 길이로

초기화되어 있다. 활성화된 명령어 주사 계수기는 명령어의 이동이 일어날 때마다 하나씩 감소하여 명령어 이동 상황을 나타낸다. 명령어 주사 계수기의 값이 '0' 이 되면 명령어의 이동이 종결된 상태이므로 MCB는 연결된 CLB의 상태를 다음 안정된 상태인 Pause-IR 상태로 이동시킨다. CLB의 상태가 Pause-IR 상태로 이동된 후, MCB는 다른 주사 경로를 연결하기 위해 현재 연결된 주사 경로의 연결을 해제한다. 연결의 해제를 위해 MCB는 표 1의 연결 해제 요청 신호를 보낸다. 연결 해제 요청 신호를 받은 각 CLB들은 자신에게 보내진 신호인지를 확인하려고 주소 레지스터의 해당 비트를 검색한다. 만약 자신의 비트가 '1'로 설정되어 있다면 해당 CLB는 연결을 해제하기 위해 자신의 현재 상태를 확인한다. 자신의 현재 상태가 Test-Logic-Reset 상태라면 CLB는 현 상태를 유지하기 위해 TMS 신호를 '1'로 설정하고 연결을 해제한다. 한 CLB의 연결이 해제된 후, MCB는 앞의 과정과 같은 방식으로 다음 테스트를 요하는 CLB를 연결한다. 이와 같은 방식으로 테스트를 위한 CLB들이 모두 Pause-IR 상태로 이동된 후, MCB는 현재 적재된 명령어들이 유효한 상태가 되도록 Pause-IR 상태에 있는 모든 CLB들을 Update-IR을 거쳐 Run-Test/Idle 상태로 이동시킨다.

(2) 테스트 데이터의 이동

명령어의 적재와는 달리 테스트 데이터의 이동은 많은 시간이 소요된다. 그러므로 테스트 데이터의 적재에 필요한 시간을 줄이는 것은 테스트 시간을 단축시키는 데 중요하다. 본 논문에서 제시하는 알고리즘은 클럭의 상승 천이와 하강 천이를 모두 사용하여 두 개의 주사 경로를 하나의 테스트 버스로 제어한다.

테스트를 요하는 CLB가 Run-Test/Idle 상태에 있을 때, MCB는 연결하고자 하는 CLB의 주소 레지스터 비트를 '1'로 설정하고 연결 요청 신호를 보낸다. 연결 요청 신호에 따라 CLB가 주사 경로를 테스트 버스에 연결한 후, MCB는 내부의 TMS 신호 생성기를 활성화하여 연결된 CLB를 Shift-DR 상태로 이동시킨다. Shift-DR 상태에서 CLB는 테스트 버스로부터 자신의 주사 경로 상의 모든 IC들로 테스트 입력을 이동시킨다. 이 때 이전 테스트의 결과도 TDO를 통해 이동된다. 연결된 CLB가 Shift-DR 상태에서 테스트 데이터를 이동시킬 때, MCB는 내부의 데이터 주사 계수기를 활성화한다. 데이터 주사 계수기는 8개의

16-비트 계수 레지스터로 각 CLB에 하나씩 할당되며 해당 주사 경로의 경계 주사 셀의 개수로 초기화 된다. 활성화된 데이터 주사 계수기는 주사 경로에서 데이터의 이동이 일어날 때마다 하나씩 감소한다. 명령어의 적재와는 달리 테스트 데이터의 이동에서는 종결될 때까지 기다리지 않는다. MCB는 Shift-DR 상태에서 CLB의 주사 경로로 데이터가 이동되고 있는 동안 연결 해제 요청 신호를 보내어 현재 연결된 CLB의 연결을 해제한다. 이 때 CLB는 자신의 TMS 신호를 '0'으로 설정하여 Shift-DR 상태를 유지한다. 연결이 해제된 후, MCB는 다음 주사 경로에 대한 테스트 버스에 연결한다. 연결된 CLB는 앞 단계와 같은 과정을 통해 Shift-DR 상태로 이동하여 테스트 데이터를 이동시킨다. MCB는 현재 Shift-DR 상태에 있는 주사 경로들에 대한 데이터 주사 계수기들을 감시하여 계수기의 값이 '0'이 되면 해당 CLB를 자신의 테스트 버스에 연결하여 Pause-DR 상태로 이동시킨 후 그 상태에서 연결을 해제한다. 그리고 새로운 CLB를 연결하여 Shift-DR 상태에서 테스트 데이터를 이동시킨다. 이와 같은 방식으로 MCB는 하나의 테스트 버스로 최대 두 개의 주사 경로를 연결하여 테스트 데이터를 적재할 수 있다. 테스트 중인 모든 CLB들이 Pause-DR 상태에 도달하면, MCB는 Update-DR을 거쳐 Run-Test/Idle 상태로 CLB들이 상태 이동을 할 수 있도록 TMS 신호를 생성한다. 이 경우 Run-Test/Idle 상태에서 실제 테스트가 수행된다.

(3) 데이터 이동을 위한 모드

두 개의 주사 경로를 위한 테스트 입력과 테스트 결과를 하나의 테스트 버스를 통해 TCK(Test Clock)의 한 주기에서 이동시키므로 두 주사 경로를 위한 데이터가 하나의 버스를 공유할 수 있는 적절한 방법이 필요하다. 본 논문에서는 이의 해결을 위해 두 개의 데이터 이동 모드를 정의하여 사용한다. 이를 표 2에 나타내었다.

표 2. 데이터의 이동 모드
Table 2. Data Shifting Mode.

이동 모드	수행 작업 내용	클럭 사용 방법
A	검사 입력의 수신	TCK의 ↑
	검사 결과의 전송	TCK의 ↓
B	검사 입력의 수신	TCK의 ↓
	검사 결과의 전송	TCK의 ↑

CLB가 모드 A에서 동작할 경우에는 주사 경로 상의 첫 번째 IC가 테스트 입력을 TCK의 상승 천이 시에 테스트 버스로부터 수신하고 테스트 결과를 TCK의 하강 천이 시에 테스트 버스로 전송할 수 있게 한다. 모드 B로 동작하는 CLB는 모드 A로 동작하는 CLB와의 데이터 충돌을 피하기 위해 CLB는 테스트 입력을 TCK의 하강 천이 시에 테스트 버스로부터 수신하고 테스트 결과를 TCK의 상승 천이 시에 테스트 버스로 전송한다. IEEE 표준 1149.1은 테스트 입력의 이동은 TCK의 상승 천이 시에, 테스트 결과의 이동은 TCK의 하강 천이 시에 일어나야 함을 의무화하고 있다. 본 논문의 모드 A 동작은 이러한 표준의 요구에 따르지만 모드 B의 동작은 표준의 요구에 어긋난다. 따라서 표준에 따르기 위한 적절한 방법이 필요하다. 테스트 결과의 전송은 간단한 방법으로 해결할 수 있다. B 모드 동작하는 CLB는 TCK의 하강 천이 시에 주사 경로로부터 이동되어 온 테스트 결과를 바로 테스트 버스로 전송하지 않고 TCK의 상승 천이까지 기다렸다가 이동시킨다. 이는 TDO(Test Data Output) 버스에 연결된 3-상태 버퍼를 TCK의 하강 천이 동안 비활성 상태로 만들면 가능하다.

테스트 입력의 이동은 CLB 내부에 1-비트 수신 레지스터를 사용하여 해결할 수 있다. 모드 A로 동작하는 CLB는 테스트 버스에 직접 연결하여 주사 경로 상의 첫 번째 IC가 테스트 입력을 TCK의 상승 천이 시에 이동시킬 수 있게 한다. 하지만 모드 B로 동작하는 CLB는 TCK의 하강 천이 시에 수신 레지스터를 이용하여 테스트 버스로부터 테스트 입력을 미리 갈무리해둔다. CLB는 수신 레지스터의 출력을 주사 경로에 연결하여 첫 번째 IC가 뒤따르는 다음 TCK의 상승 천이 시에 테스트 입력을 이동시킬 수 있게 한다. 이와 같은 방법으로 MCB는 하나의 테스트 버스를 통해 두 개의 주사 경로를 위한 테스트 입력과 테스트 결과를 표준에 맞게 이동시킬 수 있다.

(4) 테스트 입력의 생성과 결과의 분석

IEEE 표준 1149.1은 직렬 경로를 통한 데이터의 안전한 이동을 위해 TCK의 하강 천이 시에 TDO로부터 출력된 데이터를 TCK의 상승 천이 시에 TDI(Test Data Input)를 통해 이동시키도록 하고 있다. 따라서 하나의 주사 경로만을 연결하여 테스트 한다면 MCB의 테스트 입력 생성기는 TCK의 하강 천이 시에 테스트 입력을 TDI 버스로 보내어 TCK의

상승 천이 시에 CLB에서 수신할 수 있도록 해야 한다. 테스트 결과도 마찬가지로 TCK의 하강 천이 시에 CLB로부터 TDO 버스로 전송된 데이터가 TCK의 상승 천이 시에 MCB의 부호 분석기로 수신되도록 해야 한다.

본 논문의 BIST 구조는 두 주사 경로의 데이터를 동시에 송수신해야 하므로 내부의 테스트 버스는 표준에 따라서 동작할 수 없으며 표준에 따를 필요도 없다. 왜냐하면 BIST 구조에서는 CLB의 주사 경로 상의 IC들이 정확한 데이터를 표준에 맞게 이동시킬 수 있도록 테스트 버스를 통해 데이터를 보내주기만 하면 되기 때문이다. 따라서 본 논문의 BIST 구조는 테스트 입력 생성기와 부호 분석기의 동작을 위해 TCK와는 다른 새로운 동작 클럭(Master Clock: MCLK)을 정의하여 사용한다. 두 주사 경로의 테스트 결과를 안전하게 수신하기 위해 그림 3과 같이 모드 A로 동작하는 부호 분석기는 MCLK의 상승 천이 시에, 모드 B로 동작하는 부호 분석기는 MCLK의 하강 천이 시에 TDO 버스로부터 테스트 결과를 수신한다. A 모드의 동작은 MCLK를 TCK로 바꾸면 표준에 정확히 일치하여 동작한다.

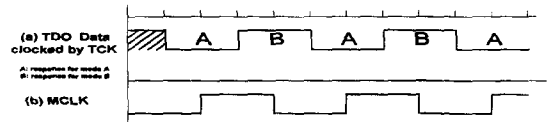


그림 3. 압축기 분석기에 대한 클럭 기법
Fig. 3. Clocking Strategy for Signature Analyzer.

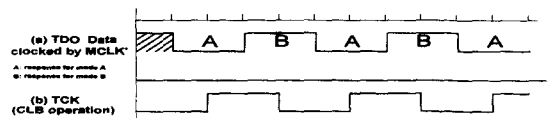


그림 4. 테스트 패턴 생성기에 대한 클럭 기법
Fig. 4. Clocking Strategy for Test Pattern Generator.

테스트 입력의 생성은 테스트 결과의 수신과 비슷한 방식으로 수행된다. 테스트 결과의 수신과 같은 이유로 A 모드로 동작하는 CLB의 경우, 주사 경로 상에 있는 첫 번째 IC가 테스트 입력을 TDI 버스로부터 TCK의 상승 천이 시에 이동시키도록 하기 위해 그림 4와 같이 MCLK'의 하강 천이 시에, B 모드로 동작하는 CLB의 경우, TCK의 하강 천이 시에 테스트 입

력을 정확히 포착하도록 하기 위해 MCLK'의 상승 천이 시에 TDI 버스로 전송한다. MCLK'은 MCLK를 반전시킨 것이다. A 모드의 동작은 MCLK'을 TCK로 바꾸면 표준과 일치한다. 따라서 기존의 모듈 수정에 유리한 요소로 작용할 수 있다.

그림 5는 설명된 알고리즘을 이용하여 CLB를 통한 다중 경로들을 테스트 하는 경우에 CLB와 MCB들의 상태 천이에 대해서 테스트 과정을 나타낸 상태도이다.

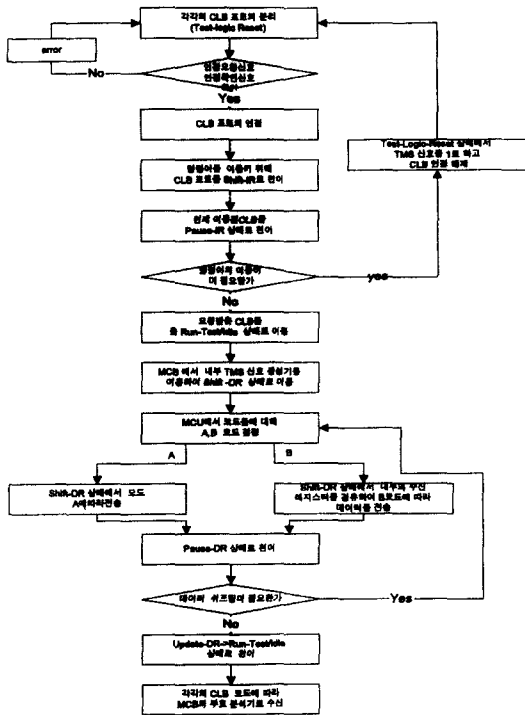


그림 5. CLB 포트의 동작에 대한 상태도
Fig. 5. State diagram for CLB port behaviors.

III. 회로 기관 수준의 내장된 BIST 구조 구현

새로운 회로 기관 수준의 BIST 구조는 8개의 CLB 부와 한 개의 MCB 부로 이루어진다. 각 CLB들은 자신의 주사 경로를 MCB의 테스트 버스에 연결하는 역할을 수행하며 MCB는 테스트에 필요한 모든 작업을 수행한다.

1. 경로 연결부

CLB는 MCB의 연결 요청 신호에 따라 자신의 주사 경로를 MCB의 테스트 버스에 연결하거나 연결 해제 요청 신호가 있을 경우 주사 경로를 테스트 버스

로부터 끊어주는 역할을 한다. 그림 6은 CLB의 구성도를 나타낸다.

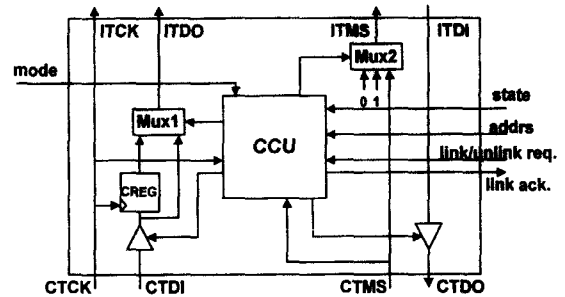


그림 6. CLB의 구조
Fig. 6. Architecture of CLB.

CLB는 CTCK(MCB TCK), CTDI(MCB TDI), CTMS(CLB TMS), CTDO(CLB TDO)로 이루어진 테스트 버스를 위한 TAP과 ITCK(IC local chain TCK), ITDO(IC local chain TCK), ITMS(IC local chain TMS), ITDI(IC local chain TDI)로 이루어진 주사 경로를 위한 TAP으로 구성되어 있다. 또한 모드 입력(mode)과 연결/해제 요청 신호 입력(link/unlink req.), 주소 입력(addr), 상태 입력(state)을 가지고 있다. CTCK, CTDI, CTMS는 각각 그림 5의 TCK, TDI, TMS 버스 신호들을 위한 입력이고 CTDO는 TDO를 위한 출력이다. ITCK, ITDO, ITMS는 각각 CTCK, CTDI, CTMS의 입력 신호를 주사 경로의 TAP으로 전달하기 위한 출력이고 ITDI는 주사 경로의 테스트 결과를 CTDO를 통해 TDO 버스로 보내기 위한 입력이다. CCU(CLB Control Unit)는 CLB의 모든 동작을 제어하는 제어 부이다.

CLB는 mode 입력을 통해 현재 자신의 동작 모드를 설정한다. 현재의 동작 모드가 A일 경우, CLB는 Mux1을 통해 CTDI의 입력 값을 직접 ITDO로 전달하여 표준에 따라 동작한다. ITDI로부터 TCK의 하강 천이 시에 이동되는 테스트 결과를 TDO 버스로 전송하기 위해 CTDO에 연결된 3-상태 버퍼는 TCK가 '0'을 유지하는 동안 활성화되고 '1'을 유지하는 동안 비활성 상태가 되어 테스트 결과를 CTDO를 통해 TDO 버스로 전송한다. B 모드로 동작할 경우, CREG는 TCK의 하강 천이 시에 TDI 버스로부터 테스트 입력을 포착한다. CLB는 표준에 따라 동작하기 위해 Mux1을 통해 CREG의 출력을 ITDO로 연

결한다. ITDI로부터 TCK의 하강 천이 시에 이동되는 테스트 결과를 TCK의 상승 천이 시에 CTDO를 통해 TDO 버스로 전송하기 위해 CTDO에 연결된 3-상태 버퍼는 TCK가 '0'인 동안 비활성 상태가 되고 '1'인 동안 활성 상태가 되어 A 모드 데이터와의 충돌을 방지한다. CLB는 모드에 상관 없이 MCB로부터 연결 요청 신호를 받았을 때 Mux2를 통해 CTMS와 ITMS를 연결하여 MCB의 TMS 신호를 CTMS로부터 ITMS로 전달한다. 연결 해제 요청 신호를 받았을 경우 CLB는 state 입력을 통해 현재 자신의 TAP 상태를 확인하고 Mux2를 통해 Test-Logic-Reset 상태일 경우는 '1'을, 그 외의 상태일 경우는 '0'을 선택하여 현재의 상태를 유지한다.

2. 주제어부

MCB는 MCU, 레지스터/메모리 부(Register/Memory Block), TMS 신호 생성기(TMS Signal Generator), 테스트 입력 생성기/후호 분석기 부(TPG/SA Block), 클럭 생성기(Clock Generator), 레지스터 프로그래밍 부(Register Programmable Block)로 구성되어 있다. MCB의 구성도를 그림 7에 나타내었다.

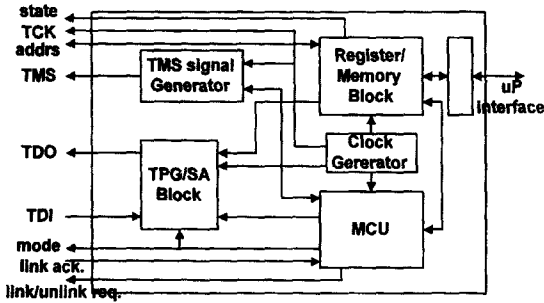


그림 7. MCB의 구조
Fig. 7. Architecture of MCB.

MCU는 테스트에 필요한 모든 작업을 제어하는 제어부이다. MCU는 필요할 경우 연결 요청 신호나 연결 해제 요청 신호를 발생시키고 레지스터와 신호 생성기의 활성화와 비활성화를 주도한다.

TMS 신호 생성기는 MCU의 제어에 따라 연결된 CLB의 상태를 이동시키기 위한 TMS 신호를 발생시킨다. CLB의 상태 이동에 필요한 신호는 일련의 시퀀스로 구성된다. 같은 방식으로 다른 안정된 상태 사이의 이동에 필요한 TMS 신호의 시퀀스를 구할

수 있다. 필요한 TMS 신호의 시퀀스를 첨가하여 표준 TAP 제어기의 상태도를 변경한 새로운 상태도를 그림 8에 나타내었다. TMS 신호 생성기는 MCU로부터 활성화 신호를 받았을 때 연결된 CLB의 현재 상태를 통해 필요한 다음 상태를 결정하고 이에 따라 TMS 신호를 발생시킨다. 필요한 TMS 신호의 생성이 끝난 후에는 생성 종료 신호를 MCU로 보내 MCU가 테스트에 필요한 다음 작업을 수행할 수 있게 한다.

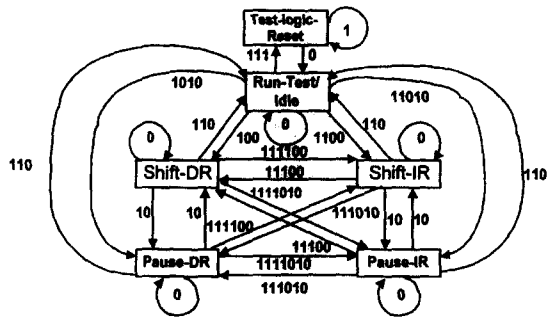


그림 8. 변형된 TAP 제어기의 상태도
Fig. 8. Modified State Diagram of TAP Controller.

레지스터 부는 주소 레지스터(Address Register: AREG), 주사 경로 상태 표시 레지스터(Chain State Indication Register: CSIR), 명령어 주사 계수기(Instruction Scan Count Register: ISCR), 데이터 주사 계수기(Data Scan Count Register: DSCR), 병렬 테스트 벡터 계수기(Parallel Test Vector Count Register: PTVCR), 넷 계수기(Net Count Register: NCR)로 구성되어 있다. 이들을 표 3에 나타내었다.

표 3. 레지스터 부

Table 3. Register Block.

레지스터 이름	비트 크기	레지스터의 수	기능
AREG	8-비트	1개	주소 레지스터
CSIR	3-비트	8개	TAP 상태 표시
ISCR	8-비트	8개	명령어 주사 레지스터
DSCR	16-비트	8개	테스트 데이터 주사 계수기
PTVCR	16-비트	8개	PTV 계수기
NCR	16-비트	8개	Net 계수기

AREG의 각 비트는 각각의 CLB에 하나씩 할당되

어 CLB가 선택될 때 해당 비트가 '1'로 설정된다. CSIR은 각 CLB에 연결된 주사 경로의 현재 TAP 상태를 나타내는 3-비트 레지스터로 TMS 생성기에서 TMS 신호를 발생할 때 필요한 다음 상태를 참조하기 위해 사용되며 CLB의 state 입력으로도 사용된다. MCB는 상태 이동에 필요한 TMS 신호를 모두 발생하고 나면 CSIR을 현재의 CLB 상태로 갱신하여 다음 상태 이동에서 참조할 수 있게 한다. ISCR과 DSCR은 각각 8-비트와 16-비트 계수기로 ISCR은 해당 주사 경로의 명령어 레지스터의 셀 수로, DSCR은 해당 주사 경로의 주사 이동 레지스터 셀 수로 초기화된다. MCB의 테스트 버스에 연결된 CLB가 Shift-IR이나 Shift-DR 상태에 들어가면 현재의 CLB에 할당된 ISCR이나 DSCR이 활성화되어 데이터의 이동이 일어날 때마다 하나씩 감소하여 연결된 주사 경로의 데이터 이동 상황을 나타내게 된다. PTVCR은 테스트에 필요한 병렬 테스트 벡터(Parallel Test Vector: PTV)의 수로 초기화되고 한 패턴의 테스트가 완료되고 나면 하나씩 감소한다. NCR은 주사 경로에 존재하는 연결의 수를 나타내는 계수기로 PTVCR과 함께 테스트 입력의 생성에 사용된다.

회로 기판 내의 연결을 테스트할 경우 버스 신호의 충돌을 피하기 위해 3-상태 버퍼의 제어 셀을 안전한 값으로 설정해야 한다. SCMEM(Scan Chain Memory)은 이러한 목적으로 사용된다. SCMEM의 크기는 회로 기판 내의 주사 이동 레지스터 셀의 총수로 결정되며 하나의 셀에 대해 2-비트의 블록이 할당된다. 주사 경로의 매핑 방법을 표 4에 나타내었다.

표 4. 주사 경로의 매핑
Table 4. Mapping of Scan Paths.

주사 셀 유형	CCIB	DRIB
Driving Cell	0	0
Response Cell	0	1
Control Cell	1	Controlling Value

매핑된 2-비트의 SCMEM 셀 중에서 첫 번째 비트는 제어 셀 표시 비트(Control Cell Identification Bit: CCIB)로 '0'의 값을 가질 경우 두 번째 비트인 송신/수신 표시 셀(Driving/Receiving Identification Bit: DRIB)의 값에 따라 현재의 주사 셀이 테스트 입력을 보내는 셀인지 테스트 결과를 수신하는 셀인지를

구별한다. DRIB가 '0'의 값을 가질 경우 현재의 주사 셀은 송신 셀이 되고 '1'일 경우 현재의 주사 셀은 수신 셀이 된다. CCIB가 '1'일 경우 현재의 주사 셀은 3-상태 버퍼에 대한 제어 셀이 되며 DRIB의 값은 필요한 제어 값이 된다. 테스트 입력을 생성하고 테스트 결과를 압축할 때 이 값들을 참조하여 제어 셀에는 안전한 값이 설정되게 하고 부호 분석기에는 유효한 테스트 결과가 입력되게 한다.

TPG/SA 부는 상호연결에 대한 테스트 입력을 생성하고 테스트 결과를 부호 분석기에 압축하는 역할을 수행한다. MCB는 연결된 CLB가 Shift-DR 상태에 들어갈 경우 TPG/SA 부를 활성화하여 테스트 입력을 생성하고 테스트 결과를 압축한다. TPG/SA 부는 네 개의 32-비트 LFSR로 구성되며 2개의 LFSR은 테스트 입력의 생성에, 나머지는 테스트 결과의 압축에 사용된다. 이러한 LFSR은 의사 임의 패턴을 생성하며 이는 무작위적인 성질을 가지면서 계수 시퀀스와 같이 기관상의 고장 여부를 판별할 수 있도록 한다^[7]. TPG 부는 의사 임의 패턴을 생성하는데 회로 기관 테스트를 위해서는 TDI를 통해 테스트 입력을 직렬로 이동시켜야 하므로 LFSR에 데이터의 직렬화를 위한 논리회로를 첨가해야 한다. 이를 그림 9에 나타내었다. 그림 9에서 MUX는 선택 입력인 CCIB, DRIB, PTVCR, NCR에 따라 LFSR의 해당 비트들을 선택하게 된다. NCR의 값은 주사 경로 내의 연결의 수와 같으며 이는 직렬 테스트 벡터(Serial Test Vector: STV)의 수에 해당한다. NCR은 STV의 차례가 변할 때마다 감소하며 '0'이 되었을 때 하나의 PTV가 모두 직렬로 입력된 경우이므로 LFSR을 초기 상태로 되돌려 다음 PTV를 직렬로 입력시키게 된다. 만약 CCIB가 '1'의 값을 가진다면 현재의 테스트 입력은 제어 셀을 위한 값이므로 MUX는 DRIB의 값을 선택하여 출력한다.

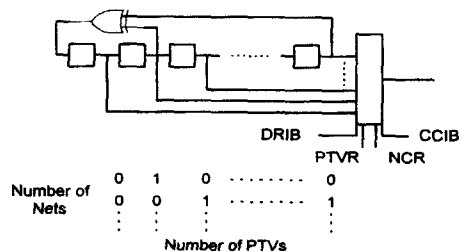


그림 9. 직렬화된 테스트 입력의 생성
Fig. 9. Serialized Test Pattern Generation.

SA 부는 유효한 테스트 결과를 부호 분석기에 입력하여야 하므로 CCIB가 '0'이고 DRIB가 '1'인 경우에만 활성화되도록 구성하여야 한다.

TPG/SA 부는 모두 A, B 두 동작 모드를 위해 2개씩의 LFSR로 구성되며 사용되는 클럭은 그림 3과 그림 4에 나타낸 것과 같다.

IV. 하드웨어의 성능 분석 및 오버헤드

1. 시뮬레이션 결과 및 하드웨어 오버헤드

본 논문에서 제안된 알고리즘에 기초한 회로 기관 수준의 BIST 구조는 약 5,500 줄 정도의 VHDL 언어로 구현되었다. 이에 따른 VHDL 코드의 컴파일과 회로의 합성에는 Synopsys 툴이 사용되었다.

그림 10은 VHDL로 구현된 CLB 부를 Synopsys 툴을 사용하여 합성한 결과이다. Synopsys 툴을 이용하여 CLB 부를 분석한 결과 49 개의 단위 소자가 사용되었다. 그리고 Synopsys에서 제공하는 1.0 μm 라이브러리를 사용하여 임계 경로(critical path)를 측정 한 결과 3.7 ns를 나타내었다.

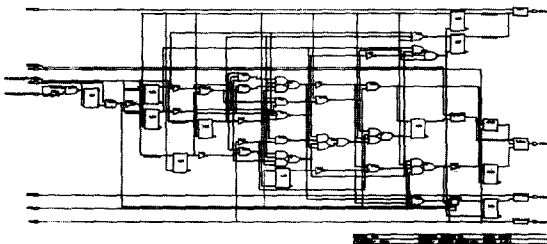


그림 10. CLB의 합성 결과
Fig. 10. Circuit Diagram of CLB.

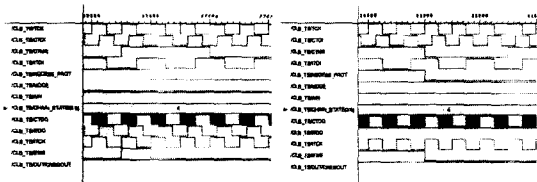
그림 11의 (a)는 A 모드로 동작하는 CLB에 대한 시뮬레이션 결과를, (b)는 B 모드로 동작하는 CLB에 대한 시뮬레이션 결과를 나타낸 것이다.

그림 11의 (a)에서 현재 CLB는 Shift-DR 상태(CHAIN_STATE=4)에 있다. 이 상태에서는 BIST 칩 내부의 TMS 버스는 '0'의 값을 유지해야 하지만 동작 검증을 위해 TMS 값을 변하게 하였다. 또한 동작을 쉽게 확인할 수 있도록 TDI 버스의 테스트 입력은 A 모드 데이터의 경우 '0'을, B 모드 데이터의 경우 '1'을 유지하게 하였다. 현재 CLB의 주소 입력이 '1'로 설정되고(AIN='1') 연결 요청 신호가 수신된 경우(Access_PROT='1'), CLB는 MCB의 테

스트 버스에 연결되므로 TMS 버스의 신호에 해당하는 CTMS 입력이 ITMS 출력에 연결된 IC들의 TAP으로 정확히 전달되고 있음을 알 수 있다. 또한 연결 해제 요청 신호가 수신된과 동시에 ITMS 출력은 '0'을 유지하여 ITMS에 연결된 IC들의 TAP 제어기가 현 상태를 유지하도록 하고 있다. TDI 버스의 데이터에 해당하는 CTDI 입력은 A 모드 동작 시 바로 ITDO로 전달되어 ITDO에 연결된 주사 경로 상의 첫 번째 IC가 TDI 버스의 A 모드 데이터를 TCK의 상승 천이 시에 이동시킬 수 있도록 하고 있다. 주사 경로의 IC로부터 TCK의 하강 천이 시에 이동되어 오는 테스트 결과(ITDI의 값)는 바로 TDO 버스로 전송되고 있음을 알 수 있다(CTDO의 값). 또한 B 모드로 동작하는 CLB와의 데이터 충돌을 피하기 위해 TCK가 '1'인 동안에는 버퍼를 비활성 상태로 만들어 CTDO가 'Z'를 유지하도록 하고 있다(비트급 부분). 결과에서도 알 수 있듯이 CLB의 A 모드 동작은 예상했던 바와 정확히 일치함을 확인 할 수 있다.

B 모드에서의 동작에서도 A 모드의 동작과 마찬가지로 검증을 위해 Shift-DR 상태이지만 TMS 버스의 신호를 변화시켜 보았고, TDI 버스의 테스트 입력은 A 모드 데이터는 '0'을, B 모드 데이터는 '1'을 유지하게 하였다. 역시 주소 입력이 '1'로 설정되고(AIN='1'), 연결 요청 신호가 '1'인 경우(Access_PROT='1'), TMS 버스의 신호에 해당하는 CTMS 입력 신호가 ITMS에 연결된 IC들의 TAP으로 그대로 전달되고 있음을 알 수 있다. 연결 해제 요청 신호(Access_PROT='0')가 들어오는 즉시, CLB는 ITMS 신호를 '0'으로 유지하여 ITMS에 연결된 IC들의 TAP 제어기가 현재의 상태를 유지하도록 하고 있다. TDI 버스의 B 모드 데이터(CTDI='1')는 TCK의 하강 천이 시에 CREG를 통해 계속 포착되어 CREGOUT은 '1'이 유지되고 있으며 이 값은 바로 ITDO에 전달되어 ITDO에 연결된 주사 경로 상의 첫 번째 IC가 B 모드 테스트 입력에 해당하는 '1'의 값을 TCK의 상승 천이 시에 다음 IC로 이동시킬 수 있도록 하고 있다. TCK의 하강 천이 시에 ITDI에 연결된 마지막 IC의 TDO로부터 이동되어 오는 테스트 결과(ITDI의 값)는 TCK의 상승 천이 시에 TDO 버스로 전송되고 있음을 알 수 있다(CTDO의 값). 또한 A 모드로 동작하는 CLB와의 데이터 충돌을 피하기 위해 TCK가 '0'인 동안에는 버

퍼를 비활성 상태로 만들어 CTDO의 출력이 'Z'를 유지하게 하고 있다(빗금 부분). 따라서 B 모드 동작도 예상했던 것과 정확히 일치하고 있음을 확인할 수 있다.



(a) A 모드 시뮬레이션 (b) B 모드 시뮬레이션

그림 11. CLB 시뮬레이션 결과
Fig. 11. Simulation Result of CLB.

또한 VHDL 로 구현된 MCB 부를 Synopsys 툴을 사용하여 합성한 결과 6,730 개의 단위 소자가 사용되었다. 주 제어부 역시 Synopsys에서 제공하는 1.0 μm 라이브러리를 사용하여 임계 경로를 측정할 결과 4.88 ns를 나타내었다.

CLB와 MCB를 결합한 자체 테스트 칩의 성능을 비교하기 위해서 8개의 CLB와 MCB를 합해서 하나의 테스트 칩으로 합성하였다. 내장된 자체 테스트 칩은 8개의 CLB와 MCB이 합쳐서 구현된 하나의 칩으로 이를 합성한 경우에도 역시 Synopsys 툴을 사용하여 분석을 하였다. CLB의 개수는 꼭 8개에 한정된 것은 아니고 보드의 경계 주사 경로의 수나 소자들의 특성에 따라서 바뀔 수 있다. 이를 합성한 경우에도 역시 Synopsys 툴을 사용하여 분석을 하였다. 합성한 결과 1.0 μm 라이브러리 사용시에 6,920 개의 단위 소자가 사용되었고 임계 경로에 대한 시간 분석의 결과는 7.34 ns로 나타났다.

이를 TI에서 제안된 ASP의 구조^[45]와 비교해볼 때 CLB에선 TCK의 하강과 상승시를 동시에 접근할 수 있도록 제어하는 부분과 레지스터만이 추가된다. 주제어부에선 상승과 하강시를 동시에 접근할 수 있도록 상태 머신과 16-비트 계수기, 간단한 TMS 신호 생성기의 오버헤드가 추가된다. ASP의 구조는 경계 주사 표준이 제공하는 표준적인 동작만을 제공하여 경계 주사 경로를 동시에 상승 에지와 하강 에지를 접근할 수 없기 때문에 하나의 주사 경로만이 테스트 버스에 연결되게 되는 단점이 있으므로 이에 따른 하드웨어의 증가는 전체적인 테스트시간의 감소에 비해 비효율적으로 크지 않다.

2. 테스트 시간의 오버헤드

예로써 한 보드를 테스트하기 위해 내장된 자체 테스트 칩은 k 개의 CLB를 가지고 있다고 하고 한 내장된 자체 테스트 칩에서 각각의 CLB가 한 스캔 체인에 대해 n 개의 스캔 단계를 가지고 있다고 하자. 이 경우 한 스캔 체인에 대해 의사 임의 패턴을 LFSR을 통해서 만든다고 가정할 때 이는 $\lceil \log_2 kn \rceil$ 의 병렬 테스트 벡터가 필요하게 된다. 그렇다면 내장된 테스트 칩이 있는 한 보드를 테스트하기 위해 걸리는 시간은 동시에 두 보드가 접근되므로 $\frac{1}{2} \times k \times \lceil \log_2 kn \rceil \times n = 0.5kn \lceil \log_2 kn \rceil$ 의 스캔 클럭의 테스트 시간을 가지게 된다. 이 경우에 EXTEST 모드와 테스트를 위해서 CLB와 MCB 사이의 제어 신호의 이동 시간등은 전체 테스트 시간에 비해서 매우 적으므로 계산에 넣지 않았다. IEEE 표준 테스트 구조를 통해서 경계 주사 경로를 연결하는 경우에는 한번에 하나의 경로를 연결하게 된다. 이는 하강 천이와 상승 천이에서 동시에 테스트 데이터를 이동시키기 때문에 기존의 방법이 IEEE 표준에서 제공하는 테스트 제어구조를 사용하는 경우보다 가장 효과적인 경우에 절반의 테스트 시간만을 소비하고 주사 경로의 길이가 매우 다른 경우에도 더 적은 테스트 시간을 가지게 되므로 이에 따른 오버헤드를 줄일 수 있다.

V. 결론

경계 주사 구조는 그 특성상 테스트 입력을 인가하고 그 테스트 결과를 분석하기 위해서 많은 수의 스캔 클럭 테스트 시간을 필요로 한다. 이는 빠른 테스트 시간을 요하는 시제품의 테스트에는 매우 불리한 요소로 작용한다. 이를 해결하기 위해서 기판 내에 하나의 경로만을 구성하던 기존의 방식에서 벗어나서 여러 개의 짧은 경로를 구성해 테스트를 병렬로 수행하여 테스트에 필요한 시간을 줄이려는 노력이 이루어 졌으나 이에 따르는 오버헤드와 주사 경로들의 동기화 문제가 대두되었다. 또한 보드를 테스트하는데 있어서 고가의 테스트 장비를 사용하여 테스트하는 것은 생산자에게는 상당한 부담을 주므로 이를 해결할 수 있는 테스트 용이화 기법이 필요하게 되었다. 본 논문에서는 다중 주사 경로를 제어할 수 있도록 하기 위해서 하나의 테스트 버스에 대해 클럭의 상승 에지와 하강 에지를 동

시에 사용하여 두 개의 주사 체인을 접근할 수 있도록 하는 방법을 제시하고 이를 이용한 자체 테스트 기법을 회로 기판에 적용하였다. 그리고 테스트 입력을 자동으로 생성하고 결과를 자체 분석할 수 있는 회로 기판 수준의 BIST 구조를 구현하였다. 제안된 방법을 이용한 새로운 BIST 구조는 두 개의 주사 경로를 동시에 처리할 수 있으므로 회로 기판의 테스트에 소요되는 시간을 줄일 수 있고 기존의 1149.1 테스트 버스 구조를 그대로 이용하기 때문에 각각의 스캔 체인에 대해 테스트 버스가 필요한 병렬의 테스트 버스 구조에 비해서 시스템의 복잡성 및 하드웨어 오버헤드를 줄일 수 있다. 그러므로 제안된 경계 주사 구조는 현재 중요성을 더해가는 저비용의 테스트 문제 해결에 적합하다 하겠다.

참 고 문 헌

- [1] H. Bleeker, P. Eijinden and F. Jong, *Boundary-Scan Test: A Practical Approach*, Kluwer Academic Publishers, Netherlands, 1993.
- [2] IEEE Computer Society, *IEEE Standard 1149.1 Test Access Port and Boundary-Scan Architecture, IEEE Std. 1149.1-1990*, IEEE Computer Society, New York, NY, May 21, 1990.
- [3] S. Narayanan, R. Gupta and M. Breuer, "Configuring Multiple Scan Chains for Minimum Test Time," *Proceedings of ICCAD*, pp. 4-8, 1992.
- [4] L. Whetsel, "A Proposed Method of Accessing 1149.1 in a Backplane Environment," *Proceedings of ITC*, pp. 206-216, 1992.
- [5] L. Whetsel, "Hierarchically Accessing 1149.1 Applications," *Proceedings of ITC*, pp. 517-526, 1993.
- [6] D. Bhavsar, "An Architecture for Extending the IEEE Standard 1149.1 Test Access Port to System Backplane," *Proceedings of ITC*, pp. 768-776, 1991.
- [7] C. Su, S. Jou and Y. Ting, "Decentralized BIST for 1149.1 and 1149.5 Based Interconnects," *Proceeding of European Design and Test Conf.*, pp. 120-125, 1996.
- [8] N. Jarwala and C. W. Yau, "A New Framework for Analyzing Test Generation and Diagnosis Algorithms for Wiring Interconnects," *Proceedings of ITC*, pp. 63-70, 1989.
- [9] C. Poirier, "IEEE P1149.5 TO 1149.1 DATA and PROTOCOL," *Proceedings of ITC*, pp. 527-535, 1993.
- [10] Yong-Tae Yim, Hyun-Jin Kim, Sungho Kang, "An Efficient BIST Architecture for Boards with Multiple Scan Chains," *Proceedings of ICVC*, pp. 367-369, 1997.

저 자 소 개



金鉉振(正會員)

1997년 2월 연세대학교 전기공학과 졸업(학사). 1997년 2월 ~ 현재 연세대학교 전기공학과 대학원 석사과정. 주관심분야는 CAD 및 VLSI, 테스트링



辛宗哲(正會員)

1998년 2월 연세대학교 전기공학과 졸업(학사). 1998년 2월 ~ 현재 연세대학교 전기공학과 대학원 석사과정. 주관심분야는 CAD 및 VLSI, 테스트링

任容兌(正會員)

1995년 2월 연세대학교 전기공학과 졸업(학사). 1995년 9월 ~ 1997년 8월 연세대학교 전기공학과 대학원 졸업(공학 석사). 1997년 8월 ~ 현재 LG 반도체 연구원 근무중. 주관심분야는 CAD 및 VLSI, 테스트링



姜成昊(正會員)

1986년 2월 서울대학교 제어계측공학과 졸업(학사). 1988년 5월 The University of Texas Austin 전기 및 컴퓨터공학과(공학석사). 1992년 5월 The University of Texas Austin 전기 및 컴퓨터공학과(공학박사). 1989년 11월 ~ 1992년 8월 Schlumberger Inc. Research Scientist 1992년 9월 ~ 1992년 10월 The Univ. of Texas at Austin Post Doctoral Fellow. 1992년 8월 ~ 1994년 6월 Motorola Inc. Senior Staff Engineer. 1994년 9월 ~ 현재 연세대학교 전기공학과 조교수. 주관심분야는 CAD 및 VLSI, 테스트링, 시뮬레이션, 검증