

論文99-36C-1-6

CMOS 스위치드 캐패시터 방식의 가청주파수대 5차 타원 저역 통과 여파기의 설계 및 구현

(Design of the 5th-order Elliptic Low Pass Filter for Audio Frequency using CMOS Switched Capacitor)

宋 漢 廷 * , 郭 桂 達 **

(Han Jung Song and Kae Dal Kwack)

요 약

본 논문에서는 통과 대역폭이 5kHz, ripple이 0.1dB이하인 스위치드 캐패시터(Switched Capacitor) 필터를 0.8 μ m single poly CMOS ASIC 표준 공정을 이용하여 집적화된 단일 칩으로 제작하였다. 제안된 5차 타원 저역 통과 필터의 구성은 MOS 스위치와 poly 캐패시터, 5개의 2단 CMOS op-amp로 구성하였다. 필터구현은 LC 수동형으로부터 연속전달함수 H(s)를 구하고 쌍선형 z변환을 통하여 이산전달함수 H(z)으로 바꾸어 2차 바이쿼드(biquad)를 중속 연결하는 빌딩블록 방식을 택하였다. 또한 op-amp의 구동범위를 고려하면서 캐패시터 면적을 감소시킨 스케일링 실시한 동일 특성의 필터를 제작하여 그 특성변화를 비교 분석하였다. 측정결과 $\pm 2.5V$ 전원, 50kHz의 표본 주파수에서 2종의 필터 모두 4.96~4.98kHz의 통과 대역폭에 0.72~0.81dB의 리플, 35~38dB정도의 저지대역 이득감쇠 특성을 보였다.

Abstract

This paper describes an integrated low pass filter fabricated by using 0.8 μ m single poly CMOS ASIC technology. The filter has been designed for a 5th-order elliptic switched capacitor filter with cutoff frequency of 5kHz, 0.1dB passband ripple. The filter consists of MOS switches, poly capacitors and five CMOS op-amps. For the realization of the SC filter, continuous time transfer function H(s) is obtained from LC passive type, and transferred as discrete time transfer function H(z) through bilinear-z transform. Another filter has been designed by capacitor scaling for reduced chip area, considering dynamic range of the op-amp. The test results of two fabricated filters are cutoff frequency of 4.96~4.98kHz, 35~38dB gain attenuation and 0.72~0.81dB passband ripple with the $\pm 2.5V$ power supply and clock rate of 50kHz.

I. 서 론

MOS 집적기술의 발달과 함께 SC(Switched Capacitor) 회로를 이용한 집적회로 들이 개발되어 필터

터 뿐 아니라 신호처리등의 모든 아날로그 회로에 광범위하게 적용되고 있다. SC회로는 1970년대 초에 그 개념이 제안되었으며^[1] 아날로그 스위치, 캐패시터, op-amp만을 이용하여 원하는 회로기능을 구현하는 새로운 회로 형태로 종래의 저항을 스위치와 캐패시터로 대체함으로써 집적화를 보다 용이하게 하고 있다. 기본 원리는 스위치와 캐패시터를 이용하여 아날로그 신호를 표본화 하여 처리하는 것으로 신호의 전달 및 제어가 단락소자들의 스위칭 작용에 의해 캐패시터에 저장되어 있는 전하의 재분배에 의해 이루어진다.^[2]

* 正會員, 忠淸大學校 電子工學科

(Dept. of Electronic Eng., Chungcheong College)

** 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Eng., Hanyang Univ.)

接受日字:1998年5月27日, 수정완료일:1998年11月27日

그림 1은 캐패시터 C 양단의 스위치가 주파수 f_s 로 고대로 접속될 때 등가저항 $R_{eq}=1/Cf_s$ 가 구현됨을 보여주고 있다.^[2] 이러한 SC회로 기법을 능동 RC 필터에 적용한 것이 스위치드 캐패시터 필터(Switched Capacitor Filter)이다.

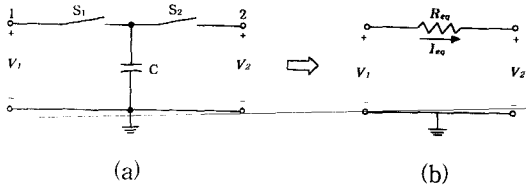


그림 1. 스위치드 캐패시터 회로
 (a) 스위치드 캐패시터 (b) SC 등가회로
 Fig. 1. Switched capacitor circuit.
 (a) Switched capacitor (b) SC equivalent resistor

지금까지의 필터의 발전과정을 살펴보면, 수동 RLC형으로부터 op-amp와 외부의 개별저항 R 및 캐패시터 C로 구성된 능동 혼성 RC 필터가 주종을 이루어 왔고 집적기술이 발전하면서 개별 R과 C까지도 집적화된 능동 RC 필터의 등장으로 이어졌으나 집적화된 능동 RC 필터는 본질적으로 R과 C를 공정상 정확히 구현하기 어렵다는 점과 서로 다른 온도계수로 인한 온도변화에 민감하다는 점, 또한 필터에 필요한 R과 C값을 집적화 할 때 과도한 칩 면적이 소요된다는 점 등의 제약조건 때문에 오히려 최근까지도 혼성 능동 RC 필터의 사용이 주류를 이루어 왔다. 이러한 문제점을 위에서 언급한대로, 실제 저항은 없어도 등가적인 RC의 기능을 갖는 스위치드 캐패시터 필터를 구성함으로써 해결할 수 있다. 이 SC(Switched Capacitor) 필터는 필터의 성능이 캐패시터의 크기 대신 상대적 비율에 의해 결정되므로 공정이 허용하는 한 얼마든지 작은 크기로도 정확하고 안정된 필터구현이 가능하고 저항의 제거로 인한 소비전력의 감소, 온도 특성 개선 등의 많은 장점을 가지고 있다. 이러한 SC(Switched Capacitor) 필터를 실현하는 방법으로는 능동 RC 필터에서 저항을 스위치드 캐패시터 등가회로로 대체하는 방법^[3]과 LC 수동형으로부터 전달함수를 유도하여 SC 적분기로서 전달함수를 실현하는 방법^[4]으로 나눌 수 있다. 두번째 방법은 다시 연속 시간 영역에서 전달함수를 SC 적분기로 실현하는 것^[5]과 연속 시간 영역에서 전달함수를 이산 시간영역

로 옮긴 다음 빌딩블럭(Building Block)으로 실현하는 방법^[6,7]으로 나뉘는데 본 논문에서는 설계의 용이성 등을 고려하여 이 빌딩블록 방법을 택하여 음성 영역에서의 저역통과 필터를 연속 5차 타원 수동형에서 쌍선형 z 변환을 취하여 스위치드 캐패시터 필터 회로를 구현하였다. 논문의 구성은 우선 5차 타원 필터를 LC 수동형으로부터 연속전달함수를 구하고 다시 이산전달함수로 변환시켜 이를 스위치드 캐패시터 회로로 구성하는 방법을 언급한다. 또한 op-amp의 구동범위(dynamic range)를 고려하면서 캐패시터 면적을 감소시킨 스케일링을 실시한 필터 설계에 대해 다룬다. 다음에 단일칩 집적회로 구현에 필요한 MOS 스위치와 캐패시터, op-amp 등의 회로요소 및 전체 SC 필터의 IC 설계 및 레이아웃 과정에 대하여 언급하고 마지막으로 0.8 μ m single poly CMOS ASIC 공정으로 제작된 2종의 필터를 측정하여 그 특성변화를 비교, 분석하고 결론을 내린다.

II. 5차 타원 저역 통과 스위치드 캐패시터 필터 구현

일반적으로 스위치드 캐패시터 필터의 설계는 그림 2와 같은 순서로 진행된다.

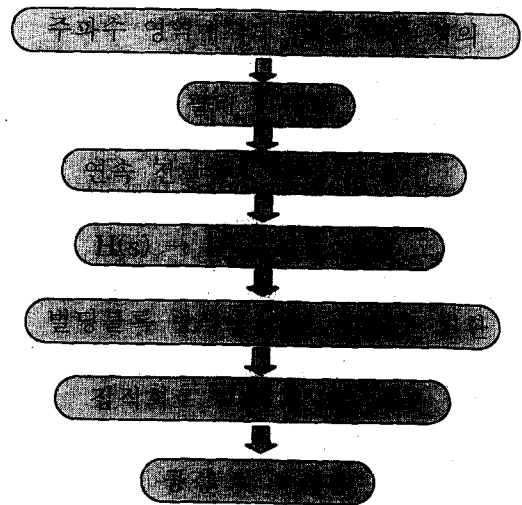


그림 2. 스위치드 캐패시터 필터 설계 흐름도
 Fig. 2. Design flow of the switched capacitor filter.

본 논문의 필터 구현을 위하여 음성영역의 상용 저역통과 필터의 설계기준 이상이 되도록 설계사양을 다음과 같이 정하였다.^[8]

필터형태 : 5차 타원 저역 통과 SC 필터
 통과대역 : $0 \leq f \leq 5$ kHz, 리플 0.1dB 이하
 저지대역 : $7.5 \text{ kHz} \leq f \leq \infty$, 이득감쇠 43dB 이상

표본 주파수 : 50 kHz

설계순서에 따라 위 설계 사양을 만족하는 연속 5차 타원 필터를 LC 수동 사다리형 필터로 설계하였다. 연속 타원 필터의 전달함수 식을 표현하면 다음과 같이 주어진다.^[9]

$$H(s) = \frac{K}{s - \sigma_o} \prod_{i=1}^{(n-\hat{n})/2} \frac{s^2 + c_i}{s^2 + a_i s + b_i}$$

$$= \frac{K}{s - \sigma_o} \cdot \prod_{i=1}^{(n-1)/2} \frac{s + c_i}{(s - p_i)(s - \hat{p}_i)} \quad (1)$$

여기서 p_i, \hat{p}_i : pole and complex pole, σ_o : pole of first order section

식 (1)을 이용하여 5차 타원 필터의 설계 조건에 맞는 연속 전달함수를 구하면 식 (2)와 같이 된다.

$$H(s) = \frac{1380.321564}{s + 20412.59252} \cdot \frac{s^2 + 2393887353}{s^2 + 26203.268935s + 765617783.3} \quad (\text{low-Q biquad})$$

$$Q = 1.055969$$

$$\cdot \frac{s^2 + 5366740504}{s^2 + 7170.967976s + 1134711379} \quad (\text{high-Q biquad}) \quad (2)$$

$$Q = 4.697501$$

식 (2)에 의하여 LC 수동 사다리형 필터를 꾸미면 그림 3과 같다.

그림 3의 회로에 대해 SPICE 모의실험을 수행하면 그림 4와 같은 주파수 특성을 얻게 된다. 여

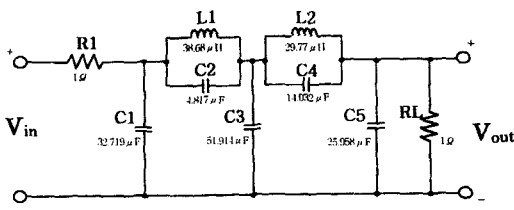


그림 3. LC 수동 필터 회로
 Fig. 3. Circuit of the LC passive filter

기에서 통과대역폭이 5kHz, 리플이 0.1dB, 저지대역 주파수 7.5kHz, 이득감쇠 43dB으로 원래 설계조건에 부합

되는 5차 타원 필터의 특성을 보여주고 있다. 연속 전달함수 H(s)에서 이산 전달함수 H(z)를 구하는 방법은 여러 가지가 있으나 본 논문에서는 아래와 같은 식으로 표현되는 쌍선형 z 변환(bilinear z transform)방식을 취하였다.

$$s = \frac{2}{T} \frac{1-z^{-1}}{1+z^{-1}} \quad (3)$$

식 (3)을 이용하여 5차 전달함수 H(s)를 1차(first-order)와 2개의 2차(second-order) 바이쿼드(biquad)로 나누어서 각각 실행한다.

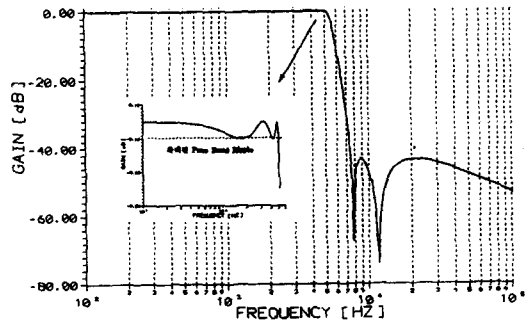


그림 4. LC 수동 필터의 주파수 응답
 Fig. 4. The frequency response of the LC passive filter.

먼저, 1차(first-order)부분에 대한 전달함수 $H_1(z)$ 를 표현하면

$$H_1(z) = 0.011463 \frac{z+1}{z-0.660956} \quad (4)$$

마찬가지로 low-Q biquad에 대한 전달함수 $H_2(z)$ 를 구해보면

$$H_2(z) = \frac{0.925889 - 1.136433z^{-1} + 0.925889z^{-2}}{1 - 1.379813z^{-1} + 0.608496z^{-2}} \quad (5)$$

또한 high-Q biquad section을 bilinear-z 변환하면,

$$H_3(z) = \frac{1.296573 - 0.781865z^{-1} + 1.296573z^{-2}}{1 - 1.496023z^{-1} + 0.878989z^{-2}} \quad (6)$$

결국, 본 논문의 전체 이산 전달함수는 식 (4),(5),(6)를 곱한것이 되어 $H(z) = H_1(z) \cdot H_2(z) \cdot H_3(z)$ 이 된다. 이 전달함수는 SC 적분기를 조합함으로써 실현할 수 있다. 본 논문에서 SC 필터의 기본 구조는, 1차(first-order)부분과 두 개의 2차 biquad 부분을 증속 연결한 것이다. 먼저 1차부분에 대하여 빌딩블럭

(building block)을 구성하여 SC 회로로 실현한 것을 그림 5에 나타내었고 유도된 전달함수 식을 식 (7)로 표현하였다

$$H_1(z) = \frac{A_1}{C_1 + D_1} \cdot \frac{1 + z^{-1}}{1 - D_1 \cdot z^{-1} / (C_1 + D_1)} \quad (7)$$

식 (4)와 (7)로부터 1차부분의 캐패시터 값을 결정할 수 있다. 다음에 본 논문에 적용할 biquad 부분의 빌딩블럭 및 이의 SC 실현을 그림 6에 나타냈다.

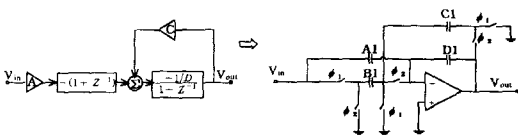


그림 5. 1차 SC 필터의 빌딩블럭
Fig. 5. Building block of the first-order SC filter.

그림 6의 SC 회로에서, B = D = 1로 하고 전달함수를 구하면 식 (8)과같이 된다.

$$H(z) = \frac{V_{out}}{V_{in}} = - \frac{I + (AG - I - J)z^{-1} + Jz^{-2}}{1 + (AE + AC - 2)z^{-1} + (1 - AE)z^{-2}} \quad (8)$$

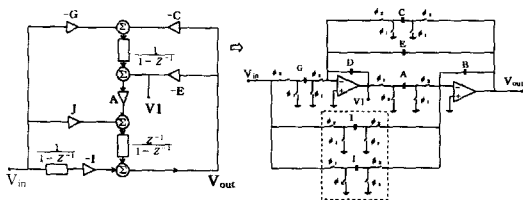


그림 6. 바이쿼드부분의 빌딩블럭
Fig. 6. Building block of the biquad section.

식 (5),(6),(8)로부터 바이쿼드 부분의 캐패시터 값을 구할 수가 있다. SC 필터를 집적회로로 제작하기 위해서는 특성저항 없는 최소단위의 캐패시터값을 정의하여 전체 캐패시터 비를 최소화 하는 것이 필요하다. 따라서 공정이 허용하는 최소 단위 캐패시터를 C_u 로 정의하고 다른 모든 캐패시터를 C_u 의 배율로 정할 수 있다. SC 회로의 내부의 각 op-amp는 최대 출력전압이 각각 다르게 나타나는데 이 최대 출력전압이 클 경우 다음단의 op-amp에 입력으로 작용하게 되어, 이 op-amp단의 구동범위를 제한하게 되고, 또 최대 출력전압이 너무 작을 경우에는 잡음이 발생할 수가 있다. 따라서 각 op-amp의 최대 출력전압이 전체 필터의 최대 출력전압과 같게 되도록 op-amp에 대한

구동범위 스케일링이 필요하다. 본 논문에서는 임의의 op-amp i에서의 최대 출력전압 V_{pi} 와 통과 대역에서의 SC필터의 침투전압 V_{out} 과의 비율, 즉 스케일링 factor k_i 를 구하여 op-amp의 각 출력단에 이를 적용하는 방식^[10]의 스케일링을 실시하여 이에 따른 특성변화를 비교, 분석하였다. 표 1에 스케일링 실시여부에 따른 캐패시터 값을 정리하였다. 표 1에서 보는 것과 같이, 스케일링을 하였을때 필터의 전체 캐패시터 용량이 $136.4C_u$ 에서 $46.6C_u$ 로 약 1/3로 작아지고, 단위 캐패시터 C_u 에 대한 최대 캐패시터의 비도 57.66에서 7.21로 상당히 감소 되는 등 집적도면에서 개선 효과를 가져올을 알 수 있다.

표 1. 5차 SC 필터의 캐패시터 값
Table 1. Capacitor value summary of the 5th order SC filter.

	OP-amp	Capacitor	Before scaling	After Scaling
First-order section	OA1	A1	1	1
		B1	2	2
		C1	29.577351	2
		D1	57.660151	3.898979
High-Q biquad section	OA2	C2	3.16472	3.164731
		D2	4.131856	5.149838
		E2	1	1
		G2	14.967904	1.600771
	OA3	A2	1	4.494229
		B2	2	7.211705
Low-Q biquad section	OA4	C3	1	1
		D3	2.185477	3.387999
		E3	1.711246	1.711246
		G3	3.12674	1.976972
	OA5	A3	1	1.324036
		B3	2	1.708175
Total			136.415293 C_u	46.628681 C_u

위에서 구한 1개의 1차부분과 2개의 바이쿼드(biquad)부분을 직렬로 연결하면 전체 5차 저역통과 SC 필터 회로가 되며 이를 그림 7에 나타내었다. 이 SC 필터는 크게 2상 클럭(clock) 발생회로와 5개의 op-amp, 캐패시터 및 스위치들로 구성되며 Vdd와 Vss, 입력, 출력, 접지, 클럭 등 총 6개의 단자로 되어 있다.

그림 8은 공급전압 $\pm 2.5V$, 표본 주파수 50kHz에서 5차 SC 필터 회로의 주파수대별 과도특성에 대한 SPICE 모의실험 결과이다. 통과대역내($f=1kHz$)의 경우 시간이 지나도 입력과 동일한 출력파형을 보이고 있다.

저지대역($f=10\text{kHz}$)의 경우 출력은 시간이 지나면서 감쇠가 일어나 거의 없어짐을 보이고 있다. 이는 설계한 5차 SC 저역통과 필터의 정상적인 동작을 보여주는 것이다.

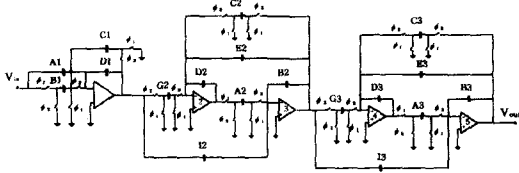
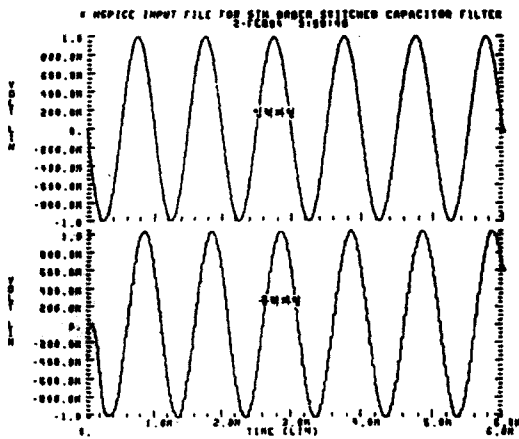
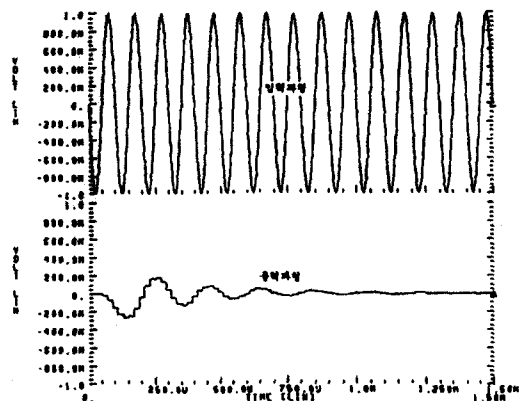


그림 7. 5차 타원 SC 필터의 회로도
Fig. 7. Circuit of the 5th order elliptic SC filter.



(a) 1kHz



(b) 10kHz

그림 8. 5차 SC 필터 회로의 주파수별 과도응답 특성
Fig. 8. Simulated waveforms of the the 5th order SC filter.

III. 집적회로 제작 및 측정결과

앞 절에서 유도한 5차 타원 SC 필터를 집적회로로

구현하기 위해서는 op-amp 블록, 각 캐패시터들과 2상 클럭 발생회로, 아날로그 스위치를 MOS 트랜지스터들로 설계해야 한다. 본 논문에서는 채널의 온저항(R_{on})이 수 $k\Omega$ 정도 되는 $W/L=10\mu\text{m}/2\mu\text{m}$ 의 NMOS를 스위치로 사용하였다. Single poly CMOS 표준공정을 전제로 설계 하였기 때문에 캐패시터로 6500 Å oxide층을 지닌 poly/metal-1구조를 택하였고 단위 캐패시터 $C_u = 0.5\text{pf}$, 즉 $88\mu\text{m} \times 88\mu\text{m}$ 의 면적으로 정하였다. 2중 poly가 가능한 아날로그 공정을 사용할 경우 적어도 5~6배의 면적감소를 가져올 수 있다. SC 필터에 필요한 대칭구조의 접치지 않는 2상 클럭(clock)은 직렬로 연결된 40개의 인버터단으로 구성하였다. SC 필터에서 가장 중요한 부분인 op-amp는 전형적으로 사용되고 있는 2단(2-stage) CMOS 구조로 하였고 주파수 보상을 위해서 1pf 용량의 밀러 캐패시터 C_c 를 삽입하였다.

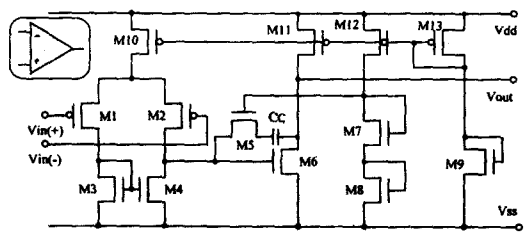


그림 9. SC 필터용 2단 CMOS op-amp 회로
Fig. 9. Circuit of the 2-stage CMOS op-amp for SC filter.

그림 9의 회로 동작을 간단히 살펴 보면 PMOS $M_{10} \sim M_{13}$ 은 회로의 bias에 필요한 current source로서 작동하고 $M_1 \sim M_4$ 는 입력 차동증폭단을 이루고 M_5 와 C_c 는 miller 캐패시터로서 내부 위상 보상을, M_6 과 M_{11} 은 2차 증폭단을 형성한다. Op-amp는 필터의 내부 구동용임을 감안하여 output buffer 없는 구조를 택하였고 표 2에 사용된 device 크기를 요약하였다. 그림 10에 본 논문의 SC 필터용으로 제작된 $250 \times 170 \mu\text{m}^2$ 크기의 op-amp 현미경 사진을 나타내었다. 표 3에 본 논문의 SC 필터에 사용된 op-amp의 주요 특성값들을 모의실험결과와 함께 요약해 놓았다. 표에서 보듯이 10pf의 부하를 달았을 때의 모의실험결과는 단위이득 주파수 7.6MHz, open loop 이득 83dB, 위상여유 45° , CMRR은 92.3dB, 소비전력은 0.33mW로 본 논문의 가청주파수대 SC 필터용으로 충분한 특성을 나타내고 있다. 반면, 측정결과

에서 단위이득주파수 1.1MHz, slew rate 0.24V/ μ s, settling time 5.1 μ s 등으로 일부특성이 모의실험에 비해 다소 낮게 나타나고 있다. 이는 output buffer 없는 내부 SC 필터회로용 op-amp를 기생부유용량 등을 충분히 고려하여 측정하지 못했기 때문이며 SC 필터 내에서 사용될 경우 모의실험 결과와 근사한 특성으로 동작될 것으로 추정된다.

표 2. CMOS op-amp의 device 요약

Table 2. Device dimensions of the CMOS op-amp.

Device(P/N)	W/L [μ m]	Device(P/N)	W/L [μ m]
M1(P)	40/1.5	M8(N)	20/1.5
M2(P)	40/1.5	M9(N)	2/20
M3(N)	20/1.5	M10(P)	20/1.5
M4(N)	20/1.5	M11(P)	40/1.5
M5(N)	20/1.5	M12(P)	10/1.5
M6(N)	80/1.5	M13(P)	40/1.5
M7(N)	2.5/3	Cc	1pF

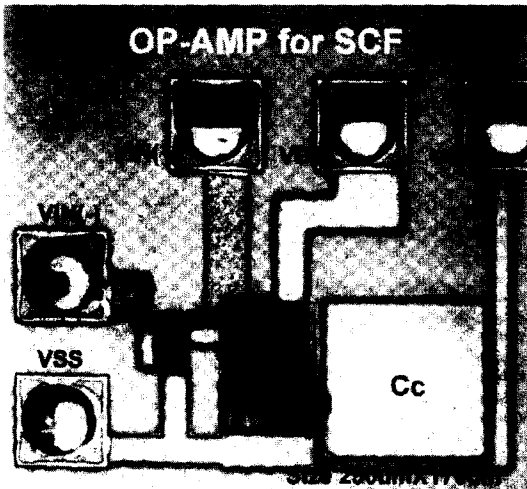


그림 10. 제작된 SC 필터용 op-amp의 현미경 사진
Fig. 10. Photomicrograph of the fabricated op-amp for SC filter.

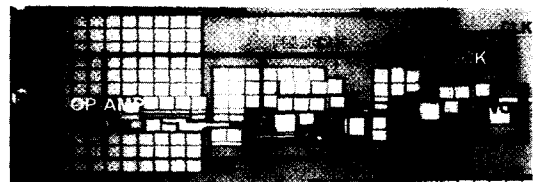
본 논문에서는 앞에서 언급한대로 동일 특성의 2가지 필터를 캐패시터의 스케일링 실시 유무에 따라 각각 FILTER-I, FILTER-II의 이름으로 0.8 μ m single poly double metal CMOS ASIC 공정을 이용하여 설계, 제작하였다. 그림 11의 제작된 SC 필터 현미경 사진은 캐패시터 스케일링 유무에 따라 각각 면적이 0.3x0.12cm², 0.22x0.08cm²으로 상당한 집적도의 차이를

보여주고 있다.

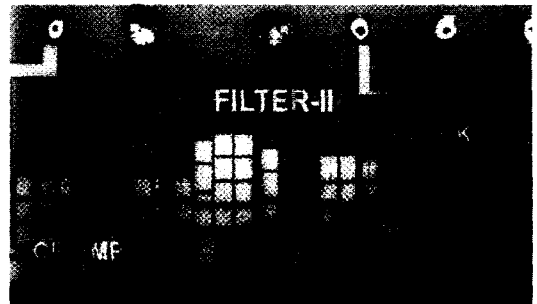
표 3. 제작된 SC 필터용 op-amp 특성 요약

Table 3. Summary of the simulated and fabricated op-amp characteristics.

Parameters	Spec.	Simulation 결과	측정 결과
VDD	± 2.5 V	± 2.5 V	± 2.5 V
Power	<0.5mW	0.33mW	0.3mW
CMRR	>60dB	83dB	-
Unit Gain Bandwidth	5MHz	7.6MHz	1.1MHz
Load Capacitance	10pF	10pF	-
Input CMR	> ± 2 V	-2.4V, +2V	-2.2V, +1.8V
Op range	± 2.3 V	-2.5V, 2.2V	-2.5V, -2.0V
Phase Margin	>60°	45°	32°
Slew Rate	$\geq 1V/\mu$ sec	3.5V/ μ sec	0.24V/ μ sec
Settling Time	-	0.5 μ sec	5.1 μ sec
CMRR	>60dB	92.3dB	118dB



(a)

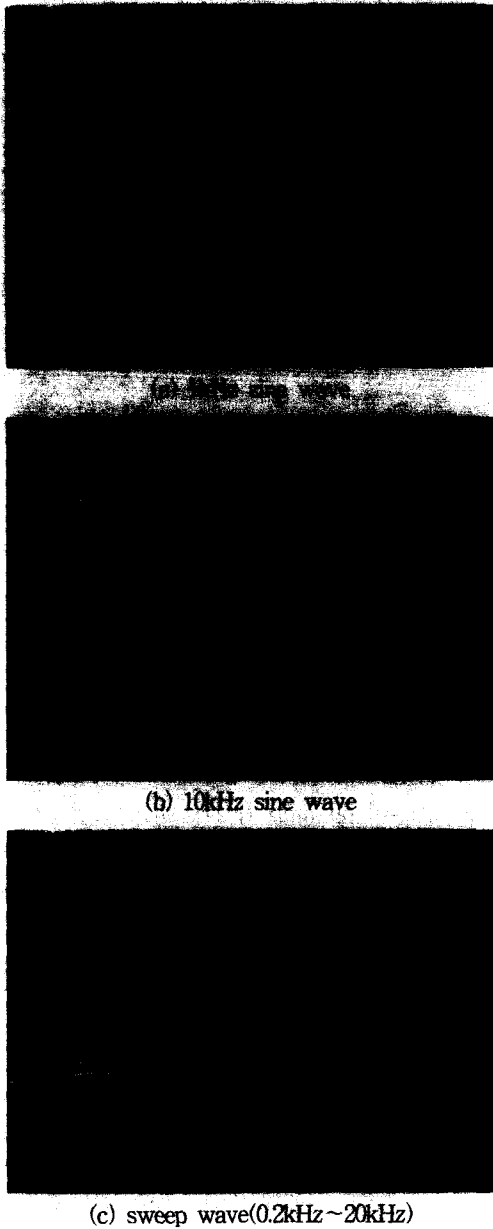


(b)

그림 11. 제작된 2종의 SC 필터 현미경 사진
(a) FILTER-I (캐패시터 스케일링 전) (b) FILTER-II (캐패시터 스케일링 후)

Fig. 11. Photomicrographs of the two fabricated SC filters. (a) FILTER-I (before capacitor scaling) (b) FILTER-II (after capacitor scaling)

제작된 2종의 필터 특성분석을 위하여 우선 공급전압 $\pm 2.5V$ 를 인가하고 입력단에 적절한 주파수의 정현파, 또는 구형파를, 클럭단에는 2상클럭을 발생시키기 위한 50kHz 구형파를 인가한 후 오실로스코프로 출력파형을 관측하는 식으로 진행하였다.



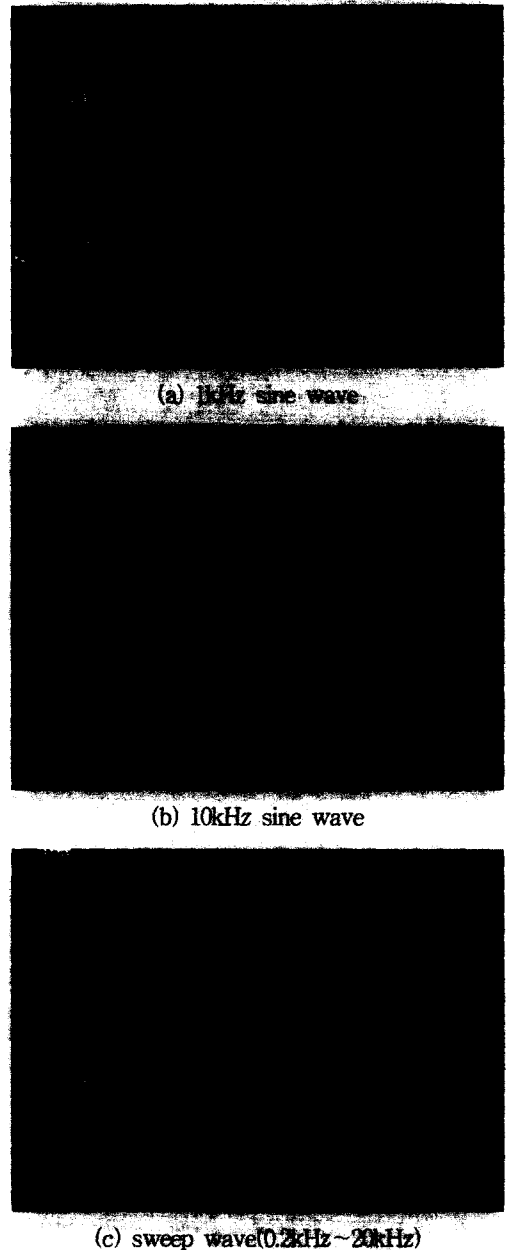
(b) 10kHz sine wave

(c) sweep wave(0.2kHz~20kHz)

그림 12. SC 필터의 주파수별 측정파형(FILTER-I)
Fig. 12. Measured waveforms of the SC filter (FILTER-I).

그림 12에 FILTER-I의 주파수대별 시간파형을 보이고 있는데, (a)의 경우 통과대역내에 있는 1kHz의 정현파가 감쇠없이 정상적으로 통과되고 있고, (b)의 경우 저지대역 내에 있는 10kHz정현파는 출력이 감쇠가 일어나지만 낮은 진폭(0.15V)의 50kHz의 구형파가 나타나고 있다. 이는 스위치로 사용되는 MOS 트랜지스터의 기생 캐패시턴스로 인하여, 50kHz의 클럭이 출력으로 타고 나오는 SC 필터 고유의 clock feedthrough

현상으로 NMOS 대신 CMOS 또는 보완된 스위치 회로를 사용하면 어느정도 개선이 가능할 것으로 사료된다. 그림 (c)는 필터의 입력으로 일정 진폭에 0.2kHz ~ 20kHz의 선형적으로 변하는 정현 sweep 파형을 인가했을 때의 출력파형으로서 주파수가 높아질수록 그 진폭이 줄어드는 정상적인 저역 통과 필터의 모습을 보이고 있다.



(a) 1kHz sine wave

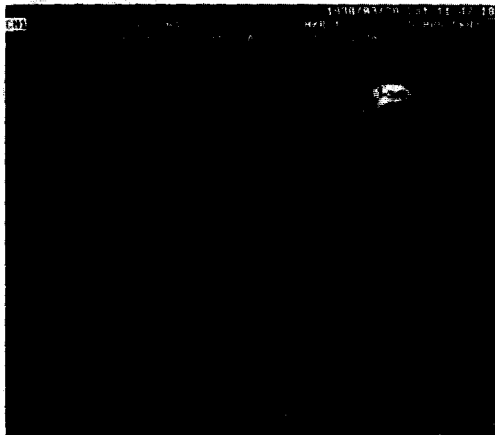
(b) 10kHz sine wave

(c) sweep wave(0.2kHz~20kHz)

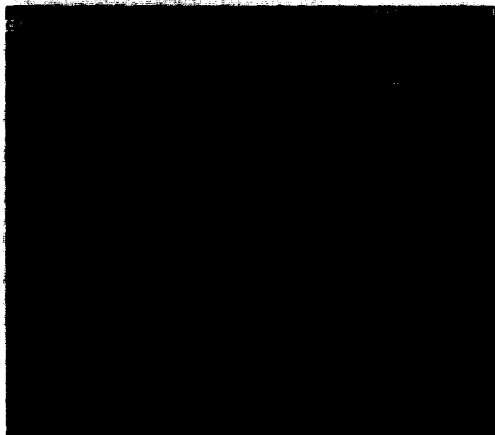
그림 13. SC 필터의 주파수별 측정파형(FILTER-II)
Fig. 13. Measured waveforms of the SC filter (FILTER-II).

그림 13는 FILTER-II의 경우로 FILTER-I과 마찬가지로의 정상적인 저역통과 필터의 특성을 보이고 있으나 clock feedthrough에 의한 저지대역의 50kHz 구형파 진폭(0.22V)이 전자에 비해 다소 크게 나옴을 알 수 있다.

그림 14에 제작된 2종의 SC 필터의 주파수 특성에 대한 Network Analyzer 측정결과를 보이고 있다. (a)는 FILTER-I에 대한 측정결과로 4.96kHz의 통과대역폭, 6.8kHz의 저지대역 주파수, 저지대역 이득감쇠는 35dB로 다소 낮게 나타나는데 이는 clock feedthrough로 인하여 저지대역에서 예상보다 약 8dB 정도 감쇠가 덜 일어난다고 볼 수 있다. 또한 통과대역의 리플은 0.72dB로 다소 크게 나타나고 있으나, 3개의 정점(top)과 2개의 저점(bottom)을 가진 차수 5차의 타원 필터의 정상적인 리플특성을 그대로 보이고 있다.



(a)



(b)



(c)

그림 14. 2종의 SC 필터 주파수 특성
 Fig. 14. Frequency responses of the two fabricated SC filters.
 (a) FILTER-I (before capacitor scaling)
 (b) FILTER-II (after capacitor scaling)
 (c) Comparison of the two SC filters (FILTER-I,II)

리플이 등파상에서 벗어나 다소 크게 나타나는 이유는 유한 이득의 op-amp 특성과 MOS 스위치의 불완전성, LC 수동형에서 SC 필터 변환시의 prewarping을 실시하지 않은 면에서 찾을 수 있을 것이며 이러한 것들을 개선한다면 상당히 감소된 리플특성을 보이리라 사료된다. 그림(b)에 있는 FILTER-II의 경우도 거의 마찬가지로 4.98kHz의 통과대역폭, 7.1kHz의 저지대역 주파수, 0.81dB의 리플 특성을 보이고 있다. 그림(c)는 제작된 2종의 필터 즉, FILTER-I, II의 주파수 특성을 동시에 비교해 보이고 있다. 두 필터 모두 주파수 5kHz의 임계주파수를 지닌 저역통과 필터의 모습을 보이고 있으나, 50kHz 부근의 피크 성분은 앞에서 언급한 바와 같이 저지대역에서의 감쇠되지 않은 구형파로 clock feedthrough 현상이 상당히 나타남을 의미한다. 이를 줄이기 위하여서는 앞절에서 언급한대로 스위치의 최적화 된 크기의 선택 및 관련 회로의 개선이 필요할 것이다.

표 3에 제작된 2종의 필터특성 측정결과를 모의실험결과와 함께 요약하였다. 표에서 보듯이 캐패시터 스케일링 여부에 따른 필터의 특성은 전체적으로 거의 비슷한 수준을 나타냄을 알 수 있다. 대역리플과 저지대역 이득감쇠는 모두 설계사양과 다소 차이를 보이고는 있으나 상용 PCM 채널음성필터의 CCITT 설계

기준인 0.25dB, 32dB 이상은 만족함을 보여주고 있다.

아날로그 block으로 유용하리라 본다.

표 4. 제작된 5차 타원 SC 필터 특성 요약
Table 4. Characteristics of the fabricated 5th elliptic SC filters.

특성	주파수 대역		
	0.1~1kHz	1~10kHz	10~100kHz
전원	±2.5 V	±2.5 V	±2.5 V
공정	0.8 μ m 1 poly 2 metal CMOS process	"	"
대역폭	2.0kHz	2.1kHz	1.9kHz
대역리플	5.0dB	4.96dB	4.98dB
저지대역 리플	50dB	50dB	50dB
저지대역 이득감쇠	7.5dB	6.8dB	7.1dB
대역리플	<0.1dB	0.72dB	0.81dB
저지대역 이득감쇠	43.4dB	42dB	42.1dB
대역리플	43.4dB	34 ~ 38.5dB	35.5~37.5dB
면적	-	3000×1200	2500×800

IV. 결론

본 논문에서는 통과대역폭 5kHz, 대역리플 0.1dB이하인 스위치드 캐패시터 방식의 5차 타원 저역통과 필터를 0.8 μ m single poly double metal CMOS ASIC 공정을 이용하여 칩 제작하였다. 필터내의 op-amp는 2단 CMOS 구조를 사용하였고 NMOS 스위치에, poly/metal-1 구조의 캐패시터, 그리고 인버터 체인의 2상 nonoverlapping clock 회로를 사용하였다. op-amp의 구동범위를 고려한 동일특성의 캐패시터 스케일링 실시한 필터도 제작하여 각각의 특성을 비교, 분석하고자 하였다. ±2.5V 전원, 50kHz의 표본주파수에서 2종의 필터 모두 4.96~4.98kHz 통과 대역폭에 0.72~0.81dB의 리플, 35~38dB정도의 저지대역 이득감쇠를 보였다. 측정결과 공통으로 나타난 저지대역 이득감쇠 및 대역리플의 특성저하는 clock feed-through 현상을 줄이기 위한 MOS 스위치와 op-amp 회로의 개선 및 LC 수동형에서 SC 필터 변환시의 prewarping을 실시한다면 좀더 개선된 SC 필터 특성을 얻을 수 있을 것이다. 또한 single poly의 표준 CMOS 공정으로 제작된 본 스위치드 캐패시터 필터를 2중 poly의 아날로그 전용 공정으로 구현한다면 캐패시터 면적의 상당한 감소가 가능하므로 하나의

참 고 문 헌

- [1] K.Hirano and S Nishimura, "Active RC filters containing periodically operated switches" IEEE Trans. Circuit Theory, vol. CT-19, MAY 1972.
- [2] Allen and Sanchez-Sinencio, "Switched Capacitor Circuits", Van Nortand Reinhold, 1984.
- [3] Tsividis, Y.P., "switched-capacitor filters; approximating switched-cccacipator by resistor.", IEEE Trans. Circuits and Systems, v26 n2 Feb pp. 140-144, 1979.
- [4] Jacobs, Gordon M., "MOS switched-capacitor active ladder filters; design techniques.", IEEE Trans. Circuits and Systems, v25 n12 Dec, pp. 1014-1021, 1978.
- [5] Allstot, David J. "MOS switched capacitor ladder filters.", IEEE J. Solid-State Circuits, v13 n6 Dec, pp. 806-814, 1978.
- [6] Martin, Ken, "bandpass filter using coupled-biquad structures; design via bilinear-z transform.", IEEE Trans. Circuits and Systems, Jun, pp. 469-475, 1980.
- [7] Fleischer, Paul E., "NMOS building block; biquad topology.", IEEE Trans. Circuits and Systems, Jun, pp. 552-559, 1980.
- [8] Roubik Gregorian et al., "An Integrated Single-Chip PCM Voice Codec with Filters", IEEE J. Solid-State Circuits, Aug., pp. 322-333, 1981.
- [9] Arthur B. Williams, *Electronic Filter Design Handbook*, McGraw-Hill Book Co., 1981.
- [10] M.S. Lee and C. Chang, "Bilinear Switched-Capacitor Ladder Filters.", IEEE Trans. Circuits and Systems, August, pp. 811-822, 1981.

저 자 소 개

宋 漢 廷(正會員) 第 35卷 C編 第 12號 參照
충청대학 전자과 교수

郭 桂 遠(正會員) 第 34卷 D編 第 7號 參照
한양대학교 전자공학과 교수