

열증착법으로 제조된 니켈 모노실리사이드의 미세구조 연구

안영숙, 송오성, 양철웅*

서울시립대학교 재료공학과
*성균관대학교 금속·재료공학부

A study of microstructure of Ni-monosilicide fabricated with a thermal evaporator

Y. S. Ahn, O. S. Song, C. W. Yang*

Department of Materials Science and Engineering,
The University of Seoul, Seoul, 130-743, Korea
*School of Metallurgical and Materials Engineering,
Sungkyunkwan University, Suwon, 440-746, Korea

Abstract

Silicides have been used extensively in ULSI logic device fabrication as contact materials for the active areas as well as the poly-Si gates. NiSi is a promising candidate for submicron device application due to less volume expansion, low formation temperature, little silicon consumption, and large stable processing temperature window. In this report, the microstructure of nickel silicides fabricated with a thermal evaporator has been investigated. We observed systematic transformation of Ni silicides of Ni₂Si, NiSi, NiSi₂, as annealing temperature increases. All the silicides have been identified by a X-ray diffractometer (XRD). The cross-sectional microstructure of silicides was examined by a transmission electron microscope (TEM) equipped with a energy dispersive spectrometer (EDS). The surface roughness of silicides was measured by scanning probe microscope (SPM). Although we observed thin oxide layer existed at the Ni/NiSi_x interface, we fabricated successfully 550 Å-thick planar Ni-monosilicide at the temperature range of 400~700 °C.

1. 서 론

Silicide는 디바이스저항을 감소시켜 빠른 동작 속도를 구현하기 위해 고집적 로직디바이스 제조에 널리 사용되어 왔다. 현재 반도체 소자의 집적도가 증가하면서 MOSFET (Metal Oxide Semicon-

ductor Field Effect Transistor)의 channel length가 감소하는 추세이며 0.3μm 이하의 좁은 선폭에서도 스피드의 저하가 없는 저저항 silicide의 개발이 필요하다. 현재 많이 사용되는 실리사이드로는 TiSi₂와 CoSi₂를 들 수 있다.

그러나 기존에 많이 사용되는 TiSi₂와 CoSi₂에는

몇 가지 문제가 있는 것으로 알려졌다¹⁻⁴⁾. $TiSi_2$ 는 가장 보편적으로 사용되는 silicide 물질로서 면저항이 우수한 물질이지만 디바이스의 최소 설계기준 선폭이 $0.3\mu m$ 이하에서 고저항 C49상에서 저저항 C54 $TiSi_2$ 상으로 변태과정시 핵생성이 제한되어 면저항이 급격히 증가하는 것으로 보고되었다.^{1,5-9)} 반면 $CoSi_2$ 는 면저항의 선폭의존성은 훨씬 작지만 Co의 불균일한 확산반응으로 균일한 실리사이드 두께를 얻는데 기술적인 어려움이 있고, $CoSi_2$ 형태로 silicide를 형성하기 위해서 mono silicide보다 더 많은 Si가 소모되는 disilicide 형태이므로 shallow junction transistor와 같은 차세대 디바이스를 위해서는 적합하지 않다¹⁰⁾.

이에 반해 니켈모노실리사이드는 선폭이 $0.1\mu m$ 이하에서도 면저항이 커지는 현상이 없고, Ni과 Si이 1:1로 반응하기 때문에 기존 disilicide 재료에 비해 얇은 실리사이드의 제조가 가능하며 이로 인하여 도펀트의 재분포 현상을 감소시킬 수 있어 유망한 차세대 실리사이드 재료로 기대되고 있다¹⁰⁾. 이러한 니켈모노실리사이드를 이용하여 고집적 로직디바이스를 제조하면 게이트와 소스/드레인부가 전기적으로 접촉하는 GSD short를 방지하고, 후속 건식식각(dry etch)시의 선택비가 Si에 대해 높아 전기적·공정적으로 안정한 최소설계기준 선폭 $0.18\mu m$ 급 이하 CMOS 디바이스에서 효과적인 채용이 기대된다¹¹⁻¹³⁾.

본 연구에서는 $0.18\mu m$ 급 이하 고집적 CMOS 로직디바이스의 핵심공정으로서 채용이 기대되는 니켈모노실리사이드와 그 외 생성되는 다른 실리사이드상들을 등온열처리공정으로 제조하고 XRD(x-ray diffraction), SPM(scanning probe microscope), TEM(transmission electron microscope)을 활용하여 열처리에 따라 나타나는 각 온도별 안정한 실리사이드상, 상의 표면조도, 미세수직단면구조를 분석하였다.

2. 실험방법

본 연구에서는 로직디바이스의 실공정에서 채용되는 4인치 크기의 p-type(100)Si 기판을 사용하였다. Si 기판 위의 SiO_2 자연산화막은 열증착 직전 실온에서 10%HF수용액으로 5분 동안 산처리하여 제거하였고, 제거 후 1시간 이내에 열증착기(thermal evaporator, KVT-460)를 사용하여 Si 기판 위에 Ni을 증착하였다. 증착에 사용된 Ni 소스의 순도는 99.99%이었고, 증착된 Ni 박막의 두께는 약 1000\AA 이 되도록 하였다. 열증착시 챔버 내 초기 진공도는 5.0×10^{-5} 로 유지하였고, 입력전원은 15W로 하였다. 각 시편에 대하여 증착된 박막의 두께는 SPM(PSIA Autoprobe CP)을 이용하여 측정하였다.

완성된 Ni/Si시편들을 $2.5 \times 2.5\text{cm}$ 크기로 절단한 후, 관상로(tube furnace)에서 50°C 간격으로 $150 \sim 1000^\circ\text{C}$ 온도범위에서 30분씩 열처리하여 실리사이드를 형성시켰다. 이 때의 관상로 내의 분위기는 N_2 분위기로 유지하여 표면산화를 방지하였다.

준비된 시편들에 대해, 온도별 생성상을 확인하기 위해 XRD(SEIFERT XRD 3000)를 사용하여 실리사이드 형성온도에 따른 실리사이드상을 분석하였다. 측정조건은 40kV - 30mA , Cu 타겟, monochromatic $k_\alpha = 1.54060\text{\AA}$, step width는 0.01° (2θ), scanning speed 0.6° (2θ)/min로 하였다.

각 열처리 온도에 따른 표면미세구조변화를 열처리 직후 SPM을 이용하여 관찰하였다. 측정조건으로는 ultralever tip, $100\mu m$ scan을 채용하였고, scan rate 1Hz, scan range는 $5\mu m$ 로 하였다.

$NiSi_x$ 와 Si기판의 계면 구조 및 silicides의 두께를 확인하기 위하여 cross-sectional TEM(JEOL 2010, 200kV) 분석을 실시하였다. 단면 시편은 시편을 서로 맞붙여 절단한 후 약 $20\mu m$ 두께까지 Tripod를 이용해 연마하고 PIPS(precision ion polishing system)로 이온 밀링하였다. 또한 TEM 장치에 부가되어 있는 EDS장비를 이용하여 실리

사이드상의 Ni, Si양을 측정하여 Ni 실리사이드의 종류를 확인하였다.

3. 실험결과 및 토의

3.1. XRD 분석 결과

Fig. 1에는 Ni/Si(100) 시편의 열처리 온도에 따른 상변태를 확인하기 위하여 XRD 분석을 실시한 결과를 나타내었다. 각 열처리 온도에 따라 (a) 300°C부터 (h) 900°C까지의 rocking curves를 중첩시켜 나타내었다.

1300°C에서 열처리한 시편의 결과인 Fig. 1의 (a)에서 $2\theta=44^\circ$ 의 피크로부터 Ni₂Si가 생성되었음을 확인하였다. Fig. 1의 400~700°C의 온도범위인 (b)~(e)에서는 $2\theta=36^\circ$ 의 피크로부터 NiSi가 생성되었음을 알 수 있었다. 다소 고온인 800~900°C의 온도범위 (f)~(h)에서는 $2\theta=32^\circ$ 의 피크로부터 NiSi₂가 생성되었음을 확인하였다.

따라서 XRD분석 결과로부터 400~700°C 온도 범위에서 NiSi가 형성되었다고 판단되며, 700°C이상의 온도에서는 고저항의 NiSi₂로 상변태가 일어나는 것을 확인하였다. 따라서 실제 디바이스 공정시에는 실리사이드 제조 후 후속공정의 열처리 온도가 700°C가 넘지 않도록 공정설계를 할 필요가 있다고 판단되었다.

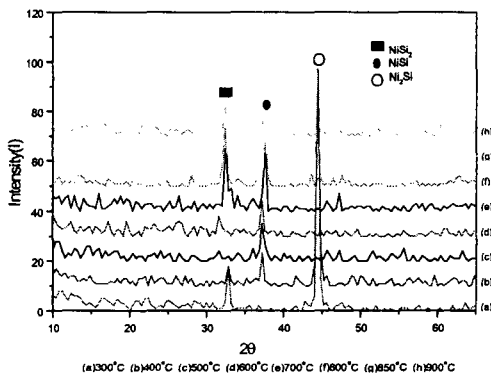


Fig. 1. XRD rocking curves of nickel silicides for each heat treatment temperature.

3.2. SPM 분석결과

Fig. 2에는 Ni/Si(100) 시편의 온도에 따른 표면 미세구조를 SPM으로 관찰한 결과를 나타내었고, Table. 1에는 열처리 온도에 따라 측정된 표면 조도의 rms값의 변화를 나타내었다.

Fig. 2의 결과에서 상변태가 일어나는 온도에서 잔류 Ni의 표면조도의 급격한 변화를 확인할 수 있었다. 즉 rms roughness값이 NiSi상에서 NiSi₂로 변태하는 경우 107Å에서 229Å으로 변화하는 값을 보여 실제 로직디바이스제조에는 NiSi가 NiSi₂로 변태하였는지 확인할 수 있는 간접적인 공정모니터링 방법으로 SPM의 채용이 효과적임을 알 수 있었다.

Table. 1 Rms values of surface at a given annealing temperature.

Annealing temperature (°C)	300	450	850	900
rms roughness (Å)	98.1	107	229	229

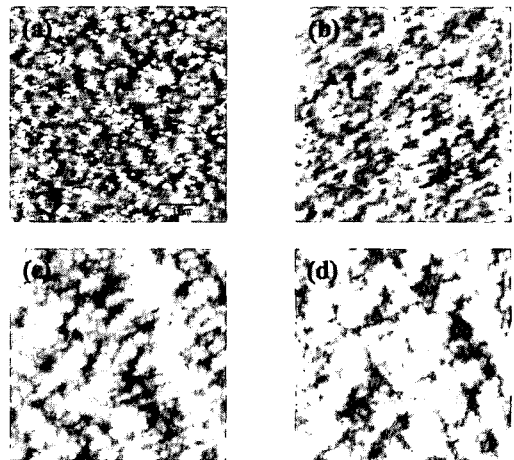


Fig. 2. SPM topographies of surface at the annealing temperature of (a) 300°C (b) 450°C (c) 850°C (d) 900°C

3.3. 수직단면 TEM과 EDS분석결과

Fig. 3과 4는 각각 400°C와 1000°C에서 열처리한 시편의 수직단면 TEM 명시야상과 각 구성층의

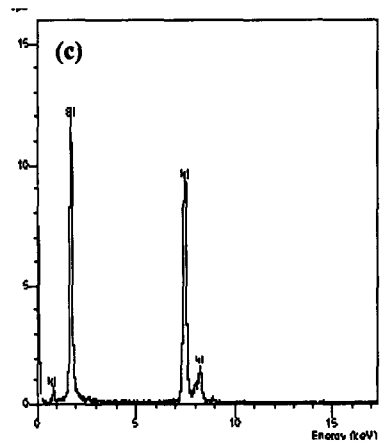
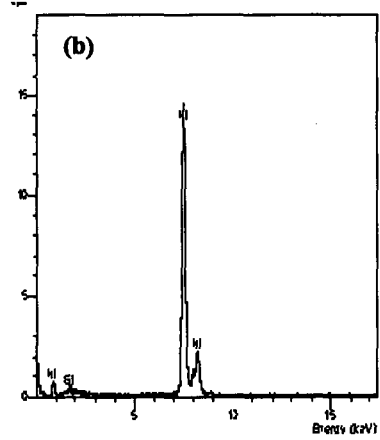
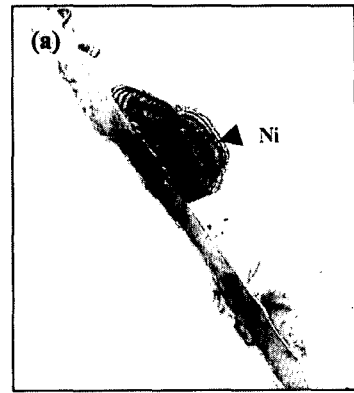
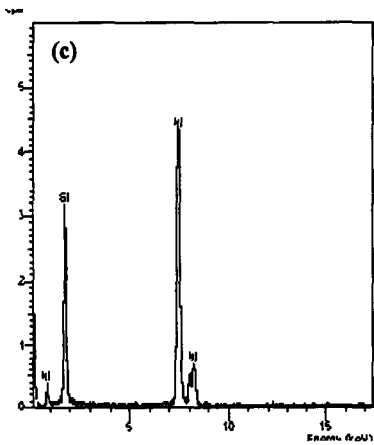
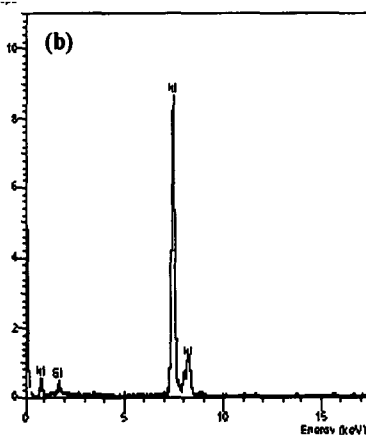
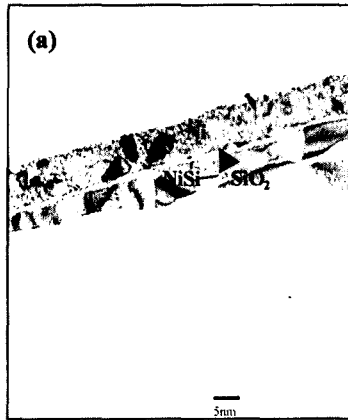


Fig. 3. Cross-sectional view and EDS spectra of the specimen heat treated at 400°C (a) TEM bright field image, (b) EDS spectrum from upper layer, (c) EDS spectrum from lower layer.

Fig. 4. Cross-sectional view and EDS spectra of the specimen heat treated at 1000°C (a) TEM bright field image, (b) EDS spectrum from upper layer, (c) EDS spectrum from lower layer

EDS 성분 분석결과이다. Fig. 3의 (a)에서 보듯이 400°C에서 열처리한 시편은 3개의 층을 가짐을 알 수 있었고, 하부 550 Å 평균두께의 생성물질은 (c)의 EDS분석에서 나타난 바와 같이 Ni와 Si의 약 1:1로 결합한 NiSi로서 비교적 균일하였고, 상부에 생성된 물질은 (b)에서 나타낸 바와 같이 실리사이드화 반응을 하지 않고 잔류한 Ni임을 확인하였다. 평균두께 550 Å로 생성된 NiSi는 매우 평탄한 상부 표면을 보였다. NiSi와 잔류 Ni사이에 약 100 Å 두께의 산화막이 존재하며 이는 열증착직 전 또는 증착 중에 형성된 표면산화막으로 판단되었다. 그러나 이러한 산화막 SiO₂가 존재함에도 불구하고 Ni이 Si으로 확산 이동하여 550 Å 두께의 NiSi가 생성되었음을 확인하였다. 이는 인위적으로 산화막을 형성시켜도 NiSi상부층이 기판과 같은 정도의 평탄도를 유지시킬 수 있는 공정이라고 판단되었다. 따라서 NiSi는 표면산화막의 제거공정이 없어도 안정한 NiSi박막을 형성시킬 수 있는 공정상 이점을 가지고 있었다.

Fig. 4에서 보듯이 1000°C로 열처리한 시편의 경우 NiSi₂ 층과 응집된 잔류 Ni를 가지는 것을 확인하였다. 따라서 실리사이드화 공정후 잔류 Ni의 응집에 의해 생성되는 particle처리등의 공정문제를 방지하기 위해 700°C 이내에서 공정이 진행되도록 실리사이드 열처리 온도의 제어가 필요하다고 여겨졌다.

4. 결 론

XRD분석 결과로부터 열증착시에도 기존 스퍼터법을 사용하였을 때와 동일하게 400~700°C 온도 범위에서 NiSi를 얻을 수 있음을 확인하였다. SPM분석결과로부터 상변태가 일어날 때 시편의 표면조도가 증가함을 알 수 있었다. 따라서 공정중에 SPM을 이용하여 반도체 디바이스 제조공정에서 니켈모노실리사이드생성 후 후속공정에서도 NiSi₂상변태를 일으키는 것을 간단히 모니터링할

수 있을 것으로 판단되었다. TEM과 EDS 분석결과로부터 400°C 열처리 온도에서 550±120 Å 두께의 shallow junction이 가능한 NiSi가 얻어짐을 알 수 있었다. 특히 NiSi는 약 500 정도의 저부피 팽창의 shallow junction transistor에 채용이 가능함을 알 수 있었다. 또한 약 100 Å 두께의 자연산화막 SiO₂가 존재함에도 불구하고 Ni의 확산이 가능하였으며, 인위적으로 산화막을 생성시키고 실리사이드 공정 후 산화막을 제거하면 매우 평탄한 상부 표면을 갖는 우수한 NiSi층을 얻을 수 있는 것을 확인하였다.

감사의 글

이 논문은 1998년도 한국과학재단 핵심연구비 지원(981-0802-014-2)에 의하여 연구되었으며, 이에 감사드립니다.

참고문헌

1. Y. Hu, S. P. Tay, J. Vac. Sci. Technol. A, 16 (3), (1998), 1820.
2. S. Wolf, Lattice Press, 154, (1990).
3. S. M. Sze, "VLSI Technology", John Wiley & Sons, (1988), 380.
4. T. Ohguro, s. Nakamura, H. Iwai, IEEE T-ED' 94, (1994), 2305.
5. D. A. Tucker, D. K. Seo, Surface science 334, (1995), 179.
6. V. Probst, H. Schaber, A. Nitwalsky, J. Appl. Phys., 70 (2), (1991), 708.
7. H. Jiang, C. M. Osburn, P. Smith, J. Electrochem. Soc., 139 (1), (1992), 196.
8. National Technology Roadmap for Semiconductors, (1997), 80.
9. E. G. Colgan, Thin solid films. 279, (1996), 193.

10. A. lauwers, Q. F. Wang, B. Dewerrdi, and K. Maex, *App. Surf. Sci.* 91, 12, (1995), 1820.
11. K. Maex, *Mater. Sci. and Eng.*, R11, (1993), 2.
12. F. Deng, R. A. Johnson, P. M. Asbeck, *J. Appl. Phys.* 81 (12), (1997), 8047.