

고선택비 산화막 식각공정시 C_4F_8 헬리콘 웨이브 플라즈마에 노출된 실리콘 표면의 잔류막 관찰

김현수, 이원정, 염근영

성균관 대학교 재료공학과 반도체 공정 연구실

Investigation of the residue formed on the silicon exposed to C_4F_8 helicon wave plasmas

H. S. Kim, W. J. Lee and G. Y. Yeom

Semiconductor Processing Laboratory, Materials Engineering Department,
Sungkyunkwan University, Suwon, Korea

Abstract

Surface polymer layer formed on the silicon wafer during the oxide overetching using C_4F_8 helicon wave plasmas and their characteristics were investigated using spectroscopic ellipsometry, X-ray photoelectron spectroscopy, and secondary ion mass spectrometry. Overetch percentage and dc-self bias voltage were varied to investigate the effects on the characteristics of the polymers remaining on the overetched silicon surface. The increase of bias voltage from -80 volts to -120 volts increased the C/F ratio and carbon bondings such as C-C, C-CF_x, and C-Si in the polymer while reducing the thickness of the polymer layer. However, the increase of the overetch percentage from 50% to 100% did not change the composition of the polymer layer and the carbon bondings in the polymer layer remained same even though it increased the polymer thickness. The polymer layer formed at the higher dc-self bias voltage was more difficult to be removed by the following various post-etch treatments compared to that formed at the longer overetch percentage.

1. 서 론

초고집적(ULSI) 회로 제조시 sub-micron의 contact 형성을 위해서는 산화막 식각시 높은 식각 속도, 고선택비, 그리고 이방성이 큰 식각공정이 필요하며 과식각시 플라즈마에 노출된 실리콘 표

면에 생성되는 잔류막과 손상이 적고, 이의 제거가 용이하며, 노출된 실리콘에 상대적으로 고선택비를 지닌 식각 공정이 필요하다¹⁾. 특히 산화막 과식각시 실리콘 표면에 야기되는 오염과 손상을 최소화하는 공정이 필수적이다. 현재 contact 형성 공정을 위해 요구되는 높은 식각율과 선택비

그리고 이방성이 큰 식각공정을 위하여 ECR (electron cyclotron resonance plasma), Helicon wave plasma, ICP (inductively coupled plasma), MICP (magnetized inductively coupled plasma) 등과 같은 고밀도 플라즈마원을 이용하는 연구가 진행되고 있다²⁻⁹⁾.

C_4F_8 가스와 같은 높은 C/F비율을 갖는 가스의 이용은 고밀도 플라즈마의 높은 이온 충돌효과에 의한 식각공정시 고선택비를 가지는 산화막 식각을 수행할수 있는 장점이 있으나 과식각하는 동안 플라즈마에 노출된 실리콘 표면위에 두꺼운 잔류막을 형성시키는 단점을 지닌다^{2, 3)}. 실제 반도체 집적회로의 contact 산화막 식각시 contact의 깊이가 달라서 한번에 opening되는 contact의 종류가 다를 수 있고 증착된 산화막의 non-uniformity로 인하여 산화막 두께의 변화가 존재하므로 같은 깊이에 위치하는 contact도 동시에 open되지 않는다. 따라서 산화막 각시 두꺼운 잔류막이 쌓이게 되며 과식각 시간을 증가시키면 실리콘 표면위에 생성되는 잔류막의 두께도 증가한다. 과식각 동안 실리콘 표면위에 생성되는 잔류막은 그 두께뿐만 아니라 특성에 따라 실리콘과의 선택비가 변화하나 이 잔류막은 오염으로서 작용하기도 하므로 식각후에 후처리에 의하여 쉽게 제거되어야 한다. 반면 높은 C/F 비율을 갖는 고밀도 플라즈마를 이용하여 산화막을 과식각시 발생한 잔류막은 고선택비를 얻는 조건에서 기존의 후처리 조건으로는 제거가 쉽지 않으며 따라서 제거를 용이하게 하기 위해서는 이 잔류막에 대한 자세한 특성평가가 필요하다.

본 연구진에서는 자화된 유도결합형 C_4F_8 플라즈마(MICP)와 C_4F_8/H_2 의 헬리콘 웨이브 플라즈마를 이용하여 산화막을 과식각시 실리콘 표면에 생성되는 물리적인 손상과 전기적인 손상 그리고 잔류막 특성 및 이의 제거에 관한 연구에 대해 이미 발표하였다^{9, 10)}. 본 연구에서는 C_4F_8 헬리콘 웨이브 플라즈마를 이용하여 식각시 과식각시간과

bias voltage를 변화시켰을 때 산화막 과식각후 실리콘 표면위에 남아있는 잔류막의 특성이 어떻게 변화하는지에 대하여 연구하였다.

2. 실험 방법

본 연구의 contact 식각 실험은 Nagoya type antenna의 헬리콘 웨이브플라즈마를 이용하여 산화막을 식각하였다. 식각 조건으로는 공정압력 1.5mTorr, source power 1.5kW, bias voltage를 -80volts 그리고 -120volts에서 C_4F_8 가스를 이용하여 실리콘 웨이퍼위에 증착된 1 μ m PSG (phospho-silicate-glass)층을 50%, 100% 과식각하는 시간만큼 산화막 식각을 수행하였다. 과식각된 실리콘 표면에 형성된 C-F계 polymer형태의 잔류막을 제거하기 위해 piranha cleaning ($H_2SO_4 : H_2O_2=4 : 1$)에 10분동안 세정하였으며, O_2 plasma ashing은 기판온도 120 $^{\circ}C$, 500mTorr, 200Watts에서 40분간 수행하였다. 또한 실리콘 표면위에 남아있는 오염층 제거를 위해 열처리하는 O_2 plasma cleaning후 질소 분위기에서 30분간 450 $^{\circ}C$, 600 $^{\circ}C$ 에서 열처리를 하였다.

식각된 실리콘 표면 및 piranha cleaning과 산소 플라즈마 처리와 같은 세정방법 따른 잔류막의 두께와 화학적인 성분을 관찰하기 위해 SE (spectroscopic ellipsometry)와 XPS (X-ray photoelectron spectroscopy) 분석을 이용하였다. 그리고 이온 충돌로 인한 실리콘 내부로의 오염물의 확산, 침투 정도를 조사하기 위해서 SIMS (secondary ion mass spectroscopy)를 이용하였다.

3. 결과 및 고찰

위의 연구용 시편제조를 위해 C_4F_8 헬리콘 웨이브 플라즈마를 이용하여 1 μ m두께의 phosphosilicate glass (PSG)를 공정압력 1.5mTorr, source power 1.5kWatts하에서 식각시 bias voltage를

-80volts인가할 때 식각속도는 650nm/min, 실리콘과의 식각선택비는 10.5였고 -120 volts로 bias voltage를 증가하면 식각속도가 910nm/min, 식각선택비는 13으로 증가하였다. 따라서 예를 들어 50% 과식각인경우 bias voltage를 -80volts인가할 때 2분18초, -120volts의 bias voltage인 경우 1분 39초 동안 식각하였다.

Fig. 1은 XPS에 의한 과식각후 실리콘 표면에 남아있는 잔류막 성분을 과식각 시간, bias voltage 변화에 따라 관찰한 widescan 결과이다. 그림에서 보듯이 실리콘 표면에 형성된 잔류막의

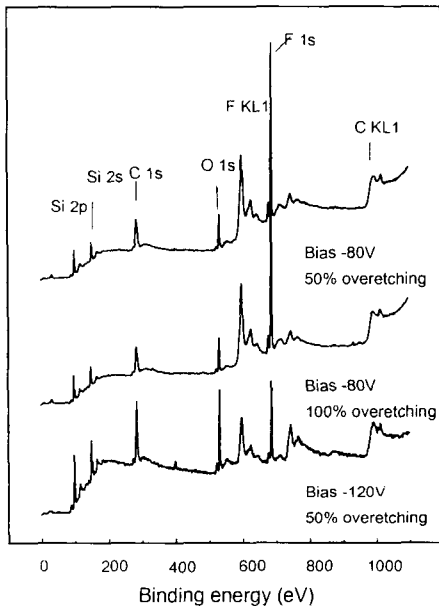


Fig. 1. XPS wide scan data of the polymers remaining on the silicon surfaces of the sample etched using C₄F₈ helicon wave plasma.

Table 1. The atomic percents of the component in the polymer layer, the thickness of the polymer layer, and C/F ratios of the polymer layers.

Bias voltage/overetch time	thickness	Si	C	F	O	C/F
-80V/50%	44	17	36	36	11	1.00
-80V/100%	48	19	36	35	10	1.02
-120V/50%	36	30	37	19	14	1.94

성분은 탄소, 불소, 산소로 이루어져 있다. 그림에서 보듯이 과식각 시간에 따른 표면 성분의 차이는 크지 않으나 bias voltage를 -120 V로 증가시킨 경우 탄소의 강도가 확연하게 증가하는 것을 확인할 수 있었다. Si_{2p}, C_{1s}, F_{1s}, O_{1s}의 narrow scan 결과로서 이를 정량화하여 각각의 성분비 그리고 탄소와 불소의 성분비로부터 C/F비를 SE(spectroscopic ellipsometry)로 측정된 잔류막의 두께와 함께 Table 1에 정리하였다. SE로 측정된 잔류막의 두께는 XPS분석 결과에서 얻어진 실리콘 상대적 비에 비례하였으며 따라서 bias voltage를 -80volts로 인가한 상태에서 과식각 비율을 50%에서 100%로 증가시킬 경우 잔류막내의 탄소, 불소, 그리고 산소의 성분비는 비슷하였고 잔류막의 두께는 다소 증가하는 경향을 보이나 증가량은 미약하였다. 그러나 Fig. 1과 Table 1에 역시 나타낸 바와 같이 과식각 비율을 50%로 일정하게 하고 bias voltage를 -80volts에서 -120volts로 증가시키기에 따라 잔류막의 두께는 44Å에서 36Å으로 감소하고, 불소 성분이 감소하며 C/F비는 1.0에서 1.94의 탄소 과잉으로 변화하였다. 이는 bias voltage 증가에 따른 이온 충돌 효과로 잔류막내의 volatile한 불소 성분이 제거되기 때문으로 사료된다^{6, 12, 13}. Bias voltage 증가에 따른 잔류막 특성의 변화는 다른 연구자의 이온 dose량 변화에 따른 연구결과와 유사한 결과이며 결과적으로 강한 결합강도를 가지는 탄소 과잉의 얇은 두께의 잔류막이 형성되는 것으로 판단된다.

Fig. 2와 Table 2에는 좀더 polymer의 결합상태를 자세히 관찰하고자 C_{1s} narrow scan 결과를 deconvolution한 결과를 나타내고 있다. Fig. 2와 Table 2에서 보듯이 세가지 잔류막은 모두 C-CF_x(1 < x < 3) 결합이 가장 많이 존재하고 있고 과식각 시간에 따른 차이는 크지 않았으며, bias voltage가 -120 V 인 경우 C-CF_x, C-C, 그리고 C-Si의 강도의 상대비가 증가하고 C-F1, C-F2,

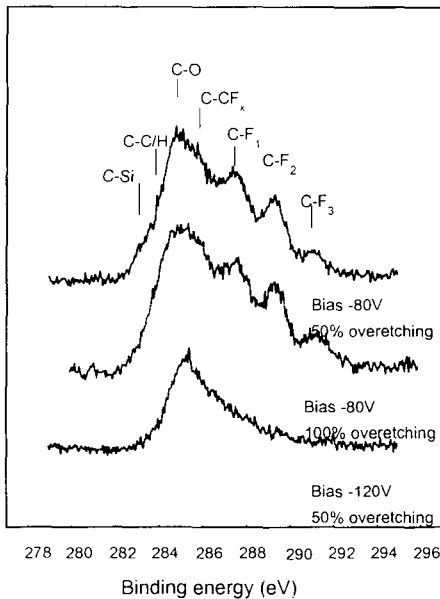


Fig. 2. Narrow scan XPS data of Carbon(1s) for the silicon surfaces shown in Table 1.

Table 2. Percents of each carbon bonding state deconvoluted from the carbon(1s) spectra.

Bias voltage/overetch time	C-F ₃	C-F ₂	C-F ₁	C-CF _x	C-O	C-C	C-Si
-80V/50%	5.4	14.7	25.5	30.8	7.0	12.7	4.2
-80V/100%	6.2	13.6	23.2	30.7	8.5	13.5	3.6
-120V/50%	0	4.6	15.4	36.4	12.9	17.7	13.0

C-F₃강도는 크게 감소한 결과를 보이고 있다. 앞서 Fig. 1과 Fig. 2의 결과를 토대로 보면 증가된 bias voltage로 인해 식각 반응 진행시 다중 결합을 주로 형성하는 탄소에 비해 불소 성분의 경우 실리콘과 반응하여 SiF_x(1 < x < 4) 제거되고 따라서 잔류하는 잔류막층은 bias voltage가 낮은 경우에 비해 상대적으로 탄소 과잉의 형태로 잔류하게 된다. 반면 또한 과식각 시간 변화의 경우 잔류막의 성분비 및 탄소 결합상태의 변화는 크지 않았다.

과식각시 플라즈마 성분으로 인하여 앞서 논의

된 바와 같이 실리콘 표면에 잔류막을 형성하게 되며 이와 함께 높은 에너지를 지닌 반응성 이온에 의해 실리콘 내부로 탄소, 불소 등의 성분이 내부로 침투하기도 한다. Bias voltage와 과식각 시간 변화에 따라 과식각된 실리콘 표면에 침투한 탄소, 불소의 침투 깊이를 관찰하고 bias voltage, 과식각 시간에 따른 조건에 따른 차이를 비교하고자 Fig. 3에 (a) 탄소와 (b) 불소의 침투 깊이를 SIMS depth profile로 관찰한 결과를 나타내었다. 그림에서 보듯이 bias voltage 및 과식각 시간을 증가시키에 따라 앞서 침투 깊이가 증가함을 알 수 있었다. 정확한 침투깊이는 SIMS 결과로는 설명하기는 어려웠으나 일정농도가 되는 침투 깊이를 기준으로 추정한 결과 보면 -80volts의 bias voltage에서 50% 과식각시 탄소의 경우 55nm, 불소의 경우 40nm 정도로 침투 깊이가 제한되나 100% 과식각시 각각 70nm, 60nm 정도로 증가하였다. 또한 bias voltage를 -120volts로 증가시킨 경우에도 침투 깊이가 탄소 70nm, 불소 70nm 정도로 증가하였으며 이러한 과식각 시간과 bias voltage 증가에 따른 침투깊이 증가는 입사량 (이온밀도×시간) 혹은 이온에너지 증가로 사료된다. 즉, bias voltage가 동일한 경우 과식각 시간을 증가시키면 증가된 과식각 시간 만큼 플라즈마에 노출되므로 입사되는 이온의 총량은 증가되어 내부 잔류막 성분의 일부가 실리콘 내부로의 침투되므로써 증가하는 것으로 사료된다. 한편, bias voltage 변화시 침투깊이의 증가는 증가된 bias voltage 만큼의 높은 에너지를 지닌 이온들이 실리콘 내부로 침투하여 침투깊이가 증가하는 것으로 판단된다.

반도체 소자 제조시 실리콘 표면에 존재하는 잔류막 층이나 침투된 성분은 후속 공정시 영향을 주게 되며 따라서 이들 잔류막이나 침투성분은 효과적으로 제거 되어야 한다. 특히 이미 발표된 바와 같이 잔류하는 잔류막층의 잔류량과 성분비에 후속 contact 실리사이드(silicide) 형성시 전기전

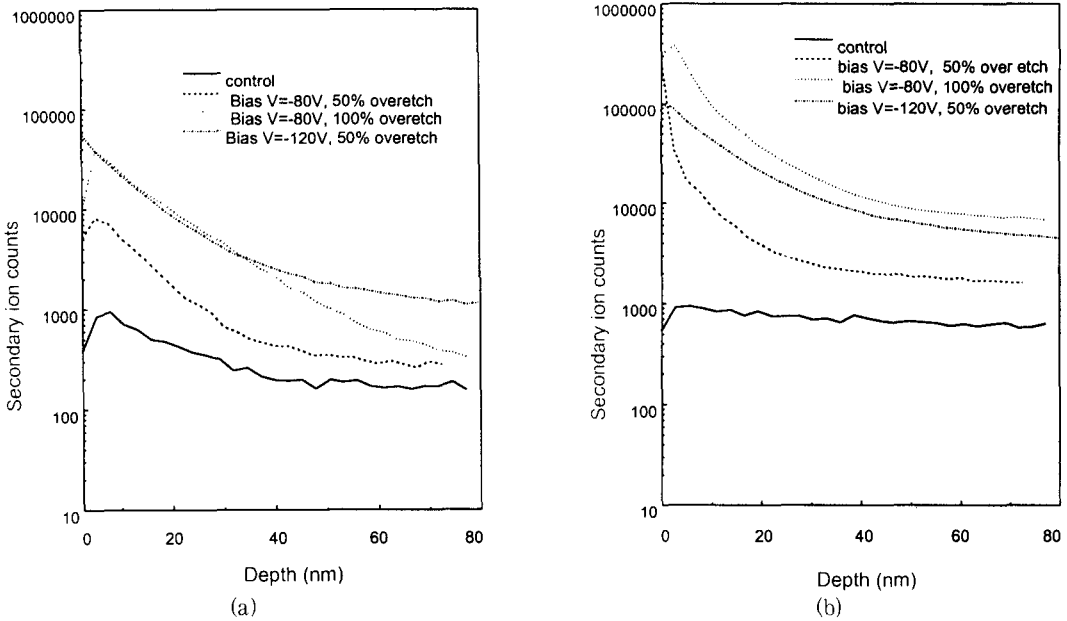


Fig. 3. SIMS depth profile of carbon (a) and fluorine (b) implanted into silicon.

도도와 contact 저항에 영향을 주게 된다^{10, 11)}. 따라서 본 연구에서는 과식각후 잔류막을 산소 플라즈마 처리 및 후속 열처리 온도에 따른 실리콘 표면위에 남아있는 잔류막의 제거 정도를 SE를 이용 측정하였다. SE를 이용한 잔류막의 두께 측정은 굴절률과 함께 동시에 측정가능하며 잔류막의 두께와 성질을 판단하는 지표로 손쉽게 분석 가능한 방법이다. 산소 플라즈마 처리시 기판 온도가 상온보다는 100°C 이상으로 높은 경우가 잔류막의 제거에 효과적이었으며 120°C 이상의 경우 큰 차이를 보이지 않고 있다. 본 연구에서 적용된 산소 플라즈마 처리는 기판온도는 120°C로 유지하면서 처리 시간을 변화시켰으며 Fig. 4에 SE를 이용하여 50% 과식각시 bias voltage에 따른 실리콘 표면의 잔류막의 제거 방법과 -80volts의 bias voltage하에서 50%, 100% 과식각된 실리콘 표면의 제거방법에 따른 잔류막 두께값 변화를 나타내고 있다. Bias voltage를 -80volts를 인가해서 50%, 100% 과식각시 형성된 잔류막은 -120volts에

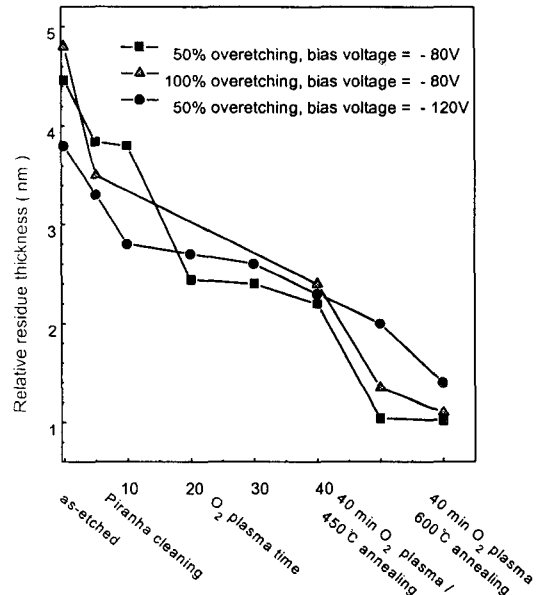


Fig. 4. The effects of various post-etch cleanings on the removal of the polymer layers formed on the silicon surface overetched using the etch conditions.

서 과식각시 형성된 잔류막보다 빠르게 제거되었다. 또한 -80volts의 bias voltage에서 과식각한

시편의 경우 산소 플라즈마 처리, 600°C 열처리, 그리고 100 : 1 HF 처리의 연속적인 후처리를 통해 실리콘 표면위의 잔류막층을 거의 제거할 수 있었고 잔류막의 두께는 1nm이하 굴절율은 1.45의 자연 산화막 값에 접근하였다. 그러나 -120volts 하에서 과식각된 실리콘 표면의 잔류막층은 제거 방법에 따라 -80volts 하에서 과식각된 실리콘 표면의 잔류막 층보다 느리게 제거되었으며 산소 플라즈마 처리, 600°C 열처리, 그리고 100 : 1 HF 처리의 연속적인 후처리 뒤에도 잔류막의 두께는 1.5nm, 굴절율 1.45로 -80volts에서 식각된 시편보다 잔류막이 두꺼웠다. 결과적으로 -80volts의 bias voltage에서 식각된 시편의 경우 과식각 시간에 관계없이 120°C의 기판 온도 40분간의 산소 플라즈마 처리와 600°C의 후속 열처리에 의해 대부분의 잔류막이 제거되는 것을 알 수 있었으나 bias voltage가 -120 volts인 경우 식각시 형성된 잔류막의 두께는 얇으나 이의 제거는 상대적으로 어려운 것으로 관찰되었다. 이는 앞서 관찰된 Fig. 2와 Table 2에 나타난 C-CF_x, C-C, 그리고 C-Si와 같은 탄소과잉의 표면 성분비의 영향으로 판단되며 따라서 잔류막의 제거 정도는 잔류막의 두께 보다는 잔류막의 성분이 더욱 큰 영향을 주는 것으로 사료된다. 또한, 실리콘 표면에 남아있는 C-Si 결합은 다른 연구자들에 의해 보고되었듯이 안정한 실리사이드 형성에 영향을 주게 된다¹¹⁾.

4. 결 론

본 연구에서는 C,F₈ helicon wave plasma를 이용하여 1 μ m 두께의 phosphosilicate glass를 입힌 실리콘을 1.5kW inductive power, -80volts와 -120volts의 bias voltage하에서 50%, 100% 과식각 하였을 때 노출된 실리콘 표면위에 잔류하는 오염에 대하여 연구하고 제거하는 방법에 대하여 연구하였다.

과식각시 실리콘 표면에 형성된 잔류막의 성분은 탄소, 불소, 산소로 이루어져 있었다. Bias voltage를 -80volts에서 -120volts로 증가한 경우 잔류하는 C/F의 ratio는 1.0에서 1.94로 증가하였으며 잔류막의 두께는 이온 충돌효과의 증대로 감소하였다. 또한, bias voltage를 증가시킨 경우 C-C, C-C-F_x 그리고 C-Si의 강도의 상대비는 증가하고 C-F₁, C-F₂, C-F₃의 강도는 감소하였다. 반면 과식각 시간을 50%에서 100%로 증가시 잔류막의 탄소 결합의 화학적인 성분비의 변화는 크지 않았다.

실리콘 표면에 잔류막 성분은 과식각 시간과 bias voltage의 증가해서 식각한 시편의 경우 SIMS 분석결과 침투 깊이가 증가하였다. Bias voltage를 -120volts로 인가해서 산화막 식각시 형성된 잔류막은 -80volts에서 식각된 시편보다 제거가 어려웠다. 이는 앞서 관찰된 C-C, C-CF_x 그리고 C-Si와 같은 성분이 강하게 결합되어 있기 때문에 이의 제거가 용이하지 않는 것으로 사료된다.

참고문헌

1. P. Singer, Semicon. International, June 109 (1997).
2. K. Takahashi, M. Hori, and T. Goto, J. Vac. Sci. Technol. A14 2001(1996)
3. F. H. Bell, O. Joubert, G. S. Oehrlein, Y. Zang, and D. Vender, J. Vac. Sci. Technol. A12 3095 (1994)
4. Y. Horiike, K. Kubota, H. Shindo, and T. Fukasawa, J. Vac. Sci. Technol. A13 801 (1995).
5. T. Fukasawa, K. Kubota, H. Shindo, and Y. Horiike, Jpn. J. Phys. 33 7042 (1994).
6. G. S. Oehrlein, Y. Zhang, D. Vender, and M.Haverlag, J. Vac. Sci. Technol. A12 323

- (1994).
7. K. Kubota, H. Matsumoto, H. Shindo, S. Shingubara, and Y. Horiike, *Jpn. J. Appl. Phys.* 34 2119 (1995).
 8. T. Tsukada, H. Nogami, J. Hayashi, K. Kawaguchi, and T. Hara, *J. Appl. Phys.*, 74 5402 (1993).
 9. H. S. Kim, W. J. Nam, G. Y. Yeom, H. J. Lee, J. H. Kim, and K. W. Whang, *J. Vac. Sci. Technol. A* 14 1062 (1996).
 10. 김현수, 이원정, 백종태, 염근영, *한국표면공학회지*, 31 117 (1998).
 11. Y. Tezuka, N. Kitano, and N. Nakano, *J. Electrochem. Soc.* 142 3569 (1995).
 12. S. Samukawa, *Jpn. J. Appl. Phys.* 32 6080 (1993).
 13. N. R. Rueger, J. J. Beulens, M. Schaepkens, M. F. Doemling, J. M. Mirza, T. E. F. M. Standaert, and G.S. Oehrlein, *J. Vac. Sci. Technol. A* 15 1881 (1997).