

통신용 VLSI 소자의 새로운 편간 DC 파라미터 테스트 연구

박용수*/유홍균**

요 약

디지털 VLSI 소자 테스트는 소자 규격서에 정의된 파라미터들을 최악의 환경 상태에서 소자가 설계된 기능들이 모두 동작하는 지를 보증하는 것이다. 통신용 VLSI 소자의 고집적화에 따른 제품의 신뢰성을 향상하는 것이 VLSI 소자 테스트에서 중요한 고려사항이 된다. 통신용 소자의 신뢰성 향상을 위해서 테스트 파라미터들이 증가되고 테스트 시간이 늘어난다. 테스트 종류는 크게 평선 테스트, DC 파라미터 테스트 및 AC 파라미터 테스트로 나눌 수 있다. 소자의 특성과 신뢰성을 분석하는 기존의 테스트 항목들 중에는 편간 단락 또는 편간 누설저항을 테스트하는 항목들이 없다. 본 논문은 편간 현상을 모델링하고 현재의 DC 파라미터 테스트 방법을 수정하고 새로운 편간 DC 파라미터들을 테스트하는 방법을 제안한다. 실제로 제품 테스트를 통해 테스트 방법의 수정과 추가에 따른 제품 테스트의 신뢰성 향상을 확인하였다.

1. 서론

디지털 반도체 집적회로 소자 테스트(Test)의 목적은 소자의 규격서(Specification)에 의해 정의된 최악의 환경에서 소자가 설계된 기능(Function)들을 수행하는 지를 보증하는 것이다. 테스트는 제조과정에서의 실수 또는 재료의 불순물 및 소자의 결함(Defect) 그리고 제조공정의 불안정에서 기인하는 불량품을 대상으로 한다. 제조된 제품중 정상적인 동작을 하는 제품의 백분율을 수율(Yield)라 하고 수율이 100%가 아닌 경우에는 제품의 신뢰성을 위해 테스트를 해야 한다. 시중에 유통되는 제품중에서 불량품의 백분율을 결함율(Defect rate)이라고 하고 불

량품에서 테스트하여 검출해 백분율을 테스트율(Test rate)이라 한다. 수율을 Y 그리고 테스트율을 T라 하면 결함율 DL은

$$DL = 1 - Y^{(1-T)}$$

이다[1]. 고려해야할 또 다른 중요한 사항은 테스트 비용(Test cost)이다. 집적회로는 설계 및 제조 기술의 발전으로 초고집적화 되고 있으나 칩의 성능을 평가하는 테스트 기술은 기술 발전에 따라가지 못하고 있다. 제조원가 중 테스트 비용이 50% 이상을 차지함으로 집적회로의 테스트가 매우 중요한 의미를 가진다[2]. 따라서, 테스트 비용을 최소화하는 것이 제품 가격 경쟁력의 최대 변수가 될 것이다. 집적회로 반도체 소자 테스트는 평선 테스트(Function test), DC 및 AC 파라미터 테스트(DC & AC parametric

* 충청대학 전자과

** 충북대학교 전자공학과

test)로 나눌 수 있다. 평선 테스트는 진리표 형태 또는 ALPG(Algorithmic pattern generation)를 사용하여 테스트 벡터를 소자에 인가하여 소자가 예상하고 있는 것처럼 동작하는 것을 보증한다. DC 파라미터 테스트는 소자가 명시된 환경에서 동작하는 지를 보증하는 테스트로서 소자의 전류 소비, 누설전류 그리고 적절한 전압 레벨들에서 동작할 수 있는 소자 능력들을 측정한다. AC 파라미터 테스트는 전달지연과 속도 등 타이밍과 관련된 측정들이다. VLSI 소자의 특성과 신뢰성을 분석하는 기존의 테스트 항목들 중에는 패키지의 핀과 핀 사이에서 일어나는 현상을 테스트하는 항목들이 없다[3][4]. 일반적으로 핀간은 개방 상태로 단순히 생각하여 왔으므로 핀간 현상에 대한 연구가 미비한 실정이다. 소자의 집적도와 패키지 핀 수 증가에 따라 핀간에 다양한 결함 형태들이 발생되면서 종래의 테스트 방식으로는 이를 분석 및 평가하는데 있어서 한계가 있다. 따라서 본 논문은 핀간에 나타나는 결함들을 분석하고 중요한 결함들을 모델링 한다. 기존의 테스트 방법을 수정하고 핀간 결함을 새로운 테스트 파라미터로 정의하며 새로운 핀간 DC 파라미터 테스트 방법을 제안한다.

II. 결함 모델링과 일반적인 DC 파라미터 테스트 방법

통신용 집적회로의 크기와 복잡도가 증가하면서 회로 기능의 정상 동작을 검증하는 테스트가 매우 어려워짐에 따라 테스트 시간 및 비용이 많이 소요된다. 통신용 반도체 소자는 제조 과

정 또는 사용 중에 발생하는 오동작(malfunction) 불량률 테스트를 통하여 검증된다. 결함이나 오동작 등의 용어를 통틀어 고장(fault)이라고 한다. 즉 고장이란 결함에 의해서 비정상적인 오동작을 하거나 정상적인 동작에 영향을 미치지 않을 수가 있다. 고장 모델은 설계 수준에 따라 트랜지스터 수준(transistor level), 게이트 수준(gate level) 그리고 기능 수준(functional level)으로 나누어진다[5]. 정상적인 동작에 영향을 미치는 고장을 검출 가능한 고장(detectable fault)이라 하고 정상적인 동작에 영향을 미치지 않는 고장을 검출 불가능한 고장(undetectable fault)이라 한다. 검출 가능한 고장은 영구 고장(permanent fault)과 비영구 고장(nonpermanent fault)으로 나누어진다. 영구 고장은 영구히 소자에 영향을 미치는 고장으로 패키지 불량, 결함 소자, 칩 제작 오류 등으로 고장 모델링이 가능하다. 그러나 비영구 고장은 주변 환경의 변화에 따라 불규칙적으로 소자에 영향을 미치는 고장으로 모델링이 어렵다. 영구 고장은 논리 고장(logic fault)과 파라미터 고장(parametric fault)으로 구분한다. 논리 고장은 회로의 기능이 바뀌는 논리함수의 변화를 초래하는 고장으로 기능 테스트를 통하여 고장 검출이 가능하다. 파라미터 고장은 전기적 특성이 바뀌는 고장으로 DC 및 AC 파라미터 테스트로 고장 검출이 가능하다. CMOS 반도체 소자 결함 중 논리 고장은 평선 테스트로 소자 입력에 테스트 벡터를 인가한 후 소자 출력에서 논리 값을 확인하여 회로의 정상 동작을 검증한다. CMOS 공정에서 발생하는 결함들 중에서 단락(short) 및 개방(open) 고장이 가장 많이 발생한다[6,7,8,9]. 집적률이 높아짐에 따른 각 레이어(layer) 사이에서, 게이트 옥사이드 두께 감소 등으로 인한 소스,

게이트, 드레인 및 채널 사이의 단락 및 개방 고장 등이 일어난다. 이들 고장은 소자의 전원부(VDD, VSS)와 입출력 핀 사이의 전류의 양을 측정하는 DC 파라미터 테스트를 통하여, 단락 및 개방과 같은 물리적인 고장과 신뢰성에 영향을 주는 누설전류(leakage)등을 검증할 수 있다. CMOS 회로는 과도 상태(transient state)와 정적 상태(static state)의 두가지 상태가 있다. 고장이 없는 CMOS 구조는 정적 상태에서는 전류가 거의 흐르지 않는다. 그러나, 고장이 존재하면 정적 상태에서 기준치와 다른 값의 전류가 흘러 소자가 오동작 하거나 성능 저하를 일으켜 제품 신뢰성이 문제가 된다. 반도체 소자의 불량 유형은 EOS(electrical overstress)와 ESD(electrostatic discharge)에 의한 손상에 기인한 전기적 스트레스 불량, IC 내부 불량 그리고 외부 불량으로 분류할 수 있다[10]. IC 내부 결함은 내부회로의 기능 결함(function defect), 입력 또는 출력과 전원(VDD, VSS) 사이에 단락(short) 결함, 입력 또는 출력의 개방(open) 결

함, 그리고 핀간 단락(전원 단락은 제외) 결함 등으로 생각할 수 있다[11]. 내부회로의 기능 결함은 내부회로의 어떤 요소가 결함이 있어서 고장이 발생했거나 명시된 규격 범위를 벗어나 동작시킴으로써 기능 결함이 일어난다. 이러한 고장이 발생되면, 입력에 대한 적절한 출력 반응이 나타나지 않는다. 이 경우 대부분 내부의 어떤 요소가 고장인지를 알 수 없고, 출력 값을 예측하기란 불가능하다. 그림 1(a)는 핀간 단락된 경우로서 출력은 항상 입력과 반대 상태로 동작을 하게 된다. 입력 핀과 출력 핀 사이에 단락된 경우에 출력은 단락된 입력 핀과 항상 같은 상태 값을 갖게 되는 오동작을 한다. 단락된 부분은 그림 1(b)처럼 저항 형태로 결함이 존재할 수 있다.

그림 2는 실제 VLSI 소자에서 발생하는 핀간 결함 형태를 보여준다. 일반적으로 핀간 결함은 핀간 단락 또는 핀간 누설저항이 대부분을 차지한다.

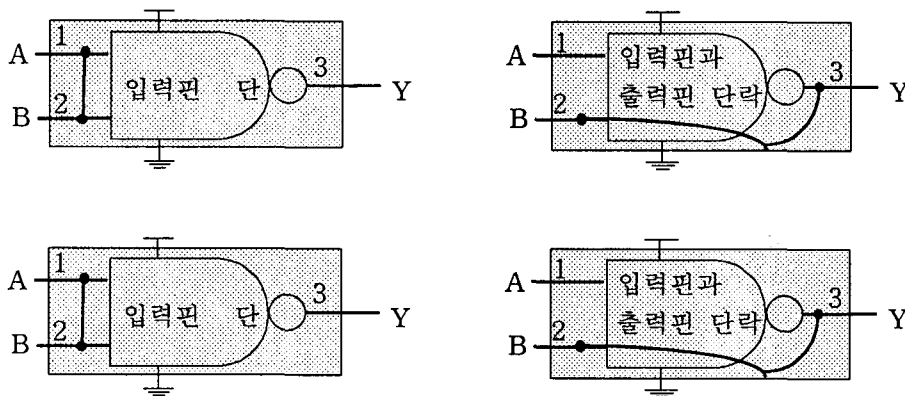
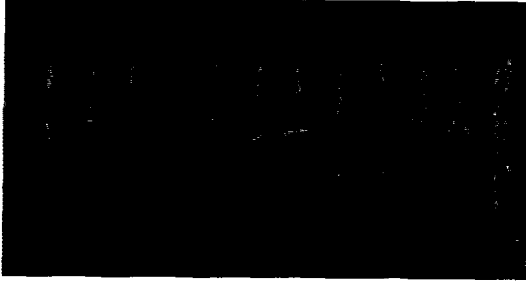


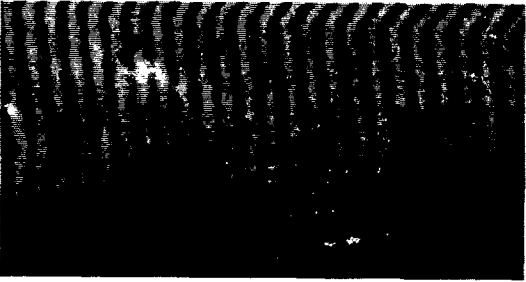
그림 1. IC 내부결함

Fig. 1. Internal fault of IC

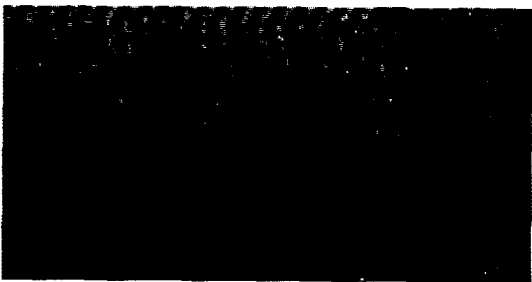
- (a) 핀간 단락 경우 (a) Case of short between pin and pin
- (b) 핀간 저항 경우 (b) Case of resistance between pin and pin



(a) 핀간 단락(또는 저항) 경우
(a) Case of short(or resistance) bet ween pin and pin



(b) LCD 드라이버 IC의 양품
(b) Good state of LCD driver IC



(c) LCD 드라이버 IC의 핀간 단락
(c) pin-to-pin short of LCD driver IC

그림 2. VLSI 소자의 핀간 결함 사진
Fig. 2. Pin-to-pin defect Picture of VLSI device

그림 2(a)는 LCD(Liquid Crystal Display) 드라이버 IC에서 핀간에 금속성 이물질로 인한 단락 불량이다. 핀(리드)간 피치는 약 $60[\mu\text{m}]$ 로 매우 좁다. 필름 위에 SR(Solder Resistor:코팅액) 처리하지만 LCD 판넬에 붙이는 곳은 금속이 표면에 나와 있어야 하는데 이 부분에 금속성 이물질이 붙어 있는 모습으로 단락 또는 저항으로 불량이 된다.

본 논문에서 검토하는 DC 파라미터들은 일반적으로 소자 테스트에 사용하는 개방/단락 테스트(open/short test)와 누설전류 테스트(leakage test)이다. DC 파라미터 테스트는 정적(Steady State) 테스트이다. 실제적으로 DC 파라미터들은 실리콘이 제공하는 저항값이다. 저항값은 소자의 동작 상태에 따라서 완전한 단락(도통) 상태, 반 단락 상태 또는 완전한 개방(절연) 상태로 변한다. 따라서 측정할 각 DC 파라미터에 대한 저항값을 계산하기 위해서 오옴 법칙을 사용한다. 모든 DC 파라미터 값들의 측정은 PMU(Parametric Measuring Unit)를 가진 자동검사장비(automatic test equipment, ATE)를 가지고 이루어진다. PMU는 프로그램된 전압(전류)을 인가하고 전류(전압)를 측정할 수 있으며 가장 정확하게 파라미터를 측정한다. 또한 PMU에는 측정되는 전압 및 전류값을 비교하는 두 개의 프로그램 가능한 리미터(limit)와 측정된 값을 제한하는 클램프(clamp) 기능을 가지고 있다. 테스트 프로그램에 따라 어떤 일정한 핀들에 그림 3처럼 PMU가 연결된다.

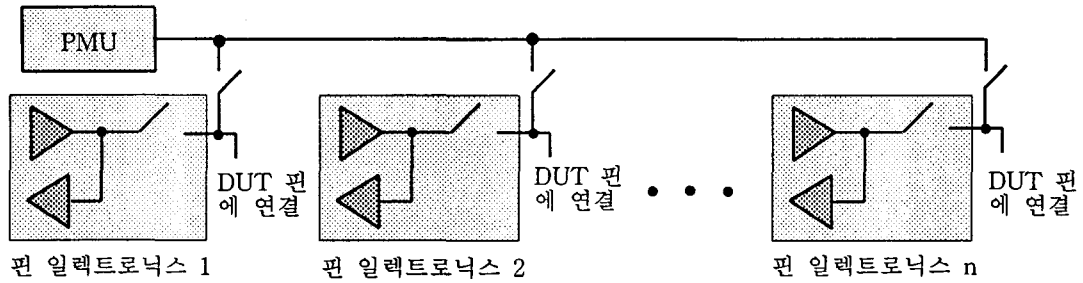
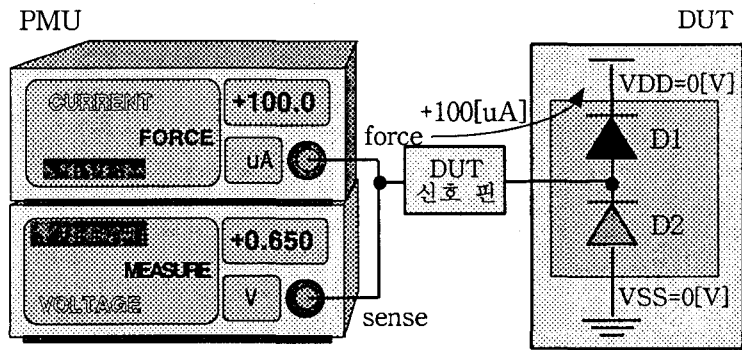
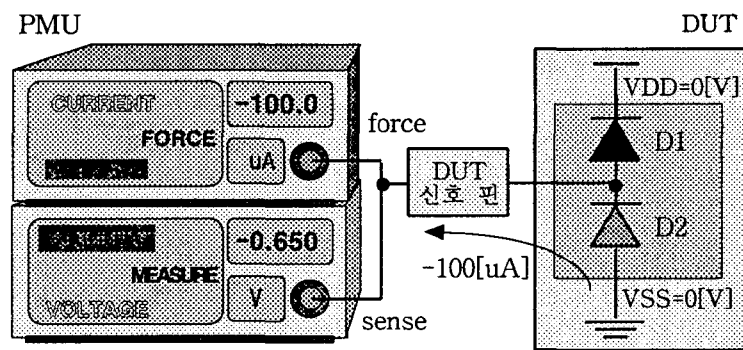


그림 3. 범용 PMU를 연결하기 위한 테스터 릴레이 구조
 Fig. 3. Tester relay structure for connecting universal PMU

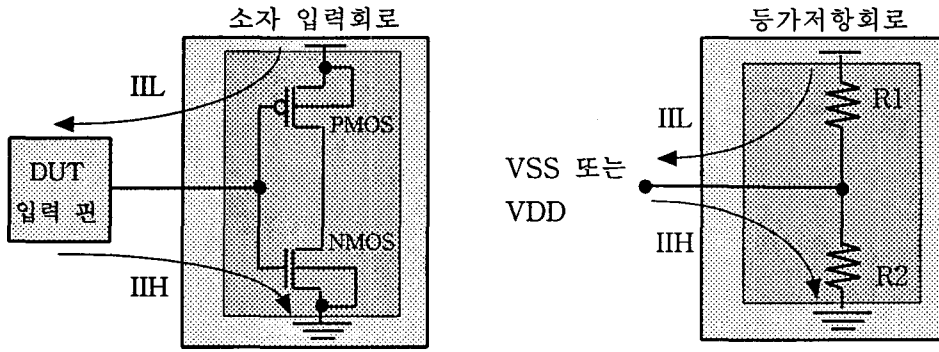


(a) VDD 다이오드 모델링과 테스트 방법 (a) VDD diode modeling and test method

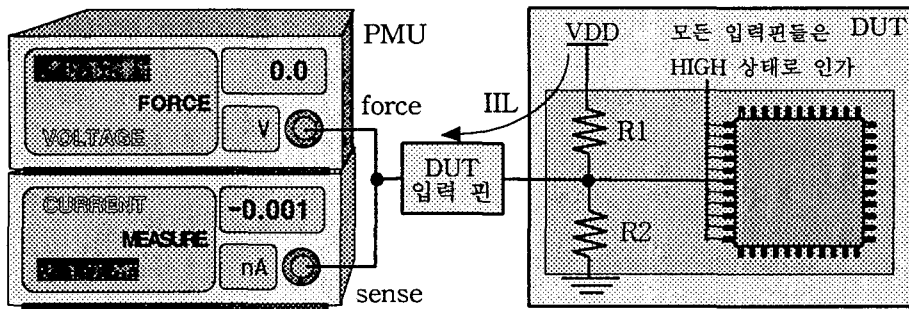


(b) VSS 다이오드 모델링과 테스트 방법 (b) VSS diode modeling and test method

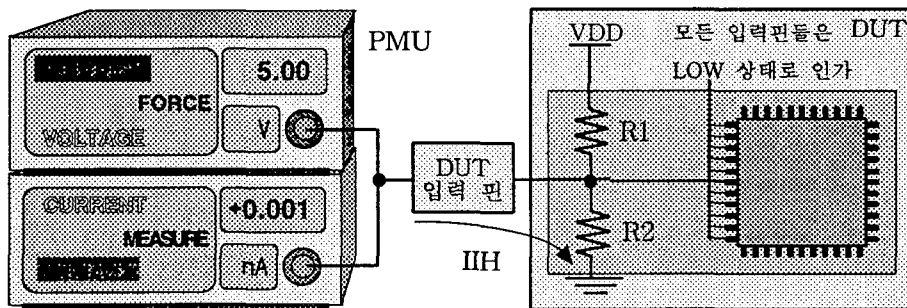
그림 4. 개방/단락 테스트 방법
 Fig. 4. Open/short test method



(a) 입력 누설전류 모델링 (a) Input leakage test modeling



(b) 입력 누설전류 IIL 테스트 방법 (b) Input leakage IIL test method



(c) 입력 누설전류 IIH 테스트 방법 (c) Input leakage IIH test method

그림 5. 입력 누설전류 모델링과 테스트 방법
Fig. 5. Input leakage modeling and test method

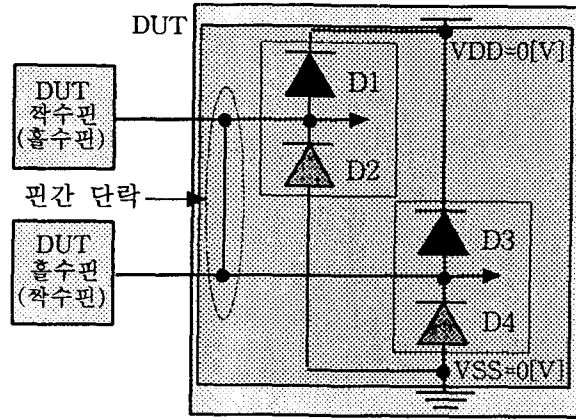
일반적인 개방/단락 테스트(normal open/short test)의 목적은 인터페이스와 DUT(Device Under Test)(웨이퍼 프로브들 또는 소켓접촉들) 사이의 접촉 여부와 소자의 내부 개방 또는 단락을 체크한다. 개방/단락 테스트는 소자의 입력 핀과 출력 핀에 있는 보호 다이오드(protection diode)에 걸리는 전압강하에 기초를 둔다. 핀에 설계된 보호 다이오드들은 VDD 보다 크거나 또는 VSS 보다 낮은 비정상적인 전압값들에 대해서 순방향 바이어스되어 회로를 보호한다. 개방/단락 테스트 모델링과 테스트 방법은 그림 4와 같다. 모든 핀들을 LOW 상태로 만든다. 핀의 보호 다이오드 D1(D2)에 PMU를 사용하여 +100(-100)[μ A] 전류를 인가하여 다이오드 턴온 전압(diode turn-on voltage)을 측정한다. 턴온 전압이 0.1(-0.1)[V]과 1.0(-1.0)[V] 사이에 있으면 정상적인 상태로 그림 4의 PMU 측정 값 +0.65(-0.65)[V] 형태로 양품 판정을 한다. 만약 측정 전압이 0.1(-0.1)[V] 보다 작을 때는 핀이 단락된 것으로 나타나고, 1.0(-1.0)[V] 보다 클 때는 핀이 개방된 것으로 불량 판정을 하는데 다이오드가 완전히 개방 또는 단락 상태이면 PMU의 클램프 값으로 나타난다.

이상적으로, 입력핀들은 개방 회로로 고임피던스(high impedance)상태로 생각한다. 각 입력 핀에 흐르는 최악의 전류량을 입력 누설전류(input leakage)라고 부르며 입력핀과 VDD(VSS) 사이의 저항에 흐르는 전류 IIL(IIIH)를 말한다. 일반적인 입력 누설전류 테스트(normal input leakage test) 방법은 먼저 소자의 모든 입력 핀들을 측정될 반대 상태로 세트되도록 한다. 그리고 나서, 최악의 전압상태(VIH에 대한 VDD; VIL에 대한 VSS)를 각 입력 핀에 인가하고 측정범위(limit)에 대해서 측정하거나 비교한다. 입

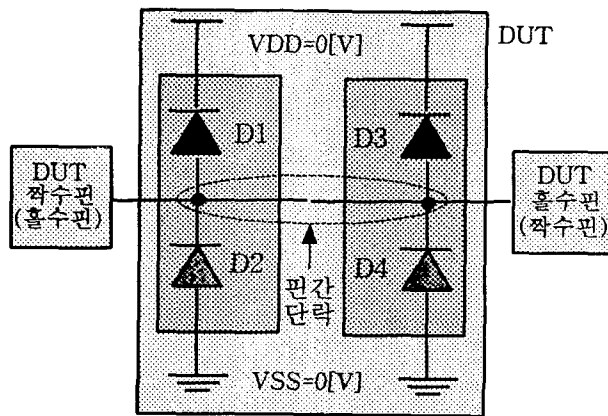
력 누설전류 모델링과 테스트 방법은 그림 5와 같다. IIL(IIIH) 전류를 측정하기 위해서 모든 입력 핀들을 HIGH(LOW) 상태로 만든다. 각 입력 핀마다 0.0(5.0)[V]를 인가하고 누설저항에 걸리는 입력 누설전류를 IIL(IIIH)를 측정한다. CMOS 소자의 입력 누설전류 규격은 보통 $\pm 1[\mu$ A] 이다. 따라서 측정된 전류가 $\pm 1[\mu$ A] 내에 있으면 양품 판정을 하고, 벗어나면 불량 판정을 한다.

III. 핀간 결함 모델링과 새로운 핀간 DC 파라미터 테스트 방법

개방/단락 테스트는 각 핀마다 단락 및 개방 상태를 테스트한다. 그러나 만일 그림 6처럼 인접한 핀간 단락상태가 발생하면 정확한 단락 상태를 테스트를 할 수 없다. 그림에서 짝수 핀과 홀수 핀이 단락되어 있으므로 D1(D2) 다이오드가 개방 상태인 경우에 홀수 핀의 D3(D4) 다이오드가 D1(D2)을 대신하게 되므로 정상적인 회로가 되어 불량을 찾을 수 없다. 핀간 단락에서 D1(D2) 다이오드가 단락 상태인 경우에는 짝수 핀과 홀수 핀은 전원부(VDD, VSS)의 상태, 즉 0[V]가 되므로 어느 핀이 불량인지를 정확하게 판정할 수 없게 된다. 따라서 핀간 단락에서 발생할 수 있는 불량 현상들을 확인할 수 있는 테스트 방법이 필요하다. 즉 핀간 단락 불량을 테스트할 수 있어야 제품의 정확한 불량 형태를 파악하고 분석하여 제품의 신뢰성을 높일 수 있다.



(a) 핀간 단락 모델링
(a) Pin-to-pin short modeling



(b) 핀간 단락 등가 회로
(b) Equivalent circuit of pin-to-pin short

그림 6. 핀간 단락이 발생한 회로 모델링
Fig. 6. Pin-to-pin short circuit modeling

본 논문은 개방/단락 테스트와 핀간 단락을 구별하는 테스트 알고리즘을 제안한다. 즉 개방/단락에서 핀간 단락에 의한 영향을 제거한 수정된 개방/단락 테스트(Modified open/short test, O/S test)와 핀간 단락 테스트(Pin-to-pin short test, S_{PP} test)로 나눈다. 수정된 개방/단락 테스

트는 그림 4에서 모든 입력 핀들을 부동(float) 상태로 만들고 각 핀에 전류를 인가하고 전압을 측정한다. 인접 핀들이 부동 상태에 있으므로 핀간 단락에 의한 영향은 제거된다. 수정된 개방/단락 테스트 후에 핀간 단락 테스트를 실시한다.

핀간 단락 테스트(Pin-to-pin short test, S_{pp} test) 방법을 그림 7처럼 제안한다. 핀들을 인접 핀으로 모델링하기 위해서 짝수 핀과 홀수 핀으로 구분한다. 홀수(짝수) 핀에 연결된 테스트 장비의 PMU를 오픈하고 핀 일렉트로닉스(PE)를 통하여 0[V]를 인가한다. 짝수(홀수) 핀은 PE를 오픈하고 PMU를 연결한다. PMU를 사용하여 짝수(홀수) 핀에 $0.0[\mu A]$ 를 인가하고 전압을 측정한다. 만일 짝수 핀과 홀수 핀이 단락되어 있으면 홀수(짝수) 핀에 인가한 0[V] 전압이 측정되어 단락 불량으로 판정된다. 두 핀이 개방되어 있으면 PMU 클램프(clamp) 전압 3[V]가 측정되어 양품으로 판정된다.

상태가 되어 그림 8(b)처럼 등가 저항 회로로 모델링 된다. 회로에서 R3는 양단에 VDD와 HIGH 상태가 되고 R2는 양단에 VSS와 LOW 상태가 되므로 개방(open) 상태가 된다. 짝수 핀의 I_{IH} 전류를 측정한다면 짝수 핀은 HIGH(VDD) 상태, 홀수 핀은 LOW(VSS) 상태가 되어 그림 8(b)처럼 등가 저항 회로로 모델링할 수 있다. 회로에서 R1는 양단에 VDD와 HIGH 상태가 되고 R4는 양단에 VSS와 LOW 상태가 되므로 개방 상태가 된다. 핀간 누설저항(R_{pp})으로 인해서 누설전류는 핀간 누설전류만큼 증가한다. 입력누설전류 측정시, I_{IL} 은 모든 입력 핀들을 HIGH 상태로 만들고 측정하고

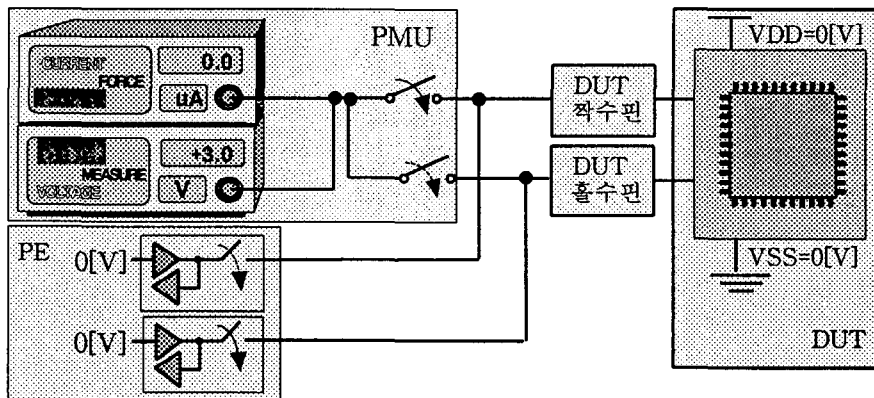


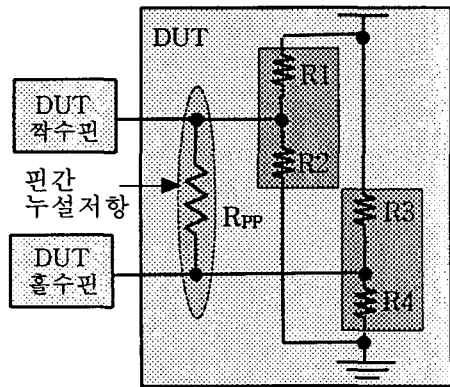
그림 7. 핀간 단락 테스트 방법
Fig. 7. Pin-to-pin short test (S_{pp} test) method

입력 누설전류 테스트는 입력핀과 전원 (VDD/GND) 사이에 흐르는 누설전류를 측정하는 것이다. 만일 그림 8(a)처럼 인접한 핀과 핀 사이에서 누설 저항이 존재하면 정확한 누설전류 테스트를 할 수 없다. 누설전류 테스트 조건에 따라 짝수 핀의 I_{IH} 전류를 측정한다면 짝수 핀은 LOW(VSS) 상태, 홀수 핀은 HIGH(VDD)

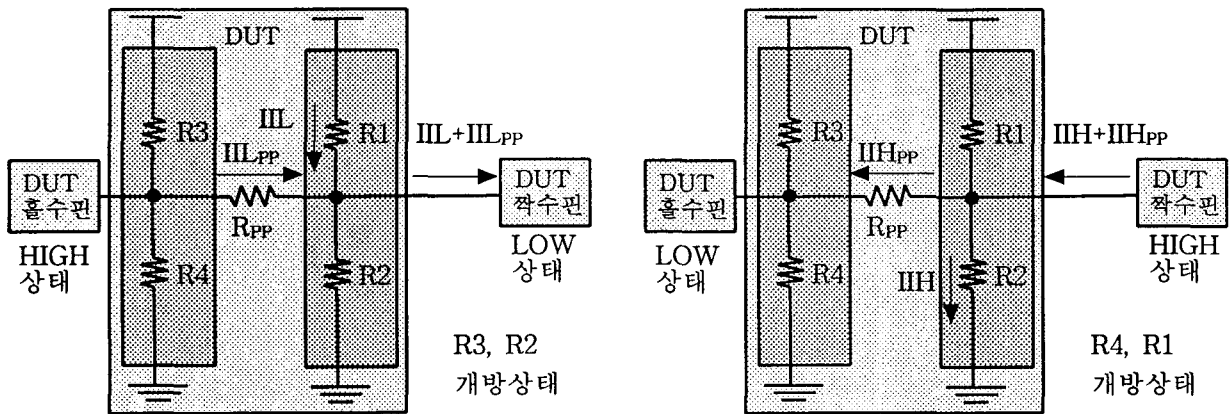
자 하는 핀만 LOW 상태로 하여 측정하므로 인접 핀간 누설전류(I_{Lpp})도 동시에 더해져서 측정된다. I_{IH} 는 모든 입력 핀들을 LOW 상태로 만들고 측정하고자 하는 핀만 HIGH 상태로 하여 측정하므로 인접 핀간 누설전류(I_{Hpp})도 동시에 더해져서 측정된다. 따라서 누설전류가 입력누설전류(I_{IL}/I_{IH})와 핀간 누설전류(I_{Lpp}/I_{Hpp})

의 합으로 나타나게 되므로 누설전류의 영향을 정확하게 파악할 수 없다. 입력누설전류와 핀간 누설전류를 구별할 수 있는 새로운 테스트 알고리즘이 필요하다.

누설전류 테스트(Modified input leakage test, IIL/IIH test)와 핀간 누설전류 테스트(Pin-to-pin leakage test, IIL_{PP}/IIH_{PP} test)로 나눈다. 수정된 입력 누설전류 테스트 IIL(IIH)은 그림 7에서 모든 입력 핀들을 LOW(HIGH) 상태로 만들고 각 핀에 0.0(5.0)[V]를 인가하고 입력 누설전류 IIL(IIH)를 측정한다. 인접 핀들이 LOW(HIGH) 상태에 있으므로 핀간 누설저항 양단이 LOW(HIGH) 상태가 되어 핀간 누설전류 IIL_{PP}(IIH_{PP})는 0[A]가 된다. 따라서 핀간 누설전류가 제거된 순수한 입력누설전류(IIL/IIH)만이 측정된다. 핀간 누설전류 테스트(IIL_{PP}/IIH_{PP})는 입력 누설전류 테스트 후에 수행한다. 입력 누설전류 테스트가 통과되면 핀간 누설저항에 대한 핀간 누설전류만을 고려하면 된다.



(a) 핀간 누설저항 모델링 (a) Pin-to-pin leakage resistance modeling



(b) 핀간 누설전류 등가 저항 회로 (b) Equivalent resistance circuit of pin-to-pin leakage

그림 8. 핀간 누설저항(R_{PP})이 존재하는 회로 모델링
Fig. 8. Pin-to-pin resistance(R_{PP}) circuit modeling

본 논문은 입력 누설전류와 핀간 누설전류를 구별하는 테스트 알고리즘을 제안한다. 입력누설전류를 핀간 누설전류를 제거한 수정된 입력

기존의 VLSI 소자 규격서에는 핀간 누설전류에 대한 규정이 없다. 제조기술에 따라 허용되는 핀간 누설저항은 다양한 값을 가질 수 있으

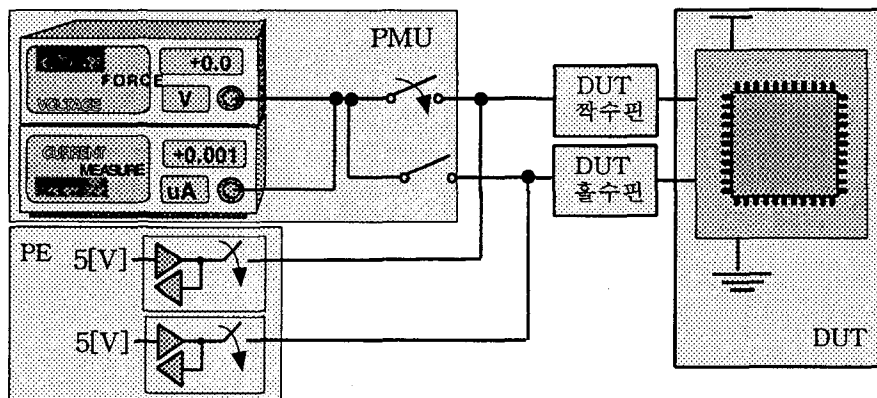
므로 이에 따른 규정이 정해져야 한다. 표 1은 누설전류 파라미터에 대한 DC 특성을 나타내었다. 본 논문에서는 CMOS 공정의 VLSI 소자를 기준으로한 입력 누설전류 값의 10%를 핀간 누설전류 값으로 정하면 핀간 누설전류 규격은 $\pm 0.1[\mu A]$ 로 규정된다. 핀간 누설전류 파라미터를 정의하였으므로 이를 측정하는 핀간 누설전류 테스트가 필요하다[12].

핀간 누설전류 테스트(Pin-to-pin leakage test, I_{LPP}/I_{LHPP} test) 방법을 그림 9처럼 제안한다. 짝수 핀과 홀수 핀에 연결된 PMU는 오픈하고 PE를 통하여 각 핀에 5.0(0.0)[V]를 인가한다. 짝수(홀수) 핀에 PMU를 연결하면 자동적으로 PE는 끊어진다. PMU를 사용하여 짝수(홀수) 핀에 0.0(5.0)[V]를 인가하고 전류를 측정한다. 짝수 핀과 홀수 핀 사이에 누설저항이 존재하면

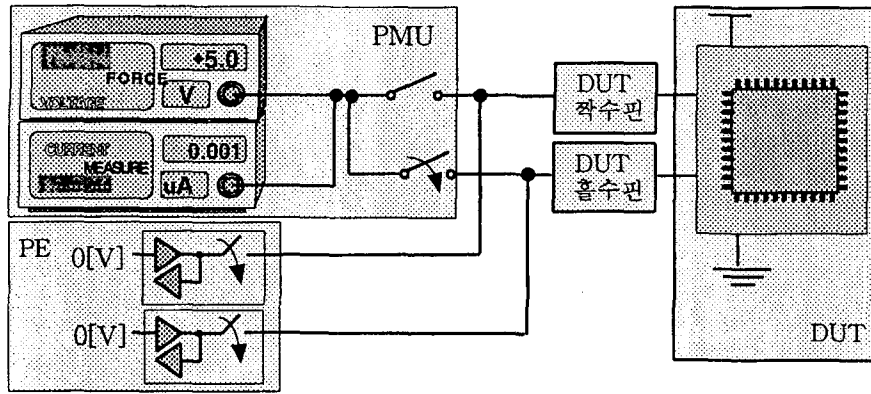
표 1. 누설전류에 대한 DC 특성표

Table 1. DC characteristic table of leakage parameter

테스트 파라미터 (test parameters)	심볼 (symbol)	테스트 방법 (test method)				단위 (unit)	비고	
		핀 이름 (pin name)	조건 (condition)	값(value)				
				Min.	Typ.	Max.		
입력 누설전류 (input leakage current)	I_{L}/I_{H}	입력 핀	VDD=5V, Vin=0V VSS=0V, Vin=5V	-	-	+1	μA	기준
핀간 누설전류 (pin-to-pin leakage)	I_{LPP}/I_{LHPP}	입력 핀	Vin=0V(짝수핀), Vin=5V(홀수핀) Vin=0V(홀수핀), Vin=5V(짝수핀)	-	-	+0.1	μA	신설



(a) I_{LPP} 테스트 (a) I_{LPP} test



(b) IHHPP 테스트 (b) IHHPP test

그림 9. 핀간 누설전류 테스트 방법

Fig. 9. Pin-to-Pin leakage current test method

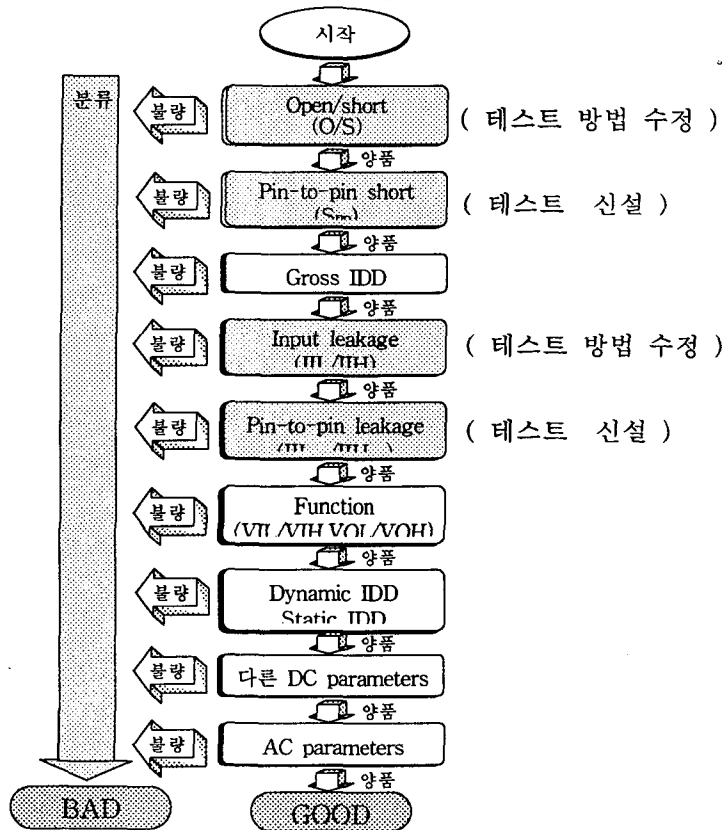


그림 10. 테스트 흐름도

Fig. 10. Flow diagram of test

편간 누설전류 $I_{LPP}(I_{HPP})$ 가 측정된다. 만일 누설저항이 없으면 핀과 핀 사이는 개방상태이므로 $I_{LPP}(I_{HPP})$ 는 0[A]가 측정된다.

본 논문은 기존 테스트 파라미터인 개방/단락 및 누설전류의 테스트 방법을 수정하여 편간 결합 현상들을 분리 테스트하고 편간 결합의 대부분을 차지하는 편간 단락 및 편간 누설전류를 테스트하는 새로운 방법들을 제안하였다. 그림 10은 테스트 파라미터를 테스트하는 기존의 방법과 기존 방법을 변경하여 새로이 편간 테스트 파라미터들을 첨가한 테스트 흐름도를 나타내었다. 파라미터 테스트 순서는 소자의 특성과 제품 생산시의 파라미터의 불량 유형에 따라 변경될 수 있다.

IV. VLSI 소자 테스트 결과 및 고찰

기존의 테스트 방법과 수정 및 신설된 테스트 방법을 검증하기 위해서 실제 테스트용 IC에 대

해서 앞에서 모델링한 테스트 항목들을 어드반 테스트 회사의 ATE(Automatic Test Equipment)로 테스트한 결과를 표 2에 나타내었다. 표 2는 실제 생산되고 있는 LCD 구동(Liquid Crystal Display driver) 소자를 테스트 요약 결과를 나타낸 것이다.

표에서 평선 테스트의 결과가 기존 방법과 수정 및 신설 방법에서 다르게 나왔다. 편간 단락 불량들은 기존 테스트 방법에서는 평선 테스트 불량으로, 편간 누설전류 불량들은 입력 누설전류 불량으로 분류(binning)되었다. 그러나 본 논문에서 제안한 수정 및 신설된 테스트 방법에서는 편간 단락에 의한 평선 불량은 편간 단락 테스트에서, 편간 누설저항에 의한 누설전류 불량은 편간 누설전류 테스트에서 불량 분류를 하였다. 따라서 기존 테스트 방법 보다 수정 및 신설 테스트 방법이 편간 불량 현상들을 정확히 불량 분류를 하므로 제품의 신뢰성을 검증하는데 적합함을 알 수 있다.

편간 테스트 항목들의 추가는 테스트 시간을 증가시키므로 테스트 비용이 증가된다. 편간 불량들은 평선 테스트에서 대부분 불량으로 결

표 2. LCD 구동 소자의 테스트 요약
Table 2. Test summary of LCD driver device.

SUMMARY SHEET (개)	총 개수 (%)		1402 (100.00)		비고
	양품 개수 (%)		798 (56.92)		
	불량 개수 (%)		604 (43.08)		
테스트 파라미터	기존 (개)	비율 (%)	수정 및 신설 (개)	비율 (%)	
개방/단락	106	7.56	106	7.56	
편간 단락	없음	-	73	5.21	없음(테스트파라미터)
입력 누설전류	22	1.57	17	1.21	
편간 누설전류	없음	-	5	0.36	없음(테스트파라미터)
평선	425	30.31	352	25.10	
전원소비	3	0.22	3	0.22	
기타 테스트	48	3.42	48	3.42	

려지므로 수율이 안정되면 필요에 따라서 핀간 테스트를 생략하여 테스트 시간을 줄이면 테스트 비용을 감소할 수 있다.

V. 결론

VLSI 소자의 고집적화에 따른 테스트 파라미터들의 증가로 신뢰성 향상을 위해서 현재의 테스트 방법을 수정하고 추가할 필요가 있다. 소자의 집적도와 패키지 IC의 핀 수 증가에 따라 핀간에 다양한 결함 형태들이 발생되므로 본 논문은 이를 분석하고 평가하는 기존의 개방/단락 테스트와 누설전류 테스트에서 핀간 현상을 제거한 수정된 테스트 방법을 제안하였다. 그리고 핀간 현상을 정의하고 주 결함 원인인 핀간 단락 또는 핀간 누설저항을 모델링하여 핀간 단락 테스트와 핀간 누설전류 테스트 방법을 새로이 제안하였다. 실제 VLSI 소자 테스트를 통해서 테스트 항목의 수정과 신설에 따른 제품 테스트의 신뢰성 향상을 확인하였다.

핀간 테스트 항목들은 소자의 초기 개발 단계에서 많이 나타난다. 제품 개발 단계에서는 공정의 불안정과 다양한 원인들로 인해서 제품의 수율이 낮게 나타날 때 핀간 불량들이 주원인이 되는 경우가 많다. 따라서 수율 및 신뢰성 향상을 위해서 새로운 DC 파라미터 테스트로 핀간 단락 테스트와 핀간 누설전류 테스트가 요구된다. 향후 핀간 현상 및 현재의 테스트 파라미터들을 분석 및 검토하여 제품의 신뢰성을 향상할 수 있는 연구를 진행할 예정이다.

참고문헌

- [1] Anthony K. Stevens, "Introduction to Component testing" ADDISON-WESLEY PUBLISHING COMPANY, pp.3-7, 1985
- [2] T.W. Williams and N.C. Brown, "Defect Level as a Function of Fault Coverage" IEEE Trans. Computers, vol. c-30, no. 12, pp.987-988, December 1981
- [3] A. Keshavarzi, K. Roy, C. Hawkins, "Intrinsic Leakage in Low-Power Deep Submicron CMOS ICs", International Test Conference, pp.146-155, 1997
- [4] Williams Merkel, "Parametric Testing to Improve Semiconductor Yields" Semiconductor Online Company, 03/12/1998
- [5] J.A. Abraham, W.K. Fuchs, "Faults and error models for VLSI", Proc. IEEE, vol. 74, no. 5, pp.634-654, May 1986
- [6] W. Maly, "Realistic fault modeling for VLSI testing" in Proc. Design Automation Conf., pp. 173-180, 1987
- [7] F. J. Ferguson and J. P. Shen, "A CMOS fault extractor for inductive fault analysis" IEEE Trans. Computer-Aided Design, Vol.7, No.11, pp.1181-1194, Nov. 1988
- [8] J. M. Sorden, R. K. Treece, M. R. Tailer, and C. F. Hawkins, "CMOS IC stuck-open fault electrical effects and design consideration" in Proc. Int. Test Conf., pp. 423-430, Aug. 1989
- [9] S. D. millman, E. J. McCluskey, and J. M.

- Acken, "Diagnosing CMOS bridging faults with stuck-at fault dictionaries" in Proc. Int. Test Conf., Sept. 1990, pp.860-870
- [10] E.A. Amerasekera , D.S. Campell, "Failure Mechanics in Semiconductor Devices" JOHN WILEY & SONS, pp.12-80, 1987
- [11] 박용수, "디지털 논리 설계와 응용", 복두출판사, pp.250-253, 1999
- [12] 박용수 외 4, "VLSI 소자의 DC 파라미터 테스트 모델링 연구", 대한전자공학회 하계종합학술대회 논문집, 제22권 1호, pp.891-894. 1999

A Study of New DC Pin-to-pin Parametric Test of VLSI Device using Communication

Yong-Su, Park*/Heung-Gyoon, Ryu**

Abstract

The test of digital VLSI devices is to insure that the device will perform all of its designed functions while in the worst-case environments. According to increasing the integration of the communication device, there are important consideration about the improvement of the reliability in the product. To improve the reliability of the device, the test parameters and test time are increased. There are basically three kinds of tests: functional, DC parametric, and AC parametric. There are no pin-to-pin short test and pin-to-pin leakage test in the present test items to analysis the characteristics and reliability of the device. The purpose of the paper is to model the pin-to-pin phenomenon and propose to modify the test method and to test the new pin-to-pin DC parameters. These modified and additive test items were applied to product test and confirmed to improve the reliability of product test.

* Dept. of Electronic Eng., Chungcheong College

** Dept. of Electronic Eng., Chungbuk National Univ.