

디지털 직접 주파수 합성기를 이용한 16-QAM 변조기 설계

A Design of 16-QAM Modulator by use of Direct Digital Frequency Synthesizer

유 상 범*, 유 흥 균*

(Sang Burm Ryu*, Heung Gyoon Ryu*)

요 약

고속 데이터를 전송하기 위하여 높은 스펙트럼 효율의 QAM 변조기를 설계하는 것은 매우 중요하다. 본 논문에서는 대표적인 16-QAM 변조기를 직접 디지털 주파수 합성기(DDFS)를 응용하여 설계하였다. 직접 디지털 주파수 합성기는 외부 주파수 설정에 의해 디지털 방식으로, 원하는 주파수의 정현파를 출력한다. 발생하는 위상 증가 값을 제어하여 정확한 위상변조를 할 수 있으며, 진폭 성분의 변화는 D/A 컨버터의 출력에서 발생하는 진폭을 변화시켜 진폭 변조하여, 전체적인 QAM 변조기를 설계한다. glitch와 같은 고조파 성분의 억제에 위하여 DDFS를 이중구조 형태로 설계하여 개선된 출력 파형을 확인하였다. 회로 설계는 P-SPICE를 사용하였다. 아날로그 디지털 혼합모드로 시뮬레이션하여 16-QAM 변조 파형을 확인하였고, 출력 데이터의 성상도를 출력하여 설계되어진 결과를 확인하였다.

ABSTRACT

It is very important to design of QAM modulator of high spectral efficiency for high speed data transmission. In this paper, typical 16-QAM modulator is designed by modification design of DDFS(direct digital frequency synthesizer). DDFS generates sinusoidal waveform digitally to the frequency setting word. Phase modulation is accurately made by control of a generated phase increment value and amplitude modulation is accomplished in the D/A converter output by control of amplitude level. For the suppression of harmonics and glitch, dual-structured DDFS is studied to improve the spurious characteristics. P-Spice is used for design and simulation in mixed mode. Also we can get the satisfactory results of designed 16-QAM modulator from the constellation output.

I. 서 론

QAM(Quadrature amplitude modulation)방식은 디지털 변조방식 중에서 동일한 대역폭을 가지면서 고속의 데이터를 전송할수 있는 방법으로 많은 활용이 되어지고 있다. QAM 방식은 대표적으로 Square QAM과 Star QAM으로 나누어 질 수 있는데 이 두 방식의 차이점은 성상도 상에서의 표현되어지는 방법이라 할수 있다. 이 중에서 Star QAM 방식은 실내 무선 환경에서 fading의 영향을 덜 받는 방법으로 알려져 있으며 비동기 방식으로 사용되어질 수 있다. 직교 진폭 변조(QAM)에서 정확한 위상의 변화는 변조기 설계에 있어서 성상도에 원하는 지점이 출력됨을 확인하는 과정에서 매우 중요하기 때문에, 아날로그 회로에서는 I채널과 Q채널을 혼합하는 연구가 활발히 진행되고 있다.

본 논문은 주파수 합성기의 한 방식으로 분류되는

DDFS(Direct digital frequency synthesizer)를 사용하여, 진폭과 위상을 동시에 디지털 정보에 따라 제어가능하게 동작시키는 방법을 고안하여, 16-QAM 변조기를 설계하여 디지털적으로 위상과 진폭을 혼합하였다.

직접 디지털 주파수 합성기(DDFS)란 하나의 기준 주파수를 통하여 여러 주파수를 발생 시키는 것으로 외부의 선택에 따라 출력 주파수에 맞는 위상 값을 발생시키는 위상누산기와 진폭값을 사인 값으로 바꾸는 사인롬과 원하는 파형으로 변환 시킬 수 있는 위상 변환부로 이루어진다. 여기에서 일정한 위상 값을 발생시키는 위상 누산기는 항상 일정한 캐리를 발생시키는데 이 캐리를 적절히 이용하면 위상 변조를 할때 항상 한주기의 파형이 시작하는 지점에서 위상을 제어할 수 있다.

또한 DDFS는 여러개의 주파수를 발생 시킬 수 있으므로 필터 회로의 설계가 매우 복잡해지는 데 최근 VLSI와 ASIC 기술이 발달하면서 대용량의 회로가 직접될수 있으므로 본 논문에서는 이러한 글리치 성분을 이중구조를 통하여 억압하여 PSK(Phase shift keying)할때 발생하는 진폭성분의 변동을 억압하여 파형과 성상도로 표현하

* 충북대학교 전자공학과

접수일자: 1999년 3월 6일

였다. 이중구조 DDFS를 사용하면 글리치를 제거하고 스퍼리어스를 억압할 수 있다는 것은 이미 증명된 바 있다[1]. 정확한 ASK(amplitude shift keying)의 변화를 수행하기 위해 병렬 가산기를 사용하여 같은 숫자를 연속적으로 더해줌으로써 고속의 진폭 변화를 수행 할 수 있게 설계 하고 진폭의 변화는 정수배로 나타나도록 설계하였다. 디지털-아날로그 혼합 시뮬레이션은 PSPICE에서 수행 하였으며 출력 파형의 데이터를 성장도로 표현하였다.

II. DDFS(Digital directed frequency synthesizer)의 구조

2.1 DDFS의 일반적 구조

DDFS의 일반적인 구조는 외부의 디지털 입력 신호에 따라 일정한 위상 값을 발생시키는 위상 누산기와 이 값 들을 발생 시키고자하는 파형의 진폭 값으로 변환 시켜주는 위상 진폭 변환기, 그리고 사인함의 데이터를 디지털-아날로그 변환기를 사용하여 아날로그 신호로 변환하고 파형을 정형하는 저역 통과 여파기로 구성된다. 그림 1은 일반적인 DDFS의 기본 구성도이다[2].

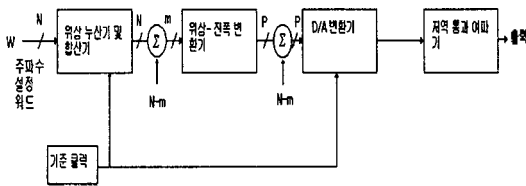


그림 1. DDFS의 기본 구성도
Fig. 1. Block diagram of DDFS.

위상누산기는 주파수 설정 워드(frequency setting word) 값이 계속해서 더해져진 위상값을 출력하며 수식은 식 (1)과 같이 된다.

$$S(n) = S(n-1) + W \tag{1}$$

여기서 W는 주파수 설정 워드이고 위상 진폭 변환기가 사인 함수를 갖는다면 누산기의 출력 값은 사인함의 진폭 값을 선택하는 위상 값이 되고 ωt 나 클럭 샘플 데이터 $W_n T$ 로 쓸 수 있고 여기서 T는 위상 누산기를 동작시키는 클럭의 주기이며 N은 입력의 비트 수이다. 여기서 $\omega = \frac{d\phi}{dt}$ 이기 때문에 출력 주파수는 식 (2)이다.

$$F_{out} = 2\pi \frac{d\phi}{dt} = \frac{W}{2^N/T} = \frac{F_{ck}W}{2^N} \tag{2}$$

하나의 정현파를 형성하기 위해서는 최소한 두 번은 위상 진폭 변환기의 출력 값이 변화되어야 하므로 최대

주파수는 식 (3)과 같다.

$$F_{out(max)} = \frac{1}{2} F_{ck} \tag{3}$$

주파수 해상도는 주파수 합성기가 발생시킬 수 있는 최소의 주파수이며 식 (4)와 같다.

$$F_{res} = \frac{1}{2^N} F_{ck} \tag{4}$$

사인함은 사인함수를 갖는다면 위상 진폭 변환기의 저장 데이터는 사인이나 코사인 중 $\pi/2$ 나 π 주기만큼 만 저장하여 위상 진폭 변환기의 크기를 감소시키며 외부에서 나머지 주기를 표현해 줄 수 있도록 제어한다[3].

2.2 설계된 이중구조 DDFS의 구조

일반적인 DDFS의 구조를 단일 구조로 보면 이중구조 DDFS의 구조는 두 개의 DDFS를 가지고 출력을 합성하는 방법이며 감산기(subtractor)를 사용하여 합성하였고 위상 변조를 하기 위한 변조기 부분을 추가하였다. 그림 4에서와 같이 이중구조 DDFS에서 스퍼리어스를 억압하기 위하여 두 개의 출력이 정확한 180°의 위상 차를 유지하여야 하며 이를 감산기 회로에 합성하면 스퍼리어스를 억압할 수 있음은 증명된 바 있다. 그림 2는 설계된 이중구조 DDFS의 구조이며 위상 변조 기능을 추가하였다[1].

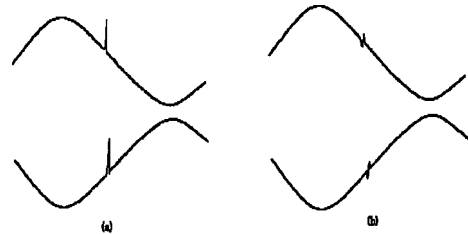


그림 2. (a)기존 DDFS의 글리치, (b)이중 구조 DDFS의 글리치
Fig. 2. (a)Glitch of DDFS, (b)Glitch of Dual structured DDFS.

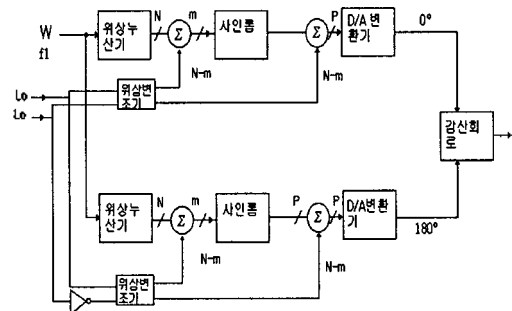


그림 3. 디지털 변조 기능이 있는 이중 구조 DDFS의 구조
Fig. 3. Block diagram of Dual structured DDFS with Digital Modulation.

III. DDFS를 사용한 QAM 변조기의 설계

DDFS를 사용하여 많은 변조 방식의 구현이 가능하다. 하지만 모두 위상의 변화나 파형의 변화이고 진폭을 변화시키고자 한다면 곱셈기가 필요하다. 곱셈과정에서도 지연 시간이 오래 걸리지 않도록 파이프라인 방식으로 설계하였고 같은 숫자를 연속적으로 더해주는 방식으로 하여 고속의 계산이 가능하도록 하였다. 입력 데이터를 병직렬 변환기에서 I채널과 Q채널로 분리하여 위상 제어 신호로 사용하고 진폭 신호로 \bar{I} 와 \bar{Q} 신호로 분리하여 다른 16-QAM과 달리 증폭기가 송신기의 전력 증폭기의 특성이 선형이라는 가정하에 그리고 디지털 회로에서는 진폭값을 정밀한 배수관계로 증폭할 수 있으므로 진폭을 4개로 변화하여 16-QAM을 구현하였다.

3.1 일반적인 QAM 변조기의 구조

우선 일반적인 QAM의 구조를 살펴 보면 ASK 변조와 PSK 변조를 조합한것으로 볼수 있으며 출력하고자 하는 위상과 진폭을 좌표상에 출력하는 것으로서 나타낼수 있다. QAM은 직교 진폭 변조라고도 하며 그림 11에 일반적인 구성도를 나타냈다.

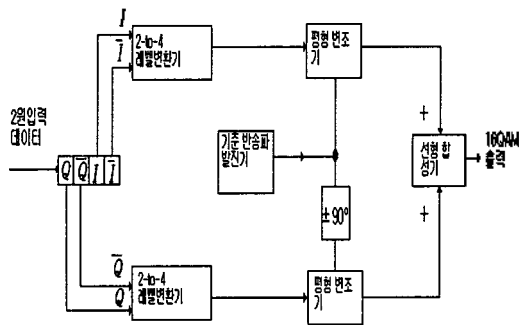


그림 4. 기존의 QAM 변조기의 구성도
Fig. 4. Block diagram of QAM.

QAM은 두개의 독립된 베이스 밴드 신호계열을 서로 90°의 위상차를 이루는 cosine과 sine을 ASK한것과 합성하여 송출하면 스펙트럼 효율을 2배로 향상 시킬수 있다는 것이다. 그림 4에서의 출력 파형은 식 7과 같다.

$$s(t) = U_I(t) \cos 2\pi f_c t - U_Q(t) \sin 2\pi f_c t \quad (7)$$

그림 4에서 I와 Q신호는 위상 신호가 되고 \bar{I} 와 \bar{Q} 는 진폭신호가 되며 극성에 따라 출력이 되고 2-to-4 레벨변환기에서 진폭을 변환시키면 상상도에 계획된 점에 따라 위상 값과 진폭값을 가지고 출력된다[4].

여기서는 2 to 4레벨 변환기에 의한 PAM 출력된 신호가 직교 반송파와 동상 반송파에 의해 진폭변조되고 각 변

조기의 출력은 4개가 되며 진폭변환신호는 1개이고 나머지 3개의 신호가 위상 변조 신호로 8개가 되고 진폭변조는 2개가 되어 16-QAM을 형성하게 된다. 일반적인 아날로그 회로에서 진폭의 변화가 많으면서 위상을 여러개 변환 시키는 방법은 시스템의 안정도를 고려할때 문제가 있었지만 VLSI 기술이 발달함에 따라 충분히 구현 가능해졌다. 본 논문에서는 이러한 변조기의 설계에 있어서 DDFS를 사용하여 디지털회로로 16-QAM 변조기를 설계 하였을때 좀더 다른 결과를 얻고자 4PSK와 4ASK를 결합한 형태의 16-QAM변조기를 구현하였다. 우선 진폭을 좀더 많이 변화 시키고 위상을 변환 시켰을때 위상이 변화되는 지점이 정확하게 반복될 수 있다면 송신기에서 출력 신호의 위상 변화가 없을 것이므로 좀더 향상된 변조기를 설계 할 수 있다는 점이다. 16-QAM 변조기가 DDFS로 만들어짐에 따라 주파수 설정 데이터를 바꿔줌으로써 주파수가 변화하더라도 16-QAM 방식이 정확하게 동작함을 확인하였다.

3.2 DDFS를 사용한 4ASK 변조

DDFS를 사용한 16-QAM 변조기는 디지털 회로에서는 진폭의 변화를 보다 정밀하게 해줄수 있으므로 4ASK와 4PSK의 혼합시키는 구조로 설계하였으며 먼저 4ASK 변조를 곱셈기를 사용하여 실현 시켜 보았다. 진폭 분을 더하여주는 곱셈기 부분의 설계 방법은 병렬 가산기를 이용하여 같은 수를 연속적으로 더하여 줌으로써 스위칭 속도를 높일 수 있도록 설계하였다. $\times 1$ 신호일 때는 나머지 신호에 모두 0이 들어가게 되고 $\times 2, \times 3, \times 4$ 신호일 때는 1값이 순차적으로 들어가게 되어 곱셈을 수행하게 된다. 그림 5는 곱셈기의 구성도이다. 이와 같이 구성되어 줌으로써 입력신호에 따라 곱셈 동작을 수행하게 되는데 $\times 4$ 까지의 곱셈동작 뿐만아니라 $\times 16$ 까지의 곱셈 동작도 고속으로 수행 되어질수 있도록 설계할 수있다.

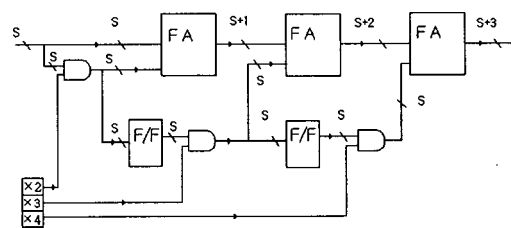


그림 5. 곱셈기의 구성도
Fig. 5. Block diagram of multiplier.

그림 5에서 입력신호를 조합하면 $2^4=16$ 모두 3클럭안에 동작되어질수 있도록 설계되어질 수 있으며 본논문에서는 변조기의 입력 전단에서 $\times 4$ 까지의 곱셈 동작을 시키기 위해 디코더를 부착하였기 때문에 입력신호는 $\times 2$ 신호일 때 나머지 입력신호는 모두 0이된다. 하지만 디코더를 제외시키고 입력되는 진폭 신호마다 병렬 가산기를 추가

시켜서 곱셈 선택 신호에 맞춰 곱셈을 선택할 수 있도록 설계를 한다면 모두 16번의 곱셈동작을 수행하게 된다. 또한 곱셈기는 고속동작을 수행하기 위하여 파이프라인 방식으로 설계되었으므로 모두 3클럭안에 동작하게 된다. 본문에서는 16QAM을 구현하였으므로 곱셈동작을 4가지 제한시켰으며 그이유는 곱셈의 동작이 배수로 이루어지므로 곱셈을 증가 시키면 송신단 증폭기의 선행동작에 부담을 주기 때문이다.

위의 곱셈기외에도 출력하고자 하는 파형을 나타내는 데는 디지털회로에서는 음의값 표현이 문제가 된다. 그러므로 본 논문에서는 2개의 입력신호를 조합하여 4개의 진폭을 변화 시키도록 구성하고 DDFS에서는 디지털 값이므로 음의값을 표현해 줄 수 없기 때문에 기존의 DDFS 구성에서는 사인롬에 임의의 기준값을 추가 시킴으로써 정현파를 표현하였지만 4개의 진폭이 변화함에 따라 이것은 불필요게 되었고 DDFS 출력의 최상위 비트를 변화 시킴으로써 기준값 설정은 자연스럽게 이루어 질수 있음을 발견하였으며 곱셈기의 계산에 따라 증가한 연산 비트길이에 대한 기준값의 설정을 해결할수 있었다. 표 3.1에 DDFS를 사용하여 ASK를 구현하기 위한 과정을 제시 하였다. 표 3.1에서 곱셈기에 의한 4비트가 추가되었고 DDFS는 사인롬 전단에서 위상 변조기의 출력과 위상누산기의 출력값을 EX_OR를 하게 됨으로 증가값이 변화하게 되고 4ASK를 위한 최상위 비트의 반전으로 인하여 기준값이 7F로 되며 4ASK된 출력 파형이 나오게 된다. 사인롬과 곱셈기의 후단에서 위상변조기에 의한 양의 값과 음의값의 변화를 위한 신호와 EX_OR하게 되므로 정현파의 진폭이 4개로 변화하는 출력이 나올 수 있었다.

표 3.1. DDFS를 사용한 4ASK 변조의 진리표
Table 3.1 Truth table of 4ASK by DDFS.

위상 증가값	사인롬 값	곱셈기에 의한 증가값	ASK를 위한 증가값
0000	0	0000	0F
0001	1	0000	0E
0010	2	0000	0D
0011	3	0000	0C
0100	4	0000	0B
0101	5	0000	0A
0110	6	0000	09
0111	7	0000	08
1000	8	0000	07
1001	9	0000	06
1010	A	0000	05
1011	B	0000	04
1100	C	0000	03
1101	D	0000	02
1110	E	0000	01
1111	F	0000	00

3.3 DDFS를 사용한 4PSK 변조

4PSK 변조는 입력되는 2개의 신호를 조합하여 4개의 위상을 변화 시켜야 되므로 위상 누산기의 최상위 비트와 그다음 하위 비트의 출력을 사용하여 위상 변조기를

4×2 MUX 형태로 구성하고 위상 선택 신호와 조합하여 원하는 위상 변조를 할 수 있었다. 표3.2는 90°에서 270°로의 변화를 피하기 위해서 입력을 순차적으로 하고 위상 변조기에서 위상이 변환되는 순서이다.[2]

표 3.2. 위상 변조 선택에 따른 위상차
Table 3.2 Phase difference of phase modulation.

PM bit. 1	PM bit. 0	위 상 차 (°)
0	0	180
0	1	270
1	0	0
1	1	90

3.4 QAM 변조기능을 갖는 DDFS의 구성

본 논문에서는 위상 신호와 진폭신호를 QAM 변조 기능이 추가된 DDFS에 입력하여 DDFS의 출력을 제어하였다. 그림 6은 DDFS를 이용한 QAM 변조기의 구성도이다. 위상 변조기능은 표3.2의 4PSK 변조 원리와 같고 4ASK와 합성하였다.

그림 4에서의 일반적인 QAM 변조기와 다른 점은 각각의 DDFS에서 모두 16-QAM변조된 파형을 얻을 수 있으며 신호의 합성이 아날로그가 아닌 디지털 회로에서 이루어 진다는 점이고 상단과 하단의 DDFS가 서로 180도 반전된 파형을 유지하여 글리치를 억제시키기 위하여 감산기에 입력된다는 점이다. 디지털 회로로 16-QAM 변조를 하게 되면 출력되는 비트들의 수치가 매우 중요한 의미를 가지게 되므로 수치들의 변화가 일정하여야 만이 올바른 설계를 하였다고 볼수 있으므로 본 논문에서는 그러한 수치들의 변화가 일정하다는 것을 확인하였다.

DDFS를 사용한 16QAM 변조기의 출력을 계산하여 보면 출력의 각 입력신호에 대하여 출력되는 4개의 최대치와 최소치를 표3.3에 표시하였고 DDFS의 출력은 2번의 EX_OR를 거치므로 쉽게 구할 수 있으며 마지막으로 D/A 변환기를 거치게되는데 입력 8비트에 구동 전원을 15 볼트로 하였으므로 $\frac{15V}{2^8} = 58.594mV$ 으로 계산된 값을 최대치와 최소치에 곱하고 출력값에 추가된 임의의 기준값으로 인한 DC성분이 존재하게 되므로 서로 배준 다음 1/2하게되면 피크값을 알게 된다. 표 3.3에 계산되어진 값을 보였으며 본 논문에서 설계한 16 QAM 변조기의 구성은 2개의 DDFS로 구성되는 구조이므로 D/A 변환기의 출력은 하나의 DDFS로 만들어진 QAM 변조기의 출력에 해당되고 이중구조 DDFS의 감산기의 이득은 2이기 때문에 D/A 변환기의 출력 값에 2를 곱하여 주어 피크값을 계산하였다. 그림 6은 DDFS를 사용하여 설계한 16QAM 변조기의 구성도이다. 여기서 기존의 DDFS의 구성과 다른 점은 사인롬의 앞단에 곱셈기가 있으며 위상 변조기외에도 진폭선택부가 추가 되었다. 표 3.4에 16-QAM 변조기의 4PSK와 4ASK를 합성함으로써 예상되는 계산된 출력 값을 나타내었다.

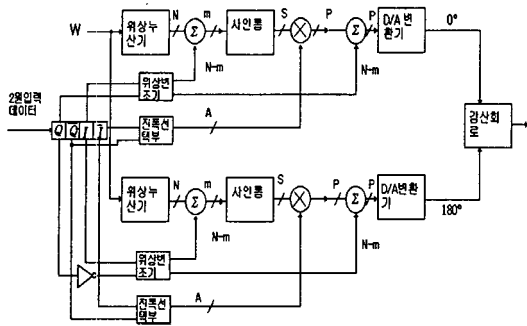


그림 6. 이중 구조 DDFS를 사용한 16-QAM 변조기의 구성도
Fig. 6. Block diagram of 16-QAM with Dual structured DDFS.

표 3.3 DDFS를 사용한 16-QAM 변조기의 출력
Table 3.3. Output result of 16-QAM Modulator by DDFS.

곱셈값	최대치	최소치	D/A 출력			이중구조 출력(Vp)
			최대	최소	출력(Vp)	
×1	8F	70	8.437V	6.562V	0.9375V	1.875V
×2	9E	61	9.257V	5.683V	1.787V	3.574V
×3	AD	52	10.136V	4.804V	2.661V	5.322V
×4	BC	43	11.015V	3.925V	3.545V	7.09V

표 3.4. DDFS를 이용한 16-QAM의 변조 신호 구성
Table 3.4. Mapping of 16-QAM with DDFS.

입력 데이터		16 QAM 출력					
I	Q	I	Q	위상	곱셈	DDFS	이중구조
0	0	0	0	180°	×1	0.9375Vp	1.875Vp
0	0	0	1	270°	×1	0.9375Vp	1.875Vp
0	0	1	0	0°	×1	0.9375Vp	1.875Vp
0	0	1	1	90°	×1	0.9375Vp	1.875Vp
0	1	0	0	180°	×2	1.787Vp	3.574Vp
0	1	0	1	270°	×2	1.787Vp	3.574Vp
0	1	1	0	0°	×2	1.787Vp	3.574Vp
0	1	1	1	90°	×2	1.787Vp	3.574Vp
1	0	0	0	180°	×3	2.661Vp	5.322Vp
1	0	0	1	270°	×3	2.661Vp	5.322Vp
1	0	1	0	0°	×3	2.661Vp	5.322Vp
1	0	1	1	90°	×3	2.661Vp	5.322Vp
1	1	0	0	180°	×4	3.545Vp	7.09Vp
1	1	0	1	270°	×4	3.545Vp	7.09Vp
1	1	1	0	0°	×4	3.545Vp	7.09Vp
1	1	1	1	90°	×4	3.545Vp	7.09Vp

IV. 시뮬레이션 결과 및 분석

본 논문에서는 DDFS의 입력을 6비트로 하고 QAM의 출력율을 9비트로 설계하였고 출력 비트 수가 충분히 과형을 표현하여 줄 수 있는 상태만을 전제로 하여 시뮬레이션 하였다. 디지털-아날로그 혼합 시뮬레이션은 P-SPICE를 사용하여 결과 파형을 확인하였다. 디지털 직접 주파수 합성기에 입력되는 클럭 주파수는 1MHz로 하였으며 이에 발생 가능한 최대 출력 주파수는 500KHz가 되고 주파수 해상도는 15.625KHz이다.

표 4.1에 DDFS를 사용한 16-QAM 변조기의 시뮬레이션 출력 결과를 보였다.

표 4.1. DDFS를 사용한 16-QAM 변조기의 시뮬레이션 결과
Table 4.1. Simulation result of 16-QAM Modulator by DDFS.

곱셈값	최대치	최소치	D/A 출력			이중구조 출력(Vp)
			최대평균	최소	출력(Vp)	
×1	8F	70	8.43789V	6.5625V	0.937695V	1.8164V
×2	9E	61	9.2578V	5.6836V	1.7871V	3.5742V
×3	AD	52	10.137V	4.8047V	2.66615V	5.3319V
×4	BC	43	11.016V	3.9258V	3.5451V	7.0895V

그림 7은 4ASK하였을때 주파수 설정워드가 변화하여도 제대로 출력됨을 보였다. 여기에 4PSK를 하여도 결과는 마찬가지이다

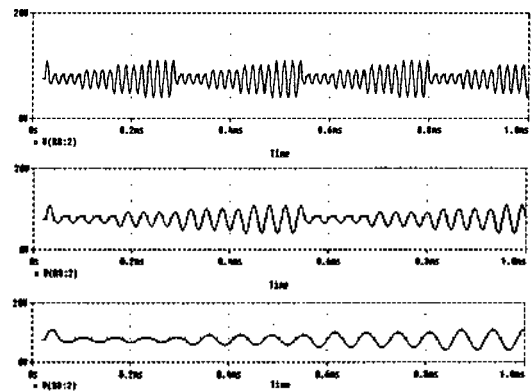


그림 7. 주파수 설정 워드에 따른 4ASK의 출력
Fig. 7. 4ASK output waveform according to frequency setting word.

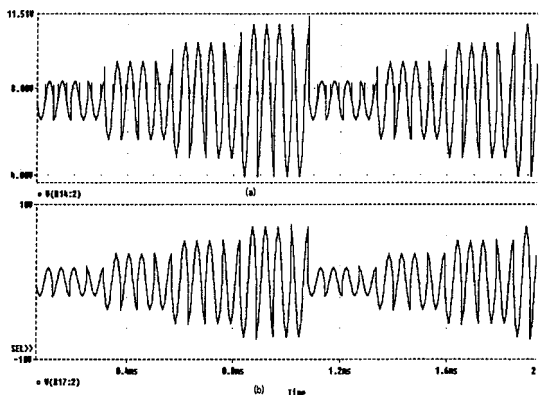


그림 8. 16-QAM의 출력 파형 (a)단일구조 DDFS (b)이중구조 DDFS
Fig. 8. 16-QAM waveform by DDFS; (a)Single-structured DDFS (b)Dual-structured DDFS.

여기서 주파수 설정 위드를 변화 시켰을때 진폭의 변화가 출력 주파수가 높을 수록 더많은 변화가 생기는데 설계를 할때 위상 누산기에서 발생하는 캐리를 분주 시켜서 입력으로 사용함으로써 효율을 높일수 있도록 하였다.

그림 8은 16QAM 변조를 하였을 때의 출력 파형이다. 위상과 진폭이 각각 4개로 변하고 위상의 변화는 없다고 할 수 있으며 그림 (a)는 이중구조 DDFS에서 감산기를 거치기전의 파형이고 그림 (b)는 감산기를 거친후의 파형이다. 글치치가 많이 억제 되었음을 확인 할수 있다.

그림 9는 DDFS를 사용한 16-QAM의 성상도 결과이다. P-SPICE의 출력을 시간 성분과 진폭성분을 추출한다음 매트랩을 이용하여 출력 주파수가 15.625KHz 일때 64us 씩 위상이 변화하는 부분을 검출하고 변화하는 부분까지 동상 성분과 직교 성분을 비교하여 위상차를 구하고 역시 64us씩 최대 진폭값을 추출하여 실패치로 변환한 값을 반지름으로하여 표3.2와 같이 위상값이 변화하게 되므로 좌표상에서 동상 성분과의 비교값은 시계방향으로 돌면서 위상값을 출력하고 직교 성분과 비교한 값은 시계 반대 방향으로 지정되어 좌표축상에 표시되어 그림 9와 같은 성상도를 구하였다.

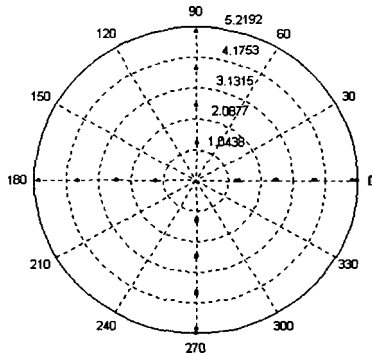


그림 9. DDFS를 사용한 16-QAM의 성상도 결과
Fig. 9. Constellation result of 16-QAM by DDFS.

V. 결 론

본 논문에서는 동일한 대역폭을 가지면서 더많은 정보를 전송 할수 있는 16-QAM 변조기능을 가지는 DDFS를 설계하였으며, 주파수 설정위드가 변화하여도 이상없이 동작함을 보였다. 디지털 방식의 16-QAM 변조기를 구현하기 위하여 우선 4ASK와 4PSK가 이상없이 동작함을 보였으며 설계하였을 때의 계산 결과와 시뮬레이션 결과와 비교하였을 때, 같음을 확인하였으므로 DDFS를 사용한 QAM 변조는 매우 정확하다는 것을 알 수 있었으며 4ASK와 4PSK를 합성한 결과를 성상도를 통하여 위상의 변화가 없음을 확인하고 진폭성분의 변화는 이중구조 DDFS를 통하여 억제하여 16-QAM 변조기가 구성됨을 보였다. 또한 연구를 활용하면 64-QAM이나, 256-QAM 등의 변조기 설계도 용이하다. 그리고, DDFS를 사용하여 변조기를 구

성하고 위상 누산기에서 발생하는 캐리를 입력단의 클럭으로 사용한다면, 정보의 전송 효율을 바꿀 수 있는 적응 변조 방식을 구현하는데 있어서 매우 능동적으로 활용을 할 수 있으므로 앞으로 연구를 수행하고자 한다.

참 고 문 헌

1. Lawrence J.Kushner, Marcus T.Ainsworth, Lincoln Laboratory, Massachusetts Institute of Technology Lxington, Massachusetts "Spurious Reduction for Direct Digital Synthesizers", Applied MICROWAVE & WIRELESS SUMMER 1996
2. 유홍균 외 3인 " 직접형 디지털 주파수 합성기의 논리회로 설계", 한국 통신학회 학계학술발표 논문집, pp. 486-490. 1993.7월
3. Bar-Giora Goldberg "Digital Techniques in Frequency Synthesis"
4. 陳年綱 "아날로그와 디지털 통신" 淸文閣 1997
5. C.R.Cole. "Design of a direct digital frequency synthesizer", : Master's thesis, M.I.T., Cambridge, MA. 1982
6. J.C. Candy and A.N. Huynt, "Double Interpolation for digital to analog conversion", IEEE Trans. Commun., vol. COM-34, pp.77-81, Jan.1986.
7. Robert C, Dixon, Spread Spectrum Systems, John Wiley & Sons, 1976

▲유 상 범

1996년 2월 : 대전산업대학 전자공학과(공학사)
1999년 3월 ~ 현재 : 충북대학교 전자공학과 (석사 과정)
※주관심분야: 디지털 통신공학, 통신 회로 설계, 이동/위성통신 시스템, 스펙트럼 확산통신 시스템

▲유 흥 균

1982년 2월 : 서울대학교 전자공학과(공학사)
1984년 2월 : 서울대학교 전자공학과(공학석사)
1989년 2월 : 서울대학교 전자공학과(공학박사)
1988년 2월 ~ 현재 : 충북대학교 전자공학과 교수
※주관심분야: 디지털 통신공학, 이동/위성통신 시스템, 스펙트럼 확산통신 시스템, 통신회로 설계 및 통신 신호처리