

# 1.5-비트 비트 셀을 이용한 새로운 구조의 CMOS 전류모드 아날로그-디지털 변환기

## A New Architecture of CMOS Current-Mode Analog-to-Digital Converter Using a 1.5-Bit Bit Cell

최 경 진\*, 이 해 길\*\*, 나 유 찬\*\*\*, 신 홍 규\*

(Kyung Jin Choi\*, Hae Gil Lee\*\*, Yoo Chan Ra\*\*\*, Hong Kyu Shin\*)

\* 본 논문은 1997년도 원광대학교 연구비 지원에 의하여 수행되었습니다.

### 요 약

본 논문에서는 CSH(Current Sample-and-Hold)와 CCMP(Current Comparator)로 구성된 1.5-비트 비트 셀을 이용한 새로운 구조의 CMOS IADC(Current-mode Analog-to-Digital Converter)를 제안한다. 전체적인 IADC의 선형성 향상을 위하여 CFT(Clock Feedthrough)가 제거된 9-비트 해상도 CSH를 설계하여 각 비트 셀 전단에 배치하였다. 제안한 IADC를 구성하는 비트 셀은 2개의 래치 CCMP를 사용하기 때문에 디지털 교정 로직이 간소화되고 소비전력이 감소된다. 또한 IADC를 구성하는 모든 블록들의 회로는 MOS 트랜지스터로만 설계되었기 때문에 혼성모드 집적화에 유리하다. 제안한 IADC를 현대 0.8  $\mu\text{m}$  CMOS 파라미터로 HSPICE 시뮬레이션 결과, 20Ms/s에서 100 kHz의 입력 신호에 대한 SNR은 43 dB로 7-비트의 해상도를 만족하였고 27  $\mu\text{W}$ 의 소비전력 특성을 나타냈다.

### ABSTRACT

In this paper, it is proposed to a new architecture of CMOS IADC(Current-Mode Analog-to-Digital Converter) using 1.5-bit bit cell of which consists a CSH(Current-Mode Sample-and-Hold) and CCMP(Current-Mode Comparator). In order to guarantee the entire linearity of IADC, the CSH is designed to cancel CFT(Clock Feedthrough) whose resolution is to meet at the least 9-bit which is placed in the front-end of each bit cell. In the proposed IADC, digital correction logic is simplified and power consumption is reduced because bit cell of each stage needs two latch CCMP. Also, it is available for a mixed-mode integrated circuit because all of block is designed with only MOS transistor. With the HYUNDAI 0.8  $\mu\text{m}$  CMOS parameter, the HSPICE simulation results show that the proposed IADC can be operated at 20Ms/s with SNR of 43 dB with which is satisfied 7-bit resolution for input signal at 100 kHz, and its power consumption is 27  $\mu\text{W}$ .

### I. 서 론

CMOS 디지털 기술의 급속한 발전에 따라 비용의 절감과 신뢰성 증대를 위하여 다양한 신호처리 기능들이 디지털 상에서 실현되고 있다. 그러나 우리가 경험하고 있는 세상은 아날로그 신호이기 때문에 디지털 시스템과 연결시키는 인터페이스(interface) 회로인 고성능 ADC의 중요성이 부각되고 있다. 이러한 ADC는 아날로그/디지털 혼성모드 구현이 강하게 요구되고 있다. 고속 장비를 위하여

일반적으로 높은 변환속도를 얻을 수 있는 병렬 VADC(Voltage-Mode Analog-to-Digital Converter)를 이용하나 8-비트 이상의 해상도를 얻기 위해서는 칩 면적이 기하학적으로 증대하여 소비전력이 증가하고 입력 커패시턴스의 비선형성에 의하여 비디오 신호 대역에서 고해상도를 얻기 위해서는 외부의 회로가 필요하다는 단점이 있다.<sup>[1]</sup> 이러한 문제점을 극복하기 위하여 비디오 신호 처리에 적합한 CMOS 파이프라인 ADC가 보고되었다.<sup>[1][2]</sup> 그러나 파이프라인 ADC 경우 중간 이득을 위하여 SC(Switched Capacitor) 기법이 이용되고 커패시터를 구현하기 위해서는 추가적인 공정 단계가 필요하며, 저항과 커패시턴스의 적(product)을 일정하게 유지하기가 곤란하다. 최근에는 VADC가 갖는 문제점을 해결하기 위하여 기존의 신호처리 방식과 상이하게 전류로 신호를 처리할 수 있는 IADC가 발표되었다.<sup>[3-12][14-15]</sup>

\* 원광대학교 전자공학과

\*\* 군장대학 정보통신과

\*\*\* 남서울대학교 정보통신과

접수일자: 1998년 10월 13일

류로 신호를 처리할 수 있는 IADC가 발표되었다<sup>[5-7][14-15]</sup>.

전류모드 방식은 저전압 동작과 선형 커패시터가 불필요하므로 저항과 커패시터의 정합에 종속되지 않는다는 어점이 있다. 그러나 이미 발표된 IADC들은 VADC에 비하여 소비전력과 칩 면적에 있어 우수성을 갖고 있으나 변환속도가 느리며<sup>[9,10]</sup> 속도를 향상시키기 위해서 Bi-CMOS 공정으로 구현된 ADC도 있으나 혼성모드 시스템에서는 부적합하다.<sup>[11,12]</sup>

본 논문에서는 현대 0.8 $\mu$ m CMOS 파라미터를 사용하여 기존의 IADC보다 속도를 향상시키고 소비전력이 감소된 IADC를 설계하기 위하여 MOS 트랜지스터로만 설계된 새로운 CSH와 CCMP로 구성된 1.5-비트 비트 셀을 이용하여 새로운 구조의 IADC를 제안한다.

## II. 구조와 알고리즘

### 1. 1.5-비트 비트 셀

그림 1은 1.5-비트 비트 셀을 이용한 새로운 IADC의 구조이다. 6번째 비트 셀을 제외한 비트 셀은 비교기가 2개만 소요되는 1.5-비트 해상도를 갖는 저해상도(low-resolution) 비트 셀로 구성되었으며 디지털 교정을 위하여 0.5-비트의 여분(redundancy)을 이용한다. 신호 처리 알고리즘은 기존의 VADC에서 이용된 알고리즘을 적용하였다.<sup>[2]</sup>

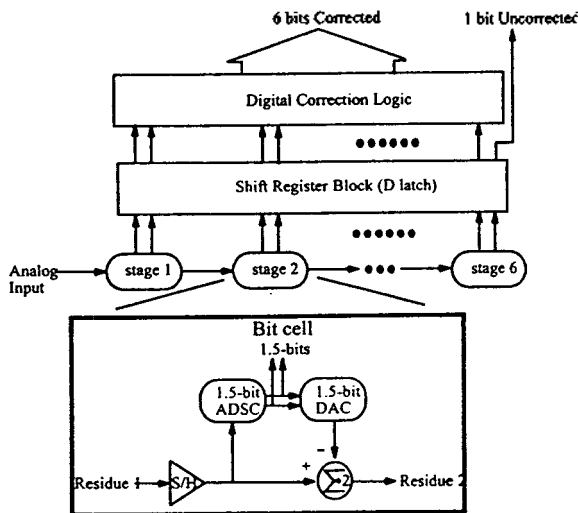


그림 1. 새로운 구조의 파이프라인 IADC  
Fig. 1. A new architecture of pipelined IADC.

기존의 디지털 교정 기법에서 펠셋기를 제거하기 위하여 비트 셀을 구성하고 있는 ADSC(Analog-to-Digital Subconverter)와 DAC에 1/2 LSB의 시스템 오프셋(system offset)을 마지막 단을 제외하고 그림 2(a)와 같이 인가한다. 입력에 대한 이상적인 잔류(residue) 관계는 그림 2(b)와 같다.

ADSC에 인가된 시스템 오프셋은 각각 코드 결정 점(decision point)을 일정하게 오른쪽으로 이동시키고 전체적인 잔류 전류를 아래로 이동시킨다. 만일 ADSC의 시스

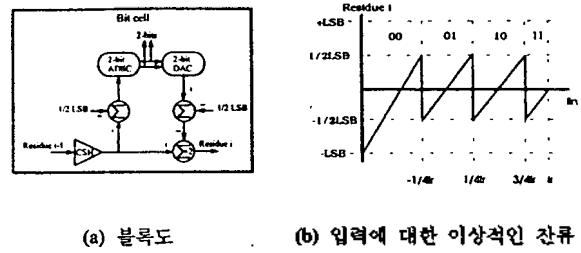


그림 2. 1/2 LSB의 오프셋을 둔 비트 셀 블록도와 입력에 대한 이상적인 잔류  
Fig. 2. Bit cell block diagram with 1/2 LSB offset and ideal residue versus input.

템 오프셋이 정(positive)이고 랜덤 오프셋(random offset)보다 크면 ADSC의 출력 코드는 항상 이상적인 코드보다 작거나 같기 때문에 그냥 두거나, 그 코드에 1을 더하기 때문에 교정법이 용이하다. 그림 2에서 이득이 2인 이상적인 잔류는  $-1$ 과  $1/2$  사이에 항상 존재하며 최소의 잔류 신호는 00 코드의 왼쪽 끝에서 발생되므로 다음 단의 가장 낮은 변환 영역(conversion range)의 경계에 있다. 비록 코드 결정 점의 이동은 최소 잔류 값에 영향을 끼치지 않으나 중간 단 오프셋(interstage offset)이나 이득 오차는 최소 잔류 값을 다음 단의 변환 영역 아래 부분에 있도록 하므로 중간 오프셋 또는 이득 오차는 다음 단 ADSC의 선형성에 영향을 끼친다. 이러한 영향은 비교기를 추가하여 감소시킬 수 있으나 추가적인 비교기 및 디지털 교정 로직 검증이 어렵다는 단점이다.<sup>[13]</sup> 본 논문에서는 이와 같은 문제점을 해결하기 위하여 상위 비교기가 제거된 ADSC(2개 비교기로 구성)를 이용하였다.

그림 3은 상위 비교기가 제거된 ADSC를 이용하여 잔류 신호 생성에 필요한 DAC, 펠셋, 증폭 동작을 동시에 수행할 수 있도록 설계된 1.5-비트 비트 셀이다.

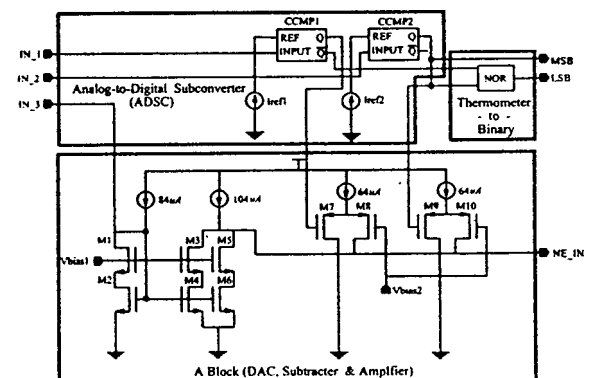


그림 3. 1.5-비트 비트 셀(CSH는 제외)  
Fig. 3. 1.5-bit bit cell(CSH is not shown).

CSH 출력은 ADSC에 1/2 LSB의 오프셋을 둔 그림 3의 1.5-비트 비트 셀에 인가된다. CSH에서 출력되는 잔류는 CCMP1과 CCMP2의 입력 단자인 IN\_1, IN\_2와 잔

동시에 인가된다. 비트 셀의 전단에 배치된 CSH에  $\pm 64 \mu\text{A}$ 의 전류 신호를 인가하면 출력은 역으로 출력되므로 CSH에 출력된 전류는 각각의 CCMP의 오프셋 전류  $84 \mu\text{A}$ 와 더해져 즉,  $+20 \mu\text{A} \sim +148 \mu\text{A}$ 의 전류가 비교기에 인가된다. ADSC의 기준 전류  $I_{ref1}$ 과  $I_{ref2}$ 가 각각  $68 \mu\text{A}$ 와  $100 \mu\text{A}$ 로 설정되었다면 입력 단자  $IN\_1$ 과  $IN\_2$ 가  $-16 \mu\text{A}$ 와  $16 \mu\text{A}$ 에 도달할 때 CCMP의 상태가 달라진다. 또한 CSH의 출력은 다음 단의 신호를 생성하기 위하여 DAC, 펄스, 증폭 동작이 동시에 수행하는 A 블록에 인가된다. A 블록에서도 오프셋 전류  $84 \mu\text{A}$ 와 더해져 다음 단 신호처리를 위한 잔류 신호가 생성된다. 비트 셀의 기본적인 신호처리 단계는 다음과 같다.

첫째로, CSH의 출력  $-64 \mu\text{A} \sim -16 \mu\text{A}$ 가 ADSC의 CCMP1, CCMP2와 A 블록에 인가되면 각각의 비교기는 0으로 변화가 없다. 이 코드는 A 블록의 DAC를 구성하고 있는 M7과 M9를 on 시키며 A 블록에 인가된 신호는 오프셋 전류  $84 \mu\text{A}$ 와 더해져 전류미러 트랜지스터를 구성하고 있는 M1~M6에 의하여 2배 되어 다음 단계 인가될 신호  $-64 \mu\text{A} \sim -32 \mu\text{A}$ 가 생성된다. 이 신호는 다음 단 비트 셀에 인가되며 이때 생성된 코드는 thermometer-to-binary encoder에 의하여 00 코드로 변환된다.

둘째로, CSH의 출력  $-16 \mu\text{A} \sim 16 \mu\text{A}$ 가 각각의 CCMP와 A 블록에 인가되었다면 CCMP1은 0에서 1로 변화하고 CCMP2는 0으로 변화가 없다. 그러므로 DAC의 M7은 off가 되고 M9는 on이 되어 절점  $NE\_IN$ 에 다음 단계 인가될 신호  $-32 \mu\text{A} \sim 32 \mu\text{A}$ 가 생성되어 다음 단 비트 셀에 인가된다. 이때 생성된 01 코드는 thermometer-to-binary encoder에 의하여 01 코드로 변환된다.

셋째로, CSH의 출력  $16 \mu\text{A} \sim 64 \mu\text{A}$ 가 인가되었다면 CCMP는 1로 불변하고 CCMP2는 0에서 1로 변화하여 DAC의 M7과 M9가 on이 되어 다음 단계 인가될 신호  $-32 \mu\text{A} \sim 64 \mu\text{A}$ 가 생성되어 다음 단 비트 셀에 인가되며 thermometer-to-binary encoder에 의하여 10 코드로 변환된다. 이와 같이 1.5-비트 비트 셀은 파이프라인된 다음 단계 전단(front stage)과 같은 신호처리를 위하여 앞에서 설명한 절차를 반복 수행한다. 여기서 생성된 잔류 신호는 다음 단계 인가되며 이때 출력된 코드(00, 01, 10)들은 지연 소자에 의하여 동시에 디지털 교정 로직에 인가된다. 마지막으로 이 코드들은 0이나 1을 더하는 교정법에 의하여 코드 교정이 수행된다.

2. CFT 제거를 위한 CSH 설계

전류모드 데이터 어퀴지션(data acquisition) 시스템에서 CSH는 시스템이 신호를 처리하는 동안 전류 신호의 변화를 방지하기 위하여 자주 사용된다. 몇몇의 CSH<sup>[16]</sup>가 발표되었으나 CFT와 낮은 출력 임피던스에 의하여 CSH의 정확성이 제약을 받는다. 그림 4(a)는 전류 모드에서 이용되는 기본적인 CSH를 보이고 있다.

그림 4(a)에서 스위치 SW1이 위상  $\phi_1$ 에서 on이 될 때 바이어스 전류  $I$ 와 입력 전류  $i_{in}$ 이 더해져 M1과 M2의 게이

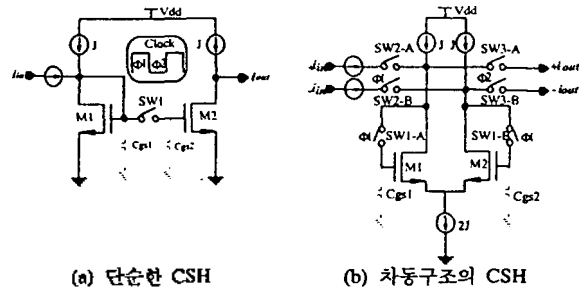


그림 4. CSH 회로  
Fig. 4. CSH circuit.

트-소오스 기생 커패시터  $C_{gs}$ 에 식 (1)에 해당하는 전압을

$$V_{gs1,(2)} = \sqrt{\frac{I_{ds1,(2)}}{K}} + V_{tn} \tag{1}$$

$$K = (1/2)\mu_n C_{ox}(W/L)$$

저장하고 위상  $\phi_2$ 에서 스위치 SW1이 off 되어도 위상  $\phi_1$ 에서 저장된 전압에 의하여 M2의 출력 단에 입력 전류와 동일한 출력 전류를 출력한다. 그러나 실제적으로는 출력 단의 전압의 변화와 CFT에 의하여 입력 전류와 출력 전류가 다르다. CFT의 영향을 감소하기 위하여 그림 4(b)와 같은 차동구조의 CSH가 발표되었다. 위상  $\phi_1$ 에서 차동 입력  $+i_{in}$ 과  $-i_{in}$ 이 각각 M1과 M2의 스위치 SW2-A와 SW2-B를 통하여 인가되며 위상  $\phi_2$ 에서 스위치 SW3-A와 SW3-B를 통하여 차동 출력 전류  $+i_{out}$ 와  $-i_{out}$ 를 출력한다. 여기서 CFT는 차동구조의 공통모드 제거(common-mode rejection)의 특성에 의하여 제거된다.

그러나 이 회로는 차동 입력과 출력이 필요하고 정상적인 동작을 위해서는 6개의 스위치가 요구되며 특히 CFT를 제거를 위해서는 정확한 클럭 타이밍이 요구되는 문제점이 있다.

이와 같은 문제점을 해결하기 위해서 그림 4의 회로들의 특성만을 이용하여 CFT를 감소시킬 수 있는 그림 5와 같은 새로운 차동구조의 CSH 회로를 설계하였다.

그림 5에서 M0, M6, M8은 전류를 전압으로 변환하는 비선형 차동구조의 I-V 변환기(current-to-voltage converter)로 작용하며, M10, M12, M28은 스위치 SW1-A와 SW1-B가 있는 비 선형 차동구조의 V-I 변환기(voltage-to-current converter)로 작용한다.

만약에 M0과 M28에 흐르는 전류  $2I_e$ 와  $2I_s$ 가 같고 무 신호일 때 M6과 M8은 동일한 바이어스 전류  $I_e$ 가 흐르게 되어 식 (1)에 의한 해당 전압이 위상  $\phi_1$ 에서 M12(M10)의 게이트-소오스 커패시터  $C_{gs2,(10)}$ 에 충전된다. 위상  $\phi_2$ 에서 스위치가 off가 되어도 위상  $\phi_1$  동안의 전압이  $C_{gs2,(10)}$ 에 기억되어 M12(M10)에 위상  $\phi_1$  동안에 흐른 전류가 흐른다. 이때 M12에 흐르는 전류와 M10에 흐르는

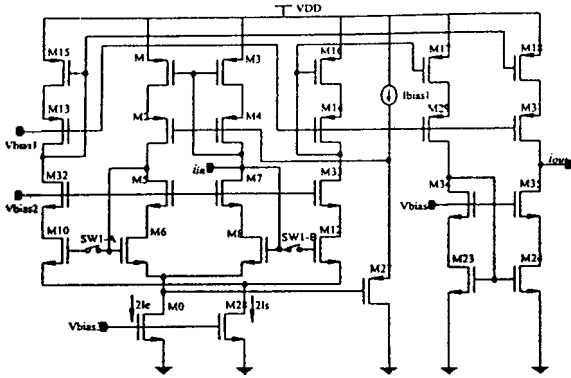


그림 5. CFT를 보상한 CSH  
Fig. 5. CSH for compensation of CFT.

전류를 빼면 0이 된다. 여기서 입력 전류  $i_{in}$ 이 입력에 인가가 되면 M6과 M8에 식 (2)의 전류가 흘러 M12(M10)의  $C_{gs12, (10)}$ 에 식 (3)의 전압이 저장되며 다음 위상 즉, hold에서 이 전압에 의하여 M6과 M8에 저장된 전압에 해당하는 전류가 흐르게 된다. 그러므로 식 (3)의 전압에 의하여 차동구조의 비 선형 V-I 변환기는 식 (3)의 전압의 차이만큼 전류를 출력하게 된다.

$$I_{d6} = I_e - 1/2 i_{in} \quad I_{d8} = I_e + 1/2 i_{in} \quad (2)$$

$$V_{gs6} = \sqrt{\frac{I_e - (1/2) i_{in}}{K}} + V_m \quad (3)$$

$$V_{gs8} = \sqrt{\frac{I_e + (1/2) i_{in}}{K}} + V_m$$

즉,  $V_{id} = V_{gs12} - V_{gs10}$ 가  $i_{out} = I_{d12} - I_{d10}$ 가 된다. 따라서 차동구조 비 선형 V-I 변환기에 출력되는 전류는 참고문헌<sup>17)</sup>에 의하여 식(4)과 같이 구할 수 있으므로  $I_s = I_e$ 이면  $i_{out} = i_{in}$ 가 된다.

$$i_{out} = I_{d12} - I_{d10} = i_{in} \sqrt{1 + (4/i_{in})^2 (I_s - I_e)(2I_e - \sqrt{(2I_e)^2 - i_{in}})} \quad (4)$$

다시 말해 M10, M12에 흐르는 전류는 PMOS 트랜지스터로 구성된 전류미러 M15, M16의 전류이고 이 전류는 M17과 M18에 각각 미러 되어 wide-swing cascode current mirror로 구성된 출력 단 트랜지스터 M34, M35에 흐르게 되므로 출력 단에 출력되는 전류는 M34와 M35에 흐르는 전류 차이와 같게 된다. 스위치 SW1-A, SW1-B는 NMOS와 PMOS 트랜지스터를 이용하였다. 스위치 트랜지스터의 크기와 M10, M12의 게이트-소스 커패시턴스는 CSH의 정착시간(settling time)을 최우하므로 스위치의 도통 저항이 최소화 되도록 설정하나 스위치를 구성하는 트랜지스터의 크기가 커지면 CFT를 증가시키므로 이를 고려하여 설정되어야 한다. 전류모드 회로

의 또 다른 문제는 낮은 출력 임피던스에 의한 입력과 출력 트랜지스터의 드레인-소스 전압 변화에 따른 입력과 출력 전류의 불일치이다. 이러한 오차를 피하기 위하여 저전압의 동작과 출력 임피던스를 증가시킬 수 있는 wide-swing cascode current mirror를 적용하였다.

### 3. 래치형 CCMP 설계

폐루프(closed-loop) 래치 비교기는 고속이 요구되는 ADC에서 사용되나 고속 동작을 위한 스위칭 동작이 복잡하다는 단점이 있다.

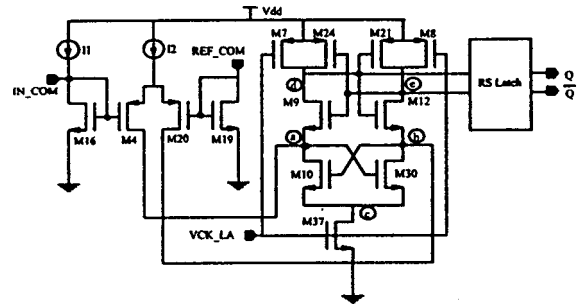


그림 6. 래치형 CCMP  
Fig. 6. Latching CCMP.

본 논문에서는 각 비트 셀을 구성하는 ADSC의 비교기는 속도, 소비전력과 스위칭 동작 간소화를 고려하여 기존의 폐루프 래치 VCMP를 변형한 그림 6과 같은 폐루프 래치형 CCMP를 설계하였다. CCMP 구성은 차동쌍 입력의 I-V 변환기, CMOS 래치, RS 래치로 구성되었다. CMOS 래치는 예비 충전(precharge)을 위한 트랜지스터 M8, M7과 교차 결합한 반전기(cross-coupled inverter) 트랜지스터 M9, M12, M21, M24 그리고 정례환(positive feedback)을 구성하는 트랜지스터 M10, M30으로 구성되었으며 리셋 기간 동안 정적 전류를 차단하는 M37로 구성되었다. 설계된 CCMP는 기존의 비교기와 다르게<sup>20)</sup> 리셋 동작이 M10, M30, M37의 동작 관계에서 수행되기 때문에 추가적인 스위치 클럭 없이 저전력과 트리거 전류의 조절에 의하여 동작 속도를 제어 할 수 있는 특징이 있다.

### III. 시뮬레이션

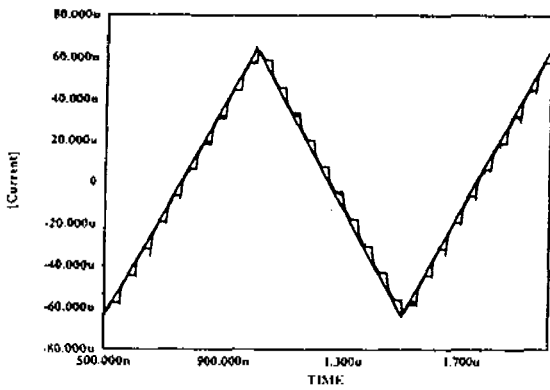
그림 7은 비트 셀의 전단에 배치된 CSH 시뮬레이션 결과이다.

그림 7(a)은 신호 크기가  $-64 \mu A \sim 64 \mu A$ 인 1 MHz의 삼각파를 20 MHz 클럭으로 제어한 출력을 입력과 비교한 파형이다. S/H된 출력 전류 신호 하나의 크기는  $12.8 \mu A$ 이고 단계 편차(step deviation)는  $\pm 0.092 \mu A$ 가 측정되었다. 이는 0.1%보다 작은 선형성(linearity) 특성이 된다. 또한 0.1%까지의 여취지선 시간(acquisition time)은 약 18 ns, 홀드 기간에 90 MHz의 -3 dB 대역폭 특성을 나타냈다. 식 (5)에 의하여 유효 비트(effective number of bit)

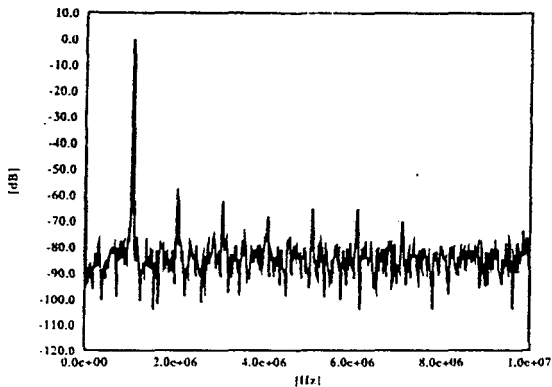
를 구하기 위하여 512-point FFT로 분석하였다.<sup>118)</sup>

$$\text{유효비트} = \frac{\text{SNR} - 1.76\text{dB}}{6.02} \quad (5)$$

그림 7(b)와 같이 1.0156 MHz인  $\pm 64 \mu\text{A}$  정현파 입력 신호를 인가하여 20 MHz 클럭으로 제어 할 때 1 MHz 정도의 위치에서 0 dB의 신호 전력이 존재하며 2차 성분 고주파는 58 dB에 존재하므로 SNR(Signal-to-Noise Ratio)은 58 dB이므로 식 (5)에 의하여 9.3-비트의 유효 비트가 구해지며 이는 새로운 CSH의 정확도를 나타낼 수 있다.



(a) 입력과 출력의 과도 특성



(b) 주파수 특성

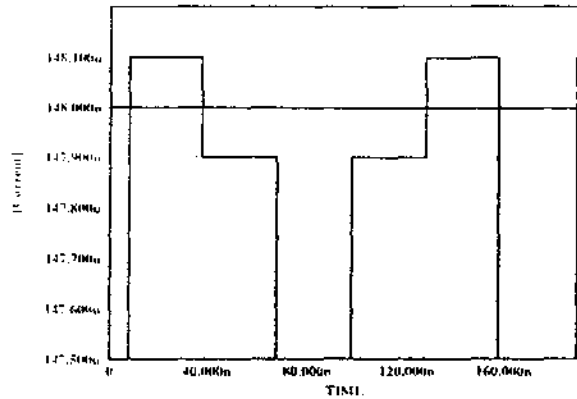
그림 7. 새로운 CSH 회로의 특성  
Fig. 7. The characteristics of a new CSH circuit

그림 8은 그림 6 CCMP 변환 율을 조사하기 위하여 그림 8(a)과 같이 입력 전류와 기준 전류를 인가하여 overdrive recovery를 조사하였다.<sup>121)</sup> 시뮬레이션 결과 트리거 전류  $I_2$ 가 148  $\mu\text{A}$ 에서 33.3 MHz의 최대 동작 속도 특성을 나타냈다.

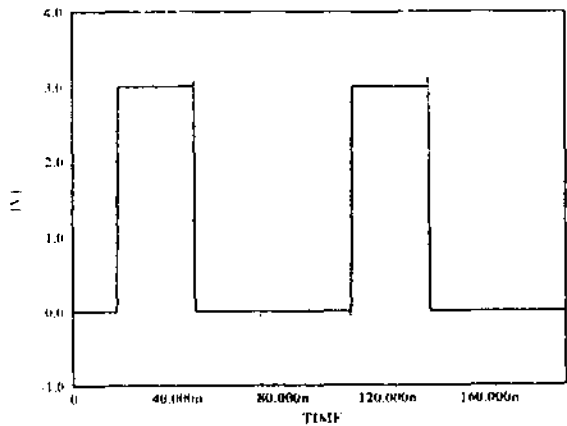
그림 9는 새로운 CSH와 CCMP로 구성된 전류모드 비트 셀 이용한 7-비트 20Ms/s CMOS IADC의 정적 특성이다. 20Ms/s에서 DNL은  $\pm 0.2 \text{ LSB} \sim \sim 0.6 \text{ LSB}$ , INL은

0.9 LSB  $\sim \sim$  1.5 LSB을 나타냈다.

그림 10은 동적 특성을 보이고 있다. 20Ms/s에서 입력의 크기가  $\pm 64 \mu\text{A}$ 인 100 MHz의 정현파를 인가하여 복원



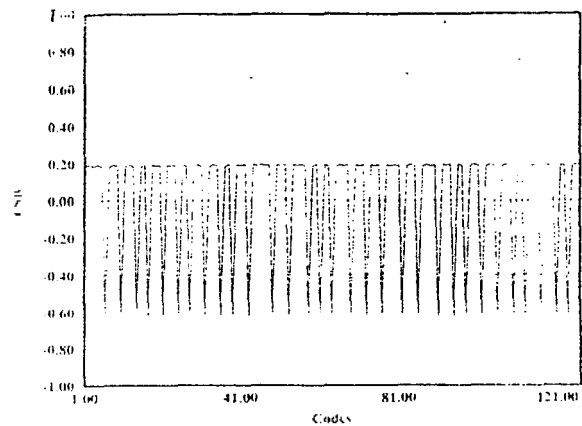
(a) overdrive recovery test를 위한 입력



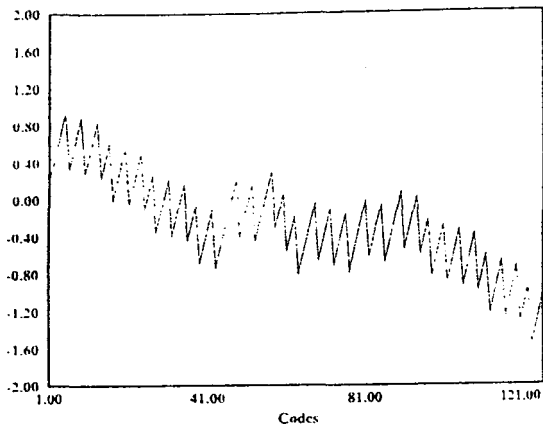
(b) 출력

그림 8. CCMP overdrive recovery test (1 LSB = 0.1  $\mu\text{A}$ , clock = 33.3 MHz)

Fig. 8. Overdrive recovery test of CCMP.

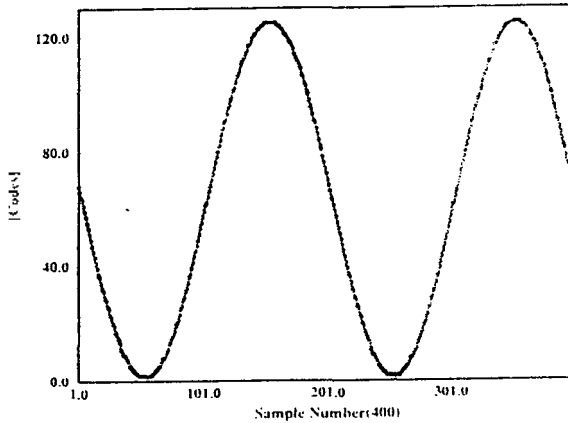


(a) DNL

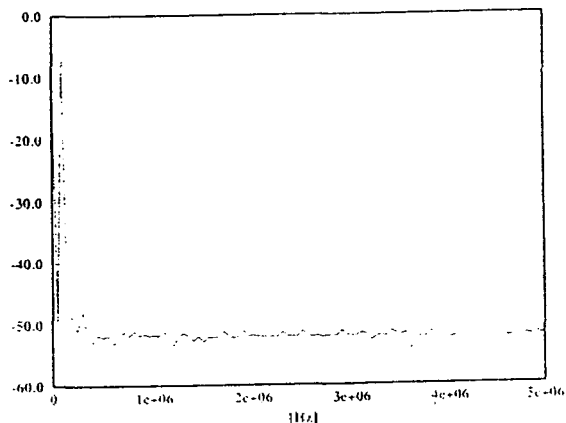


(b) INL

그림 9. 7-비트 IADC의 정적 특성  
Fig. 9. Static characteristics of 7-bit IADC.



(a)복원된 신호



(b)동적 특성

그림 10. 7-비트 IADC의 동적 특성  
Fig. 10. Dynamic characteristics of 7-bit IADC.

된 신호를 FFT한 결과 입력 신호와 제일 큰 고주파 성분

의 차로 SNR로 나타낼 때 이상적인 7-비트 IADC의 SNR인 43 dB의 특성을 보였으며 1 MHz의 입력에서는 3 dB가 감소된 40 dB의 특성을 보였다. 또한 전체적인 시스템의 소비전력은 27  $\mu$ W가 측정되었다. 표 1에 제안된 7-비트 IADC의 성능 측정 결과를 요약하였다.

표 1. 제안된 IADC의 시뮬레이션 결과  
Table 1. Simulation result of proposed IADC.

SNR	43 dB @100kHz	DNL(LSB)	+0.2 ~ -0.6
샘플링 주파수	20MHz	INL(LSB)	+0.9 ~ -1.5
소비전력	27 $\mu$ W	입력크기	$\pm 64\mu$ A
파라미터	현대 0.8 $\mu$ m CMOS	공급전원	3V

표 2는 제안된 IADC와 기존의 IADC의 성능 면을 비교하였다. 다소 해상도 면에서는 기존의 IADC 보다는 떨어지지만 변환 율과 전력 면에서는 우수한 것으로 나타났다.

표 2. 제안된 IADC와 기존 IADC의 성능비교  
Table 2. Performance comparison of conventional IADC and proposed IADC.

전류모드 ADC	해상도 [비트]	변환율	구조	전력소모 [ $\mu$ W]	공정
참고문헌 [9]	10	500kHz	Algorithmic	1000	3 $\mu$ m CMOS
참고문헌[10]	10	550kHz	Pipelined	20	2.4 $\mu$ m CMOS
참고문헌[12]	10	20MHz	Pipelined	1000	2 $\mu$ m BiCMOS
참고문헌[14]	8	4.5MHz	Pipelined	128	0.8 $\mu$ m CMOS
참고문헌[15]	7	25MHz	Two-Step	31.5	1.2 $\mu$ m CMOS
Proposed	7	20MHz	Pipelined	27	0.8 $\mu$ m CMOS

V. 결 론

본 논문은 새로운 CSH와 CCMP로 구성된 1.5-비트 비트 셀을 이용하여 새로운 구조의 CMOS IADC를 제안하였다. 제안된 IADC에서 전체적인 해상도 증대를 위하여 각 비트 셀의 전단에 CFT가 제거된 9-비트 이상의 해상도를 만족하는 새로운 CSH를 배치하였다.

그리고 각 단의 비트 셀은 마지막 단을 제외하고 CCMP가 단지 2개만 소요되는 1.5-비트 비트 셀로 구성하여 디지털 교정 로직의 간소화와 소비전력 감소를 달성하였다. 설계된 7-비트 IADC는 5단의 1.5-비트 비트 셀과 2-비트 셀 1단 그리고 자연 래치 회로로 구성되고 각 단의 0.5-비트 여분을 이용하여 디지털 교정 로직에

의하여 코드 교정이 수행된다.

또한 IADC를 구성하는 모든 블록들의 회로는 MOS 트랜지스터로만 설계되어 아날로그/ 디지털 혼성모드 칩 제작에 용이하고 칩 면적의 축소와 성능 향상이 기대된다.

현대 CMOS 0.8 $\mu$ m 파라미터로 설계된 IADC를 HSPICE 시뮬레이션 결과 20Ms/s에서 입력 신호 100 mV에 대한 SNR은 43 dB, 7-비트 해상도를 만족하였고 27 mV의 낮은 소비 전력 특성을 나타내어 표 2와 같이 기존의 IADC에 비하여 우수함이 확인되었다. 또한 최대 DNL은 +0.2 LSB ~ -0.6 LSB, INL은 0.9 LSB ~ -1.5 LSB인 동적 특성을 나타내었다.

향후의 연구 과제로 제안된 IADC의 해상도와 속도를 향상시키기 위하여 CSH의 속도와 잔류 신호를 발생하는 블록에서 전류 정합이 개선이 된다면 1.5-비트 비트 셀의 파이프라인의 확장에 의하여 20Ms/s 이상에서 더 높은 해상도가 가능할 것으로 생각된다.

참고 문헌

1. M. Ishkiawa and T. Tsukahara, "An 8-bit 50-MHz CMOS subranging A/D convert with pipelined wide-band S/H", *IEEE J. Solid-State Circuits*, vol. 24, pp. 1485-1491 Dec. 1992.
2. S. H. Lewis and P. R. Gray, "A pipelined 5-Msample/s 9-bit analog-to-digital convert", *IEEE J. Solid-State Circuits*, vol. 22, pp. 954-961, Dec. 1987.
3. M. Yotsuyanagi, T. Etoh, and K. Hirata, "A 10-b 50-MHz pipelined CMOS A/D convert with S/H," *IEEE J. Solid-State Circuits*, vol. 28, pp. 292-300, Mar. 1993.
4. S. H. Lee and B. S. song, "Digital-Domain Calibration of Multistep Analog-to-Digital Convert", *IEEE J. Solid-State Circuits*, vol. 27, pp. 1679-1688, Dec. 1992.
5. J. B. Hughes and K. W. Moulding, "Switched-current signal processing for video frequencies and beyond", *IEEE J. Solid-State Circuits*, vol. 28, pp. 341-322, Mar. 1993.
6. T. S. Fiez, G. Liang, and D. J. Allstot, "Switched-current circuit design issues," *IEEE J. Solid-State Circuits*, vol. 26, pp. 192-202, Mar. 1991.
7. R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully Balanced CMOS Current-Mode circuits," *IEEE J. Solid-State Circuits*, vol. 28, pp. 569-574, May. 1993.
8. Z. Wang, "Current-mode integrated circuits for analog computation and signal processing," *Analog Integrated Circuits and Signal Processing Journal*, Kluwer Academic Publisher, vol. 1, pp. 287-295, 1991.
9. D. G Naim and C. A. T. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters", *IEEE J. Solid-State Circuits*, vol. 25, pp. 997-1004, Aug. 1990.
10. D. Macq and P. G .A Jaspers, "A 10-bit Pipelined Switched-Current A/D Converter", *IEEE J. Solid-State Circuits*, vol. 29, pp. 967-971, Aug. 1994.
11. D. Robertson, P. Real, and C. gelsdorf, "A wideband 10-bit, 20Ms/s pipelined ADC using current-mode signals", *ISSCC Dig. Tech. Papers*, pp. 160-161, Feb. 1990.

12. P. Real, D. H. Robertson, C .W. Mangelsdorf, and T. L. Tewksbury, "A Wide-Band 10-b 20-Ms/s Pipelined ADC Using Current-Mode Signal", *IEEE J. Solid-State Circuits*, vol. 26, pp. 1103-1109, Aug. 1991.
13. S. H. Lewis, R. Ramachandran, C .W. Mangelsdorf " Indirect Testing of igital-Correction Circuits in Analog-to -Digital Converters with Redundancy", *IEEE. Trans. Circuits Syst.* vol. 42, July, 1995.
14. Chung-Yu Wu, Chin-Cheng Chen Jyh-Jer Cho, "A CMOS Transistor-only 8-b 4.5-Ms/s Pipelined Analog-to-Digital Converter Using Fully-Differential Current-Mode Circuit Techniques," *IEEE J. Solid-State Circuits*, Vol. 30, pp. 522-532, May. 1995.
15. J. P. Carrerira, J. E. Fanca, "A TWO-STEP FLASH ADC FOR DIGITAL CMOS TECHNOLOGY," *Advanced A-D and D-A Conversion Techniques and Their Applications,* IEE Conference Publication no. 393 pp. 49.-51, July. 1994.
16. C. Toumazou, J. B Hughes & N. C. Battersbhy, : *SWITCHED-CURRENTS an analogue technique for digital technology*
17. A. S. Sedra, K. C. Smith, *Microelectron Circuits*, 3/e, pp. 448-450
18. H. C. Choi, D. Y. Chang, C. H. Lee, S. H. Lee, " The Design of High-Accuracy CMOS Sample-and-Hold Amplifiers," *대한전자공학회의논문지*, 제33권, 제6 pp. 239-247, June, 1996.
19. W. C. Song, H. W. Choi, S. U. Kwak, B. S. Song, "A 10-b 20-Msample/s Low-Power CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 30, pp. 514-521, May. 1995.
20. K. W. Kim, "A 10-bit, 100MS/s Analog-to-Digital Converter in 1- $\mu$ m CMOS," Ph. D. Dissertation UCLA pp. 150-168, 1996.
21. Behzad Razavi, *Principles of Data Conversion System Design* IEEE Press, pp.181-188

▲ 최 경 진(Kyung Jin Choi)



1993년 2월 : 원광대학교 공과대학  
전자공학과(공학사)  
1995년 8월 : 원광대학교 대학원 전  
자 공학과(공학석사)  
1995년 8월 ~ 현재 : 원광대학교 대학  
원 박사과정  
※주관심분야 : 아날로그 및 혼합모드  
집적회로 설계

## ▲이 해 길(Hae Gil Lee)



1992년 2월: 원광대학교 공과대학  
전자공학과(공학사)  
1994년 2월: 원광대학교 대학원 전  
자공학과(공학석사)  
1997년 2월: 원광대학교 대학원 박  
사수료  
1996년 3월~현재: 군장대학 전자통  
신과 조교수

※주관심분야: 저전압 저전력 아날로그 시스템, 통신 시스템

## ▲나 유 찬(Yoo Chan Ra)



1992년 2월: 원광대학교 공과대학  
전자공학과(공학사)  
1994년 2월: 원광대학교 대학원 전  
자공학과(공학석사)  
1995년 8월~1998년 2월: 정보 통신  
부 전파 연구소  
1998년 8월: 원광대학교 대학원 박  
사수료

1998년 3월~현재: 남서울대학교 정보통신공학과 전임강사

※주관심분야: 저전압 저전력 아날로그 시스템, 통신 시스템

## ▲신 흥 규(Hong Kyu Shin)



1975년 2월: 전북대학교 전기공학과  
(공학사)  
1980년 8월: 전북대학교 대학원(공학  
석사)  
1989년 2월: 전북대학교 대학원(공학  
박사)  
1990년 8월~1991년 8월: Ohio State  
Univ. Post Doctoral course

1982년 3월~현재: 원광대학교 공과대학 전자공학과 교수

※주관심분야: 아날로그 및 혼합모드 집적회로 설계