

論文99-36C-11-8

고성능 집적회로 설계를 위한 새로운 클락 배선

(A New Clock Routing Algorithm for High Performance ICs)

柳光基*, 鄭正和*

(Kwang-Ki Ryoo and Jong-Wha Chong)

요약

본 논문에서는 연결 에지 추가 기법을 이용하여 주어진 클락 스큐를 만족시키면서 동시에 총 배선 길이를 증가시키지 않는 새로운 클락 배선 최적화 알고리즘을 제안한다. 고속의 동기식 집적 회로에서는 클락 스큐가 회로의 속도를 제한하는 주된 요소로 작용하므로 성능의 향상을 위해서는 클락 스큐를 최소화해야 한다. 일반적으로 클락 스큐를 최소화하면 총 배선 길이가 증가하므로 오동작하지 않는 클락 스큐 범위 내에서 클락 배선을 수행한다. 이를 이용하여 본 논문에서는 제로 스큐 트리에 연결 점 이동 방법을 적용하여 총 배선 길이와 지연 시간을 감소시킨다.

제안하는 알고리즘은 클락 트리의 두 노드 사이에 연결 에지를 추가하여 일반적인 그래프 형태의 클락 토폴로지를 구성하여 주어진 클락 스큐 범위를 만족시키고 동시에 총 배선장의 증가를 억제한다. 연결 에지를 구성하는 두 노드를 선택하기 위한 새로운 비용 함수를 고안하였다. 클락 트리 상에서 지연 시간의 차이가 크면서 거리가 가까운 두 노드를 연결함으로써 싱크 사이의 지연 시간의 차를 감소시켜서 클락 스큐를 감소시킨다. 또한 클락 신호선의 지연 시간 최소화를 위하여 배선 토폴로지 설계 및 배선 폭 조절 알고리즘을 개발하였다.

본 논문에서 제안하는 알고리즘을 C 프로그램 언어로 구현하여 실험한 결과 주어진 스큐 범위를 만족시키면서 지연 시간을 감소시키는 효과를 얻을 수 있었다.

Abstract

A new clock skew optimization for clock routing using link-edge insertion is proposed in this paper. It satisfies the given skew bound and prevent the total wire length from increasing. As the clock skew is the major constraint for high speed synchronous ICs, it must be minimized in order to obtain high performance. But clock skew minimization can increase total wire length, therefore clock routing is performed within the given skew bound which can not induce the malfunction. Clock routing under the specified skew bound can decrease total wire length.

Not only total wire length and delay time minimization algorithm using merging point relocation method but also clock skew reduction algorithm using link-edge insertion technique between two nodes whose delay difference is large is proposed. The proposed algorithm construct a new clock routing topology which is generalized graph model while previous methods uses only tree-structured routing topology. A new cost function is designed in order to select two nodes which constitute link-edge. Using this cost function, delay difference or clock skew is reduced by connecting two nodes whose delay difference is large and distance difference is short. Furthermore, routing topology construction and wire sizing algorithm is developed to reduce clock delay. The proposed algorithm is implemented in C programming language. From the experimental results, we can get the delay reduction under the given skew bound.

* 正會員, 漢陽大學校 電子工學科
(Dept. of Electronics Eng., Hanyang University)

※ 본 연구는 산업자원부와 정보통신부 및 과학기술부

에서 시행하는 주문형 반도체 개발 사업의 지원을
받아 수행되었습니다.(과제번호 : 1-2-3-4)

接受日字:1999年9月6日, 수정완료일:1999年10月22日

I. 서 론

최근 집적 회로 설계 기술이 발달하여 초미세 집적 회로의 설계가 가능하게 되었고 회로의 동작 속도가 계속 증가함에 따라 고성능 칩 설계를 위한 배선 기술에 대한 관심이 집중되고 있다. 공정 기술이 발전하면서 디자인 룰이 작아질수록 논리 셀에서의 지연 시간은 감소하는 반면에 상대적으로 배선에 의한 신호의 지연 시간이 증가하여 회로의 동작에 큰 영향을 미치게 되었다^[1]. 특히, 클락 신호에 의해 구동되는 동기식 시스템의 경우 배선에 의한 신호 지연이 증가함에 따라 동기되는 요소 사이에 클락 신호의 도착 시간이 크게 달라지게 되어 회로의 오동작을 유발한다. 이러한 클락 신호의 도착 시간의 차이를 클락 스큐(clock skew)라 한다. 회로의 속도를 향상시키려면 클락 주파수가 증가해야 하는데 배선 지연에 의한 클락 스큐가 허용치를 초과하면 회로의 속도를 더 이상 향상시킬 수 없다. 클락 신호선은 일반적으로 많은 팬 아웃을 가지고 있고 회로의 전체 영역에 분포되어 있어서 디자인 룰이 작아질수록 신호의 지연 시간 차이에 의한 스큐 문제가 더욱 심각해진다.

초기의 클락 배선에서는 지연 시간을 구성하는 주된 요소가 게이트에서의 신호의 지연 시간이었기 때문에 배선에서의 지연시간을 고려하지 않았다. 따라서, 최소의 배선 길이를 가지고 모든 동기되는 요소를 연결하는 방법이 주된 연구 분야이었다. 회로의 동작 속도가 증가함에 따라 배선 지연에 의한 클락 스큐를 무시할 수 없게 되면서 클락 스큐를 최소화하여 시스템의 안정성을 높이는 것이 주된 과제가 되었다. [2], [3]에서는 클락 소스로부터 모든 싱크까지의 배선의 길이를 동일하게 하는 제로 스큐 클락 배선 방법을 이용하여 클락 스큐를 최소화하는 알고리즘을 제안하였다. 그러나, 신호의 지연 시간은 배선의 길이를 동일하게 유지하더라도 싱크의 부하, 배선에 따른 저항 및 커패시턴스 성분에 따라 달라지기 때문에 여전히 클락 스큐가 존재한다. 이러한 문제점을 해결하기 위하여 [4]에서는 배선에서의 저항 및 커패시턴스 성분을 고려한 엘모어 지연 시간 모델을 사용하여 모든 싱크의 지연 시간을 동일하게 함으로써 클락 스큐가 제로인 클락 배선 방법을 제시하였고, [5], [6]에는 엘모어 지연 시간 모델을 사용

하여 클락 스큐를 제로로 유지하면서 머징 세그먼트(merging segment) 개념을 도입하여 배선 길이가 최소가 되는 곳에 연결점의 위치를 결정하는 배선 방법을 제안하였다.

일반적으로 클락 스큐를 감소시키면 시킬수록 총 배선 길이가 증가한다는 것은 [7], [8]에서 이미 발표된 바 있다. 실제 회로에서는 클락 스큐가 회로의 클락 주기의 5% 정도 이내의 범위를 만족하면 오동작을 일으키지 않는다. 이를 이용하여 [7], [8]에서는 클락 스큐의 허용 영역을 계산하고 그 영역 내에서 배선의 길이를 최소화하는 방법을 제안하였다. 그러나 기존의 클락 스큐 최적화 방법들은 모두 제한된 그래프 모델인 트리 형태의 배선 토폴로지에만 적용된다는 단점을 가지고 있다. 따라서, 본 논문에서는 기존의 클락 배선 방법과 달리 클락 트리상의 두 노드 사이에 연결 에지를 추가하여 일반적인 그래프 형태의 클락 네트워크를 구성하여 주어진 스큐 범위를 만족시키면서 총 배선 길이의 증가를 최소화하는 새로운 클락 배선 방법을 제안하고 실험을 통하여 효율성을 입증한다. 또한 클락 소스로부터 각 소스까지의 지연 시간을 최소화하기 위한 배선 토폴로지 설계 및 배선 폭 조절 방법을 개발하였다. 본 논문의 구성은 다음과 같다. 2장에서는 클락 배선을 위한 도선의 모델링 방법과 이 모델을 이용한 신호의 지연 시간 계산 방법을 설명하고 기존의 클락 스큐 최적화 방법에 대하여 설명한다. 3장에서는 연결 에지 추가의 효과를 실험을 통해 확인하고 효율적인 연결 에지 추가 알고리즘을 제안한다. 또한 주어진 클락 스큐 범위 내에서 클락 배선을 한 후 연결 에지를 추가하는 실험을 통해 제안한 알고리즘의 효율성을 입증한다. 4장에서는 결론 및 향후 과제를 제시한다.

II. 준 비

1. 클락 스큐

동기 회로의 동작에 가장 큰 영향을 미치는 요소 중의 하나가 클락 신호의 배선 문제이다. 동기 회로의 동작 속도는 최대 클락 주파수에 의해 결정되는데 실제 클락 주기는 여러 가지 제한 조건들 때문에 무한하게 줄일 수는 없다. 실제 회로에서 동기되는 요소들이 클락의 모서리에서 상태 천이가 발생한다고 가정하자. 클락 주기를 T , 조합 논리 회로 회로의 가장 긴 경로에

서의 지연시간을 d_m , 클락 스큐를 t_{skew} , 클락에 의해 상태 천이하는 요소의 셋업 시간을 t_{su} , 동기되는 요소의 클락 입력 핀에서 출력 핀까지의 지연시간을 t_{cq} 라 할 때, 클락 주기는 아래의 제한 조건 식을 반드시 만족해야만 한다.

$$T \geq d_m + t_{skew} + t_{su} + t_{cq} \quad (1)$$

이 표현식으로부터 클락의 주기는 최장 경로의 지연 시간 및 클락 스큐에 의해서 결정된다는 것을 알 수 있다. 클락 스큐는 동기되는 싱크에 신호가 도달하는 시간의 최대 차이로 정의된다. 클락 스큐는 동기되는 요소간의 배선의 불균형, 도선의 특성 계수의 차이, 동기되는 소자의 문턱 전압의 차이 등 다양한 요인에 의해 발생되는데 클락의 주기가 정해져 있는 경우 클락 스큐가 커지면 식(1)에 의해 클락 주기가 증가하게 되어 설계하고자하는 회로를 고속으로 동작시킬 수 없게 된다. 일반적으로 고성능 디지털 집적 회로에서는 클락 스큐를 전체 주기의 5%이하로 제한한다.

2. 배선 및 지연 시간 모델

초미세 집적 회로의 설계의 배선 설계시 배선의 저항 성분 및 커패시턴스 성분은 더 이상 무시할 수 없는 요소이다. RC 분산 모델을 사용하지 않으면 정확한 지연 시간을 정확히 계산할 수 없다. RC 분산 모델[1]은 RC의 무한한 ladder network으로 지연 시간을 계산할 수 있으나 계산이 매우 복잡하며 정확한 해가 시간 영역에서 구해지지 않기 때문에, RC lumped 모델로 근사화하여 지연 시간을 계산할 수 있다. 본 논문에서는 배선에 대한 근사화한 lumped 모델로 그림 1과 같은 π -모델을 사용한다. 여기서, r_e 와 c_e 는 각각 도선의 저항, 커패시턴스 성분을 의미한다.

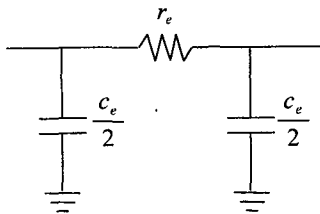


그림 1. 도선에 대한 π -모델
Fig. 1. The π -model of a wire.

본 논문에서는 배선에 대한 R, C 성분을 계산하기 위하여 엘모어 지연 시간 모델을 사용한다. 도선 e 에

대하여 l_e, w_e 를 각각 도선의 길이, 폭이라 하면 도선의 저항 r_e 와 커패시턴스 c_e 는 다음과 같이 계산된다.

$$r_e = \frac{r_0 l_e}{w_e}, \quad c_e = (c_0 w_e + c_f) l_e$$

여기서 r_0 는 단위 길이당 저항, c_0 는 단위 면적당 커패시턴스, c_f 는 단위 면적당 프린징 커패시턴스를 의미한다. 배선 트리의 노드 i 로 들어가는 도선을 e_i 라 하면 도선에서의 지연 시간 $D(e_i)$ 는 다음과 같이 계산할 수 있다.

$$D(e_i) = r_{e_i} \left(\frac{c_{e_i}}{2} + c(T_i) \right)$$

여기서 T_i 는 노드 i 의 서브 트리를 의미하며 $c(T_i)$ 는 T_i 의 전체 커패시턴스를 의미한다. 클락 트리는 π -모델을 사용하면 RC 네트워크의 트리로 볼 수 있다. 엘모어 지연 시간 모델을 이용하여 클락 소스 s 로부터 노드 i 까지의 지연시간 $D(s, i)$ 를 아래와 같은 수식으로 계산할 수 있다.

$$D(s, i) = \sum_{k \in \text{path}(s, i)} r_{e_k} c(T_k)$$

여기서 $\text{path}(s, i)$ 는 배선 트리내의 클락 소스 s 로부터 노드 i 까지의 경로를, e_k 는 노드 k 로 들어가는 도선을, r_{e_k} 는 도선 e_k 의 저항을, $c(T_k)$ 는 노드 k 를 루트 노드로 하는 서브 트리의 커패시턴스를 의미한다.

3. 기존의 클락 스큐 최소화 방법

클락 스큐를 제로로 최소화하는 가장 기본적인 방법은 H-트리, X-트리 방식으로 지금까지 널리 사용되어 왔다.^[10] H-트리 방식은 그림 2와 같이 클락 스큐를 거의 없앨 수 있는 대칭적인 형태를 가지고 있다. 그러나 H-트리 방식은 시스톨릭 어레이(systolic array) 구조와 같이 규칙적이고 대칭적으로 핀이 배치된 구조와 모든 동기되는 요소들의 크기가 같고 균형 있게 분할된 경우에만 적용할 수 있다는 문제점을 가진다.

[2]에서는 셀들의 크기와 위치가 불규칙하게 배치되어 있는 회로에 대해서도 스큐를 줄일 수 있는 알고리즘을 제시하였다. 이 알고리즘은 그림 3과 같이 전체 회로를 두 부분으로 분할하는 과정을 반복적으로 사용하고 분할된 두 회로의 무게 중심들을 연결하는 기법을 사용한다. 이러한 방식을 MMM(Method of Means

and Medians)이라 한다. 그러나 MMM 방식은 싱크들의 위치에 따라 최악의 경우 클락 소스로부터 싱크까지의 배선 길이가 칩의 전체 지름만큼 길어질 수 있다. MMM의 위와 같은 단점을 보완한 알고리즘이 지오메트릭 매칭(geometric matching)^[3]을 이용한 방법이다.

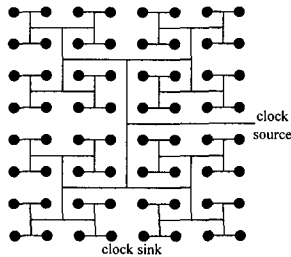


그림 2. H-트리
Fig. 2. H-tree.

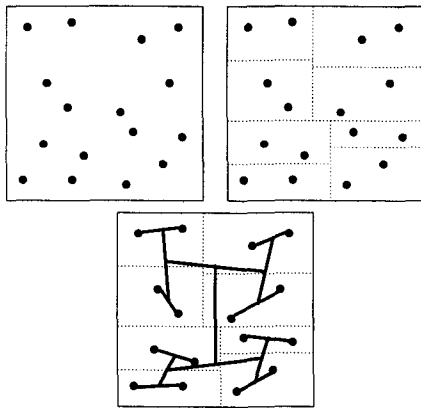


그림 3. Means and Median 방법
Fig. 3. Method of Means and Median.

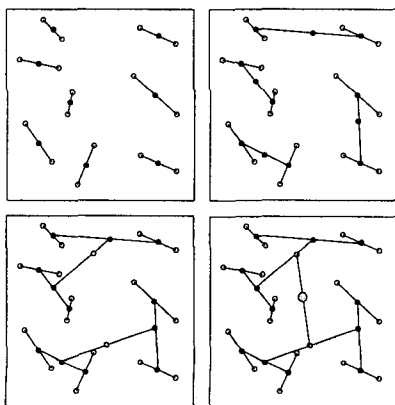


그림 4. 지오메트릭 매칭 방법
Fig. 4. Geometric matching.

MMM방식이 탑-다운(top-down) 방식으로 클락 트리를 구성하는데 비해 이 방식은 바텀-업(bottom-up) 방식의 과정에 의해 클락 트리를 구성한다. 기본 알고리즘은 싱크들 중에서 거리가 가장 가까운 두 개의 노드를 선택하여 반복적으로 두 개씩 매칭시키면서 배선하는 방법으로 그림 4와 같은 방식으로 진행된다.

지금까지 기술한 방법들은 클락 소스로부터 각 싱크까지의 배선 길이만을 동일하게 구성하여 스큐를 감소시키는 방법이었다. 그러나 실제 배선을 수행할 경우는 연결선의 RC 지연과 각 싱크의 로드 커패시턴스의 영향으로 무시할 수 없는 클락 스큐가 발생하게 된다.

[4]에서는 배선의 엘모어 지연 시간 모델을 이용하여 실제 싱크에서의 지연 시간의 차이를 감소시켜서 클락 스큐를 제로로 만드는 알고리즘을 제안하였다. 이후 이러한 엘모어 지연 시간을 고려하면서 총 배선의 길이를 최소화시키는 알고리즘이 [5], [6]에 의해 제안되었고, 이러한 알고리즘을 디퍼드 머지 임베딩(deferred merge embedding : DME)이라 한다. DME는 그림 5와 같이 크게 두 가지 단계에 의해서 클락 트리를 구성한다. 바텀-업으로 머지될 두 서브 트리 사이에서 스큐가 영이 되는 위치의 집합, 즉 머징 세그먼트(merging segment)를 구하고 이 과정을 리프 노드로부터 루트 노드까지 전체 트리의 토폴로지가 완성될 때까지 반복한다. 토폴로지가 완성되면 탑-다운 방식으로 현재 단계에서 바로 아래 단계의 머징 세그먼트로 배선을 수행하

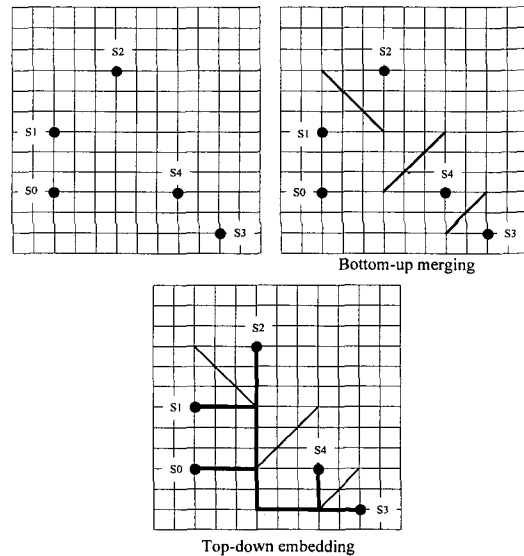


그림 5. 디퍼드 머지 임베딩 방법
Fig. 5. Deferred merge embedding.

는데 이때 머징 세그먼트 상의 위치의 집합 중 현재 단으로부터 가장 가까운 점을 선택하여 배선 길이를 줄이고자 하였다. 이 과정을 클락 소스로부터 싱크까지 반복하면 선형 지연 시간 모델을 사용했을 경우는 최소의 배선 길이를 가지며, 엘모어 지연시간 모델을 사용한 경우는 거의 최적에 가까운 배선 길이를 가지는 클락 트리가 완성된다.

이상과 같은 균형 잡힌 2진 트리를 구성하는 방식 (Balanced Tree Method : BTM)이외에 메쉬(mesh) 토폴로지를 이용한 다른 접근 방식들도 시도되었다. 그림 6은 규칙적인 메쉬 구조를 가지기 때문에 배선이 매우 용이하며 각 배선 채널당 하나의 트랙만 필요하므로 배선 영역의 예측이 가능한 FMM(Fixed Mesh Method) 방법이다. [9]에서는 FMM 장점인 배선의 단순성과 BTM의 장점인 균형을 결합하여 적절한 스큐를 가지면서도 배선 알고리즘이 단순한 방법을 제시하였다. 이러한 방법을 BMM(Balanced Mesh Method)라 하고 그림 7에 나타내었다. 그러나 메쉬 구조의 클락 배선 방법은 총배선장의 길이가 매우 길어지고 클락 핀을 구동하기 위해 용량이 큰 버퍼를 사용해야 하며 전력 소비가 많다는 문제점을 가진다.

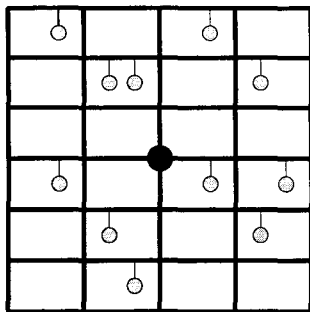


그림 6. 고정 메쉬 방법
Fig. 6. Fixed mesh method.

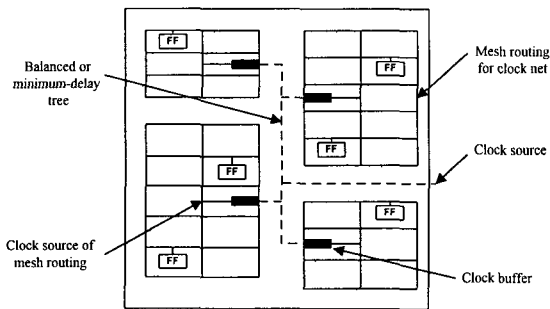


그림 7. 균형 메쉬 방법
Fig. 7. Balanced Mesh Method.

본 논문에서는 일반적인 그래프 형태의 배선 토폴로지를 사용하여 클락 스큐 범위를 만족시키는 클락 스큐 최적화 알고리즘을 제안한다. 제안하는 알고리즘은 BTM과 BMM의 장점을 취한 것으로 클락 배선 트리 상에서 연결 에지를 연결하거나 제거하면서 클락 스큐를 감소시키는 새로운 방법을 사용한다.

III. 연결 에지 추가 기법을 이용한 클락 스큐 최적화

1. 연결 에지 추가

본 논문에서 제안하는 클락 스큐 최적화 알고리즘의 기본 아이디어는 연결 에지 추가 기법을 이용한다는 것이다. 지연 시간의 차이가 존재하는 두 싱크 사이에 연결 에지를 추가하면 그림 8과 같은 루프를 형성하게 되어 지연 시간이 작은 싱크는 지연 시간이 커지게 되고 지연 시간이 큰 싱크는 지연 시간이 감소하게 된다.

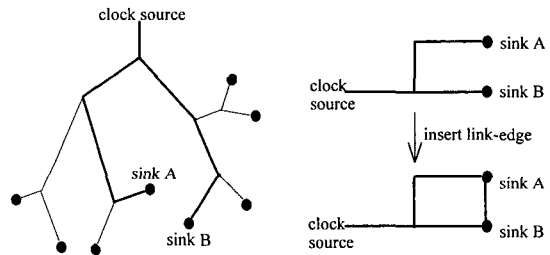


그림 8. 연결 에지 추가
Fig. 8. Link-edge insertion.

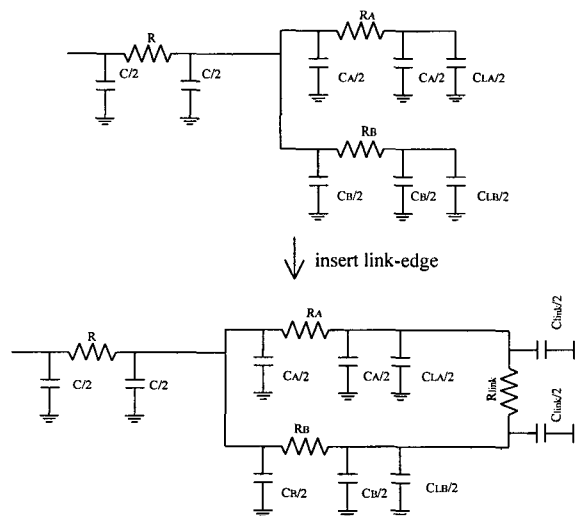


그림 9. 연결 에지 추가 전후의 π -모델
Fig. 9. π -model before/after link-edge insertion.

결국 클락 스큐를 감소시킬 수 있다. 이를 실험적으로 확인하기 위하여 그림 8과 같은 토폴로지를 갖는 트리를 그림 9와 같이 등가의 π -모델로 변환한 후 연결 에지를 추가하면서 스큐의 변화를 측정하였다.

연결 에지 추가 효과를 확인하기 위해 그림 10과 같이 싱크들의 위치 관계를 세 가지 경우로 나누어 실험하였다. 그림 10에서와 같이 싱크 x의 길이를 1mm로 고정시키고 싱크 y의 길이를 각각 2mm, 3mm, 4mm인 경우로 나누어 세 가지 경우에 대하여 각각 연결 에지의 길이를 변화시키면서 클락 스큐가 어떻게 변화하는지 HSPICE를 이용하여 실험하였다. 실험에 사용된 파라미터는 다음과 같다. 클락 주파수 : 100MHz, 싱크의 부하 : 0.0525pF, 단위 저항 : 0.03 Ω /um, 단위 커패시턴스 : 0.0002pF/um. 싱크 y의 길이가 4mm인 경우는 2mm인 경우에 비해서 두 싱크 사이의 지연 시간의 차이가 커서 클락 스큐가 큰 경우에 해당된다.

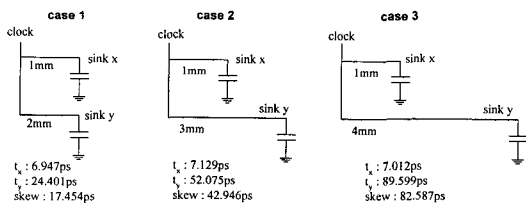


그림 10. 연결 에지 추가 실험
Fig. 10. Experiment of link-edge insertion.

표 1. 지연 시간의 비교
Table 1. The comparison of timing delay.

	연결 에지 길이	case 1		case 2		case 3	
		tx [ps]	ty [ps]	tx [ps]	ty [ps]	tx [ps]	ty [ps]
링크전	-	6.947	24.401	7.129	52.075	7.012	89.599
링크후	1mm	18.264	23.694	22.980	35.299	27.135	46.415
	2mm	22.803	34.974	26.291	51.244	30.983	69.380

그림 10의 예제 회로에 길이가 각각 1mm, 2mm인 연결 에지를 추가한 결과, 각각의 경우에 대한 지연 시간의 변화를 표 1에 나타내었다. 실험 결과로부터 연결 에지를 추가하면 지연 시간이 작은 싱크 x는 지연 시간이 증가하고, 지연 시간이 큰 싱크 y는 지연 시간이 감소한다. 결국 두 노드 사이의 스큐가 감소함을 확인할 수 있다. 그러나, 여기서 주목할 점은 연결 에지의 길이가 너무 긴 경우에는 지연 시간이 큰 싱크의 경우에도 지연 시간의 감소 폭이 작거나 심지어 증가할 수 있다는

점이다. 따라서 거리가 멀리 떨어진 노드 사이에 연결 에지를 추가하는 것은 비효율적이다.

연결 에지를 추가한 결과 클락 스큐의 변화 추이를 표 2에 나타낸다. 여기서, 길이가 각각 1mm, 2mm인 연결 에지를 싱크의 길이가 각각 1mm, 4mm인 경우에 연결 에지를 추가했을 때 연결 에지를 추가하지 않은 경우보다 각각 76.6%, 53.5%씩 스큐가 감소함을 확인할 수 있었다. 표 2로부터 지연 시간의 차이가 크고 동시에 두 노드 사이의 거리가 가까울 때, 즉 연결 에지의 길이가 짧을 때, 클락 스큐가 많이 감소하여 연결 에지 추가 효과가 큰 것을 확인할 수 있다.

표 2. 연결 에지 추가 전후의 클락 스큐
Table 2. The clock skew before/after link-edge insertion.

	에지길이	case 1	case 2	case 3
링크전	-	17.454 (1.000)	42.940 (1.000)	82.587 (1.000)
링크후	1mm	5.430 (0.311)	12.319 (0.287)	19.280 (0.234)
	2mm	12.171 (0.697)	24.953 (0.581)	38.397 (0.465)

앞의 실험 결과를 토대로 하여 연결 에지를 효과적으로 추가하여 클락 스큐를 최적화하는 새로운 알고리즘을 다음 절에 제시한다.

2. 연결 에지 추가 알고리즘

앞 절의 연결 에지 추가 실험에 의하면 두 노드의 지연 시간의 차이가 크고 동시에 연결하는 에지의 길이가 작을수록 연결 에지 추가의 효과가 커지는 것을 알 수 있다. 이를 이용하여 연결 에지의 효과를 나타내는 척도인 연결 비용 함수(link cost function)를 아래와 같이 정의한다.

$$LinkCost(i, j) = \frac{Distance(i, j)}{DelayDifference(i, j)}$$

여기서, i, j 는 연결에 사용될 두 후보 노드를 나타낸다. 연결 비용 함수의 값은 지연 시간의 차이가 크고, 거리가 가까울수록 작아짐을 알 수 있다. 따라서 연결 에지를 추가할 두 노드는 연결 비용 함수의 값이 작은 것을 선택한다.

연결 비용 함수를 이용한 연결 에지 추가 알고리즘을 기술하면 그림 11과 같다. 먼저 최대 지연 시간을

갖는 노드의 집합 *SMD*(Set of Maximum Delay)를 구성한다. *SMD*에는 싱크뿐만이 아니라 클락 트리상의 내부 노드까지 포함될 수 있다. *SMD*에 포함되는 노드의 개수는 파라미터 n 으로 조절한다. *SMD*에 속한 노드들 중에서 최대 지연 시간을 갖는 노드를 하나씩 선택하면서 다음과 같은 과정을 반복하게 된다. 선택된 노드 i 에 대하여 연결 에지의 후보가 될 노드 j 를 선택한다. 이때 거리가 너무 멀리 떨어진 경우에는 연결 에지의 추가 효과가 감소하므로 노드 i 를 중심으로 반경을 나타내는 파라미터 r 인 영역 내부의 노드들의 집합인 *SIR*(Set of Inner Region)내에서 선택하도록 한다. 노드의 선택은 앞에서 설명한 연결 비용 함수의 값이 최소가 되는 노드 j 를 선택한다. 연결 에지를 추가하여

Algorithm LinkEdgeInsertion(T(S),B)
Input : T(S)(bounded skew tree), B(클락스큐의 범위)
Output : SLE (연결 에지의 집합)
<pre> 최대지연시간을 갖는 n개의 노드집합 SMD를 구성: while(SMD is not empty) { SMD중 최대 지연 시간을 갖는 노드 i를 선택: SMD로부터 노드 i를 제거: 노드 i에 대해 반경 r인 영역 내에 존재하는 노드 집합 SIR 구성: while(SIR is not empty) { SIR중 LinkCost(i,j)의 값이 최소인 노드 j를 선택: 노드 j를 SIR로부터 제거: 노드 i, j 사이에 연결에지추가: LES에 link_edge(i,j)를 추가: Link_edge(i,j)를 포함하는 루프상의 에지를 제거: if (클락 스큐가 감소) { 최대지연시간을 갖는 n개의 노드집합 SMD를 재구성: 결합점의 재이동: break: } else Link_edge(i,j)의 추가를 취소: } } /*if*/ /*while*/ /*while*/ </pre>

그림 11. 연결 에지 추가 알고리즘
Fig. 11. Link-edge insertion algorithm.

노드의 선택은 앞에서 설명한 연결 비용 함수의 값이 최소가 되는 노드 j 를 선택한다. 연결 에지를 추가하여 최대 지연 시간을 갖는 노드의 지연 시간이 감소했다면 연결 에지를 추가하고 *SMD*를 다시 재구성하고 앞의 과정을 반복한다. 연결 에지를 추가하여도 지연 시간이 감소하지 않는 경우에는 *SIR* 내의 다음 원소에 대하여 연결 에지 추가 여부를 결정한다. 만약 *SIR*이 공집합일 경우엔 *SMD* 내의 다음 노드에 대하여 밖의 루프를 반복하게 된다. 연결 에지를 추가한 결과 주어진 클락 스큐를 만족했을 경우엔 프로그램을 정지하고 연결 에지에 대한 정보를 출력하고 프로그램을 마친다.

3. 결합점의 재이동

연결에지를 추가하면서 클락 트리가 재구성되면 클락 스큐의 값이 변화하므로 결합점의 위치를 조정하여 배선 길이를 감소시키는 결합점 재이동 방법을 고안하였다. 그림 12의 왼쪽 그림과 같은 클락 트리로부터 오른쪽 그림과 같이 결합점을 주어진 클락 스큐 범위 내에서 배선의 길이가 감소하도록 결합점을 이동시켜서 전체 배선의 길이를 감소시킨다. 결합점의 이동 거리는 다음과 같은 방법으로 계산한다. 그림 13에서 노드 1과 노드 2간의 거리를 l 이라 하고 단위 길이당 저항과 커패시턴스 값을 r_0, c_0 라고 하면, 제로 스큐를 갖는 점의 위치 x 는 다음과 같은 식으로부터 구할 수 있다. 여기서, t_1, t_2 는 각각 노드 1, 노드 2로부터 싱크까지의 지연 시간을 나타내고, C_1, C_2 는 각각 노드 1, 노드 2의 서브 트리의 커패시턴스를 나타낸다.

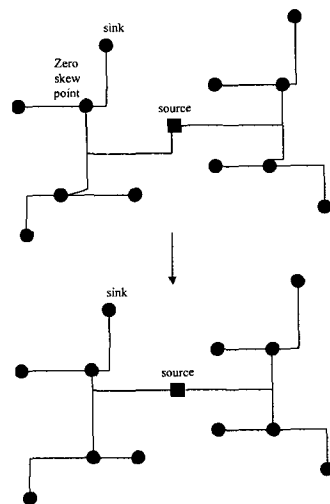


그림 12. Zero skew point의 이동
Fig. 12. Relocation of zero skew point.

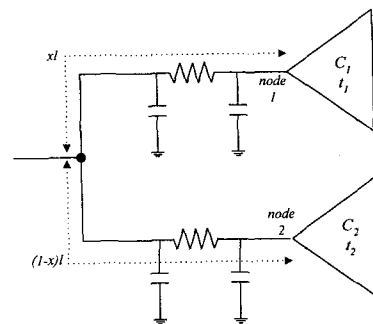


그림 13. 결합점의 이동 거리 계산
Fig. 13. Calculation of displacement.

$$\begin{aligned}
 & r_o x l \left(\frac{c_o x l}{2} + C_1 \right) + t_1 \\
 & = r_o (1-x) l \left(\frac{c_o (1-x) l}{2} + C_2 \right) + t_2 \\
 x & = \frac{r_o l \left(\frac{c_o l}{2} + C_2 \right) + t_2 - t_1}{r_o l (C_1 + C_2 + c_o l)}
 \end{aligned}$$

결합점을 노드 1쪽으로 이동시키면 총 배선 길이가 줄어든다고 가정할 때, 이용 가능한 스큐 범위 B내에서 노드 1쪽으로 최대 이동시킬 경우의 머징 포인트의 위치 x' 는 다음과 같이 구해진다.

$$\begin{aligned}
 & r_o x' l \left(\frac{c_o x' l}{2} + C_1 \right) + t_1 + B \\
 & = r_o (1-x') l \left(\frac{c_o (1-x') l}{2} + C_2 \right) + t_2
 \end{aligned}$$

이 식을 정리하면 결합점의 위치 x' 는 아래 식과 같다.

$$\begin{aligned}
 x' & = \frac{r_o l \left(\frac{c_o l}{2} + C_2 \right) + t_2 - t_1 - B}{r_o l (C_1 + C_2 + c_o l)} \\
 & = \frac{r_o l \left(\frac{c_o l}{2} + C_2 \right) + t_2 - t_1}{r_o l (C_1 + C_2 + c_o l)} + \frac{-B}{r_o l (C_1 + C_2 + c_o l)}
 \end{aligned}$$

위의 결과 식의 첫 번째 항은 제로 스큐 포인트와 같으므로, 스큐 범위 B내에서 최대 이동 거리 $\Delta x = x' - x$ 는 다음과 같이 표현할 수 있다.

$$\Delta x = \frac{B}{r_o l (C_1 + C_2 + c_o l)}$$

제안하는 알고리즘을 C언어로 프로그램 하여 [4]에서 사용한 벤치마크 테스트 데이터 r1, r2, r3, r4에 대하여 실험을 수행하였다. 각각의 예제 회로에 대한 특성은 표 3과 같다.

표 3. 벤치마크 테스트 데이터
Table 3. Benchmark test data.

예제회로	r1	r2	r3	r4
핀수	267	598	862	1903
칩의 너비	69984	94016	97000	126970
칩의 높이	70000	93134	98500	126988

연결 에지 추가를 이용하여 스큐 범위를 만족시키기 위해 초기의 스큐 범위는 주어진 스큐 범위보다 10% 큰 값으로부터 시작하였다. 스큐의 범위가 크면 클수록 배선의 여유도가 증가하여 총배선 길이는 작아지므로

총배선 길이가 훨씬 작은 상태에서 클락 스큐를 줄여 나간다. 클락 스큐가 100ps인 클락 트리를 만들기 위해서 먼저 클락 스큐가 110ps인 클락 트리를 만든 후, 연결 에지를 반복적으로 추가하여 클락 스큐가 100ps인 클락 트리를 만든다. 결국, 클락 스큐를 점진적으로 낮추어 주어진 스큐 범위를 만족시키게 되고, 또한 배선 길이를 최소한으로 증가시키는 연결 에지만을 추가함으로써 총배선 길이의 증가를 최소로 억제하는 방법을 사용하였다. 표 4의 결과로부터 제안하는 알고리즘은 [8]에서 제안한 BST(Bounded Skew Tree)와 비교했을 때 평균 4% 감소함을 알 수 있다.

표 4. 연결 에지 추가에 따른 배선길이의 변화
Table 4. The change of total wire length.

skew bound [ps]	r1		r2		r3		r4	
	BST	Ours	BST	Ours	BST	Ours	BST	Ours
1	1223125	1214929	2397494	2388433	3427426	3407662	6415233	6242542
10	1087703	1070183	2155481	2132178	2783321	2750372	5411936	5178206
100	936205	913127	2201023	2171066	2515178	2445204	4860568	4580967
1000	739498	722062	1839666	1768748	2506399	2353266	4971769	4392413

4. 지연 시간 최소화를 위한 배선 트리 형성

제로 스큐가 아닌 스큐 범위가 주어진 클락 배선 문제를 해결하는, 기존에 발표된 대표적인 논문중의 하나인 Jason Cong^[8]의 제안된 스큐를 갖는 배선 트리의 문제점 중의 하나는 배선 위상 트리의 설계 방식이다. [8]에서는 배선 트리를 구성하기 위하여 가장 가까운 두 노드만을 반복적으로 결합하면서 주어진 스큐 범위를 만족하도록 두 노드를 연결하였다. 이로 인해 파생되는 문제점은 서브 트리의 전체 커패시턴스를 고려하지 않고 가장 가까운 두 노드만을 결합함으로써 결합에 참여하는 두 서브 트리 사이의 커패시턴스 차이가 커지는 현상이 발생할 수 있다는 점이다. 이러한 경우 배선 길이에 비례하는 커패시턴스 값을 이용하여 스큐 범위를 만족시키도록 배선을 해야하므로, 커패시턴스가 작은 서브 트리를 연결하기 위한 배선 길이를 증가시키기 위해 강제적으로 우회하는 경우가 발생하여 전체 배선 길이가 길어지고 지연 시간 또한 전체적으로 증가하는 역효과가 발생하게 된다. 따라서 총 배선 길이 혹은 배선 지연 시간을 최소화하기 위한 새로운 배선 트리의 구현이 필요하다.

본 논문에서 제안하는 배선 트리를 구현하는 알고리

들은 다음과 같다. 배선 트리 구현의 목적 함수를 각 싱크에서의 여유(slack) 시간의 최대화로 설정한다. 여유 시간은 도착 요구 시간과 실제 도착 시간과의 차이로 정의되므로, 여유 시간이 크면 클수록 실제 도착 시간을 감소시켜 결국 클락의 주기를 줄여서 고속으로 동작하는 회로의 클락 배선 설계가 가능하다. 제안하는 방법은 최초에 각 싱크 하나로 구성되는 서브 트리들 중에서 두 개를 선택하여 전체 트리가 하나가 될 때까지 반복적으로 결합하는 방법이다.

결합에 참여하는 두 서브 트리를 선택하기 위해서 결합의 효과를 비교하는 결합 비용 함수를 아래와 같이 정의하고 최소 결합 비용을 갖는 두 서브 트리를 우선적으로 선택하도록 한다.

$$MergingCost(i, j) = \frac{Dist(i, j) + \alpha * Capa(i, j) + \lambda(i, j)}{MergingPoint(i, j)}$$

여기서, $Dist(i, j)$ 는 서브 트리 i 와 j 사이의 맨하탄 거리를 의미하며 서브 트리가 포함하는 모든 노드를 포함하는 최소 사각형 영역사이의 가장 가까운 거리를 취한다. $Capa(i, j)$ 는 서브 트리 i 와 j 의 커패시턴스의 합으로 구한다. 루트(클락 소스)에서 볼 때 서로 병렬로 연결되어 있기 때문에 단순히 덧셈에 의해 합성 커패시턴스를 구할 수 있다. $Lambda(i, j)$ 는 서브 트리 i 와 j 내의 싱크가 갖는 임계치중 최대치를 취한다.

$MergingPoint(i, j)$ 는 클락 소스로부터 두 서브 트리를 포함하는 사각형 영역까지의 최단 거리로 정의한다. α 는 정규화하기 위한 상수 값이다. 최소의 결합 비용을 가지는 두 서브트리를 선택하므로, 가능하면 거리가 가깝고 커패시턴스의 합이 작은 것부터 먼저 결합한다. 또한 결합점의 위치가 먼 것부터 결합에 참여시킨다. 커패시턴스가 작은 것부터 결합하는 이유는 커패시턴스가 큰 것을 먼저 결합하는 경우에는 그렇지 않은 경우보다 지연 시간이 길어지기 때문이다. 커패시턴스가 큰 노드가 우선적으로 결합할 경우, 배선 트리상에서 레벨의 값이 커지므로 클락 소스로부터 싱크까지의 지연 시간 계산에 크게 기여하므로 결과적으로 지연 시간이 증가하게 된다. 결합 점의 위치가 먼 것부터 결합하는 이유는 가까운 것을 먼저 결합하면 먼 것을 연결하기 위해 배선 길이가 길어지는 단점이 있기 때문이다.

제안하는 알고리즘을 A. B. Kang이 제안한 반복적으로 스타이너(Steiner) 포인트를 찾아 추가하는 IIS 알고리즘과 비교하였다. 실험에 사용된 파라미터는 아래 표

와 같다. R_0 는 드라이버의 저항, R_s 와 C_0 는 각각 단위 길이당 저항 및 커패시턴스를 각각 나타내고, C_i 는 싱크의 로드 커패시턴스를 의미한다. 실험에 사용한 파라미터를 표 5에 나타내었으며, 결과 비교 데이터를 표 6에 나타내었다. 평균적으로 지연 시간은 43% 감소하였음을 알 수 있다.

표 5. 실험에 사용한 파라미터
Table 5. The parameter of experiment.

Circuit Name	IC1	IC2	IC3
Technology[um]	2.0	1.2	0.5
Rd[Ω]	164	212.1	270.0
Ro[Ω/um]	0.033	0.073	0.112
CoF[um]	0.019	0.022	0.039
Ci[F]	5.7	7.06	1.0

표 6. 실험 결과 비교
Table 6. Experimental results.

Circuit Name	비교	IC1	IC2	IC3
Average Max Delay[ns]	IIS	0.853	0.780	0.759
	Ours	0.122	0.224	0.491
Average Total Wire Length[um]	IIS	2.18	2.18	2.18
	Ours	2.499	2.499	2.499

5. 배선 폭 조절에 의한 지연 시간 최소화

초미세 설계에 있어 배선 폭을 조절하여 지연 시간을 최소화할 수 있다. 앞에서 구현한 클락 트리로부터 주어진 스큐는 그대로 만족시키면서 지연 시간을 최소화시키는 알고리즘을 개발하였다. 본 절에서는 주어진 클락 배선 트리상의 배선 세그먼트의 폭을 조절하여 배선으로 인한 면적은 크게 증가시키지 않으면서 소스로부터 싱크까지의 지연 시간을 감소시켜 궁극적으로 회로의 동작 속도를 향상시키는 배선 폭 설계 방법을 제안한다.

제안하는 배선 폭 조절 알고리즘은 그림 14와 같다. 주어진 배선 토폴로지에 대하여 먼저 배선 트리의 루트 노드로부터 각 싱크까지의 지연 시간을 계산한다. 계산 결과로부터 최장 경로 P_m 이 결정되면 최장 경로상의 세그먼트에 대하여 배선 폭을 증가시키게 된다. 최장 경로를 $(r, a_1, a_2, \dots, a_n)$ 이라 하자. 여기서 r 은 루트이고 a_n 은 리프 노드이다. 부분경로 $(r, a_1, a_2, \dots, a_k)$, 여기서 $k=1, 2, \dots, n$ 에 대하여 세그먼트 이득을 계산하여 세그먼트 이득이 최대가 되는 세그먼트의 배

선 폭을 증가시킨다. 이때 배선 세그먼트의 선택은 아래와 같은 세그먼트 이득 함수(segment gain function)를 이용한다.

Algorithm 배선 폭 조절 알고리즘
Input : 배선 토폴로지
Output : 배선 폭이 조절된 배선 토폴로지
do{ 루트 노드로 부터 각 싱크까지의 지연 시간 계산; 루트 노드로부터 최대지연시간을 갖는 노드까지의 최장 경로 Pm을 결정; 최장 경로 Pm 상에서 배선 세그먼트를 선택; 배선 세그먼트의 선택은 세그먼트 이득 함수를 이용; 배선 세그먼트의 폭을 Δw 만큼 증가; }while(주어진 스큐 범위를 만족하고 지연시간이 향상)

그림 14. 배선 폭 조절 알고리즘
 Fig. 14. Wire sizing algorithm.

$$SegmentGain(s_i) = \frac{\Delta d - a * l(s_i)}{\Delta w}$$

여기서 Δd는 세그먼트 si의 폭을 Δw 만큼 증가시켰을 때 지연 시간의 감소량을 나타내고, l(si)는 세그먼트 si의 배선 길이를 나타낸다. 배선 길이가 길수록 배선에 의한 칩 면적이 증가하고 배선 폭 조절에 따른 커패시턴스가 커지므로 음수를 취한다. 상수 a는 지연 시간의 변화에 대한 배선 길이의 가중치를 나타내고, Δw는 배선 폭의 변화량을 나타낸다.

배선 세그먼트의 선택시 세그먼트 이득 함수의 값이 최대치를 갖는 세그먼트를 배선 폭을 조절하는 대상으로 선택한다. 즉 단위 배선 폭을 증가시켰을 때 지연 시간을 가능하면 많이 감소시키면서도 배선 길이는 작은 배선 세그먼트가 후보 세그먼트로 선택된다. 위와 같은 과정을 반복하는데 지연 시간이 향상되지 않거나 주어진 스큐 바운드를 만족하지 않으면 종료하게 된다. 실험에 사용된 파라미터는 다음과 같다. 소스 게이트의 저항 : 270 ohm, 도선의 단위 길이 당 저항 : 0.12 ohm/μm, 도선의 단위 면적 당 커패시턴스 : 0.04 fF/μm, 도선의 프링징 커패시턴스 : 0.15 fF/μm, 최소 배선 폭 : 0.5 μm이다. 연결 핀의 부하는 최소 0.05 pF, 최대 0.15 pF사이의 값을 사용하였다. 배선의 폭은 최소 폭을 w

라 할 때, w, 2w, 3w중 하나를 갖도록 하였다. 클락의 스큐 범위는 10 ps로 지정한 후 핀을 각각 50, 100, 200, 500개를 랜덤 생성한 후 배선 폭을 조절한 결과이다.

표 7. 배선 폭 조절 실험 결과
 Table 7. Results of Wire sizing.

핀수	초기지연시간	최종지연시간	향상율
50	343.2	312.41	8.97 %
100	818.5	716.08	12.5 %
200	1196.3	1053.91	11.9 %
500	1923.7	1576.86	18.02 %

표 7의 결과는 싱크의 위치를 10회 랜덤하게 생성하고 실행시킨 후의 지연 시간에 대한 평균값을 취한 것이다. 실험 결과로부터 배선 폭을 조절하면 평균 12.84% 이상 지연 시간이 감소하였다. 표 8은 벤치마크 테스트 데이터에 대하여 실험한 후 [8]에서 제안한 방법(BST)과 비교하였다. 사용된 벤치마크 데이터의 특성은 표 4와 같다. 여기서는 연결 에지 추가, 배선 트리 구성 그리고 배선 폭 조절 알고리즘을 결합하여 테스트한 결과를 나타낸다. 실험 결과로부터 평균적으로 13.93% 지연 시간이 감소함을 확인할 수 있다.

표 8. 배선 폭 조절 실험 결과
 Table 8. Result of wire sizing.

회로	BST	최종지연시간	향상율
r1	1635.48	1445.43	11.62 %
r2	2562.74	2194.21	14.38 %
r3	3284.02	2888.95	12.03 %
r4	6041.36	4969.62	17.74 %

VI. 결론

본 논문에서는 연결 에지를 클락 트리에 추가하는 기법을 이용하여 주어진 클락 스큐를 만족시키면서 총 배선 길이를 최소화하는 새로운 클락 배선 알고리즘을 제안하였다. 주어진 클락 스큐 범위를 만족시키도록 클락 배선을 할 경우 총 배선 길이의 증가를 억제할 수 있음을 확인하였고 여기에 링크 에지를 추가하면 필요로 하는 클락 스큐 범위로 클락 스큐를 줄일 수 있었

다. 이를 이용하여 주어진 클락 스큐 범위 내에서 최소의 총 배선 길이를 갖는 최적의 클락 배선을 할 수 있다. 또한 클락 신호선의 지연 시간 최소화를 위하여 새로운 배선 토폴로지 설계 및 배선 폭 조절 알고리즘을 제안하고 실험을 통하여 효율성을 입증하였다. 앞으로의 연구 과제는 클락 배선에 버퍼를 추가하여 지연 시간과 전력 소비를 최적화시키는 문제에 대한 연구이다.

참 고 문 헌

- [1] H. Bakoglu, "Circuits, Interconnections and Packaging for VLSI", Addison-Wesley, 1990.
- [2] Michael A. B. Jackson, Arvind Srinivasan, and E. S. Kuh, "Clock Routing for High-Performance ICs", DAC, pp.573-579, 1990.
- [3] Andrew Kahng, Jason Cong, and Gabriel Robins, "High-Performance Clock Routing Based on Recursive Geometric Matching", DAC, pp.322-327, 1991.
- [4] Ren-Song Tsay, "Exact Zero Skew", ICCAD, pp.336-339, 1991.
- [5] Kenneth D. Boese and Andrew B. Kahng, "Zero-Skew Clock Routing Trees With Minimum Wirelength", Proc. IEEE 5th Intl.ASIC Conf., pp.1.1.1-1.1.5, 1992.
- [6] Masato Edahiro, "A Clustering-Based Optimization Algorithm in Zero-Skew Routings", DAC, pp.612-616, 1993.
- [7] Dennis J.-H. Hwang, Andrew B. Kahng and Chung-Wen Albert Tsao "On the Bounded-Skew Clock and Steiner Routing Problem", DAC, pp.508-513, 1995.
- [8] Jason Cong, Andrew B. Kahng, Cheng-Kok Koh and C.-W. Albert Tsao "Bounded-Skew Clock and Steiner Routing Under Elmore Delay", ICCAD, pp.66-71, 1995.
- [9] Hidenori Sato, Hiroaki Matsuda, and Akira Onozawa, "A Balanced-Mesh Clock Routing Technique for Performance Improvement", IEICE Trans. Fundamentals, Vol. E80-A, pp.1489-1495, 1997.
- [10] H.B.Bakoglu, J.T.Walker, and J.D.Meindl, "A Symmetric Clock Distribution Tree and Optimized High-Speed Interconnections for Reduced Clock Skew in ULSI and WSI Circuits," Proceedings of IEEE International Conference on Computer Design, pp.118-122, October 1986.

저 자 소 개

柳光基(正會員) 第36卷 C編 第10號 參照

鄭正和(正會員) 第36卷 C編 第10號 參照