

論文 99-36C-11-7

고밀도 고속 CMOS 집적회로에서 동시 스위칭에 의한 패키지 영향해석 및 패키지 설계방법

(Simultaneous Switching Characteristic Analysis and Design Methodology of High-Speed & High-Density CMOS IC Package)

朴 映 準 * , 崔 鎮 宇 ** , 魚 瀛 善 **

(Young-Jun Park, Jin-Woo Choi, and Yung-Seon Eo)

요 약

본 논문에서는 패키지의 전기적 특성이 CMOS 디지털 회로에 미치는 영향을 해석하고 패키지 특성을 고려한 새로운 CMOS IC 패키지 설계방법을 보인다. 집적회로 내의 게이트들이 동시에 스위칭 할 때 패키지에 기인한 동시 스위칭 노이즈 (Simultaneous Switching Noise: SSN)가 시스템의 성능에 미치는 영향에 대하여 해석적으로 고찰하여 패키지의 전기적 특성에 의한 제약조건을 만족시키면서 집적회로 패키지를 설계할 수 있는 새로운 설계 식을 유도하고 이들 식을 이용한 설계방법을 제시한다. 또한 제시된 패키지 설계방법의 타당성을 검증하기 위하여 0.35 μm CMOS 회로에 대하여 범용회로 시뮬레이터인 HSPICE 시뮬레이션 결과와 본 논문에서 제시한 해석적 설계 방법에 따른 결과가 일치한다는 것을 보인다.

Abstract

A new CMOS IC package design methodology is presented, analyzing the electrical characteristics of a package and its effects on the CMOS digital circuits. An analytical investigation of the package noise effects due to the simultaneous switching of the gates within a chip, i.e., simultaneous switching noise (SSN) is performed. Then not only are novel design formula to meet electrical constraints of the package derived, but also package design methodology based on the formula is proposed. Further, in order to demonstrate the proposed design methodology, the design results are compared with HSPICE (a general purpose circuit simulator) simulation for 0.35 μm -based CMOS circuits. According to the proposed design procedures, it is shown that the results have excellent agreements with those of HSPICE simulation.

I. 서 론

최근 반도체 실리콘 공정 기술의 급속한 발전에 힘입

어 0.25 μm 이하의 선폭을 갖는 미세 반도체 가공 기술의 도래와 함께 수천만개 이상의 트랜지스터를 하나의 칩 속에 집적하여 약 500MHz 이상의 클럭 속도로 동작하는 반도체 회로 설계 기술이 가능하게 되었다^{[1][2]}. 그러나 이들 고성능 VLSI 칩은 수십GHz 영역의 클럭 밴드 폭을 요하기 때문에 최근의 반도체 회로 및 시스템은 전기적 특성 문제로 인한 성능저하가 심각한 문제로 대두 되고 있다. 특히 패키지는 고성능 반도체 회로 및 시스템의 밴드위드를 상당히 제한하기 때문에

* 正會員, 三星電子

(SAMSUNG ELECTRONICS CO., LTD)

** 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Engineering, Hanyang University)

接受日字:1998年12月19日, 수정완료일:1999年9月30日

이들 시스템 설계상의 중요한 문제중의 하나로 인식되어 왔다^{[3]-[5]}.

패키지의 전기적 특성은 전원 및 신호의 분배 망과 회로의 스위칭 특성과 밀접하게 관련되어있으며 이들은 다시 칩 내부의 구동회로 특성 및 패키지 핀의 배열 구조와 결합하여 수 많은 복잡한 전기적인 문제를 야기시켜 시스템의 성능을 저하시킨다. 특히 고밀도 고속 디지털 시스템에서 패키지에 기인한 동시 스위칭 노이즈 (simultaneous switching noise: SSN)는 시스템의 노이즈 마진의 감소, 시스템 전원의 불안정, 및 신호의 지연에 의한 시스템 타이밍 문제와 같은 심각한 문제를 야기시켜 설계오류로 이어질 가능성이 매우 높기 때문에 설계상 가장 먼저 고려해야 만하는 중요한 문제다^{[9]-[17]}. 때문에 설계의 초기단계에서부터 패키지에 기인한 동시 스위칭 노이즈를 정확히 예측하여 설계에 반영 할 수 있는 해석적인 설계방법에 따라 설계해야 설계 비용 및 설계 시간을 최소화 할 수 있다.

패키지에 기인한 전기적 노이즈 및 성능 저하 문제 등을 극복 하면서 집적회로를 설계하기 위하여 반도체 소자와 관련된 패키지의 스위칭 특성에 관한 많은 해석적인 연구가 진행되어왔다^{[8]-[12]}. 게이트의 스위칭에 의한 패키지 스위칭 노이즈에 대한 해석적 모델을 위하여 [9]에서는 롱 채널(long channel) MOS소자 모델을 가정하여 SSN 모델을 수행하였다. 또한 [10]은 [9]의 모델을 사용하여 패키지에 기인한 SSN 노이즈에 의한 시스템 속도 저하에 관한 해석을 통하여 주어진 설계 조건을 만족 할 수 있는 패키지 설계 방법을 제안하였다. 그러나 이들 롱 채널 MOS소자 모델에 근거한 패키지의 특성모델은 덩 서브마이크론 공정을 사용하는 현재의 대부분의 반도체 칩에서는 상당히 과장된 노이즈 값을 예측하기 때문에 정확성에 많은 문제가 있다. 서브마이크론 MOS소자에서는 채널 상에서 캐리어의 속도 포화(velocity saturation) 현상을 고려한 소자모델을 사용하여 패키지에 기인한 스위칭 노이즈를 모델링 하지 않으면 안 된다^[6]. 따라서 [6][8]에서는 숏 채널(short-channel) 소자 모델에 근거한 스위칭 노이즈 예측을 하기 위하여 Sakurai의 α -power-law^[7]를 적용한 MOS 소자의 전류식을 사용한 패키지 스위칭 노이즈 모델을 수행하였다. [7]의 소자 모델은 캐리어의 속도 포화 모델을 실험적으로 고려하기 때문에 숏채널을 사용하는 CMOS 회로에서 SSN을 정확히 예측 할 수 있다^[8]. 그러나 고성능 시스템에서는 패키지에 기인

한 노이즈 그 자체도 문제지만 이들 기준전위 (파워 및 그라운드)에서의 노이즈는 시스템의 시간 지연 문제로 연결되기 때문에 타이밍 문제도 무시할 수 없는 중요한 문제다. 그러나 아직 까지 서브 마이크로 소자에서의 속도 포화 현상을 고려하여 패키지의 SSN에 기인한 시스템 속도 저하에 관한 해석적인 설계 방법은 보고되지 않았다.

본 논문에서는 숏 채널(short-channel) 소자를 사용하는 CMOS 회로에 대한 패키지 스위칭 노이즈 (SSN) 모델[6]을 사용하여 패키지에 의한 SSN이 시스템에 미치는 시간지연에 대하여 새롭게 해석하고 그 결과를 바탕으로 하여 구동회로의 상승시간, 동시에 스위칭하는 드라이버의 갯수, 그라운드의 인덕턴스 값, 시간지연, 부하단의 크기와 같은 설계상의 제약 조건하에서 패키지 시스템을 체계적으로 설계할 수 있는 새로운 패키지 설계식을 유도하고 이를 근거로 새로운 패키지 설계방법을 제시하고 검증한다.

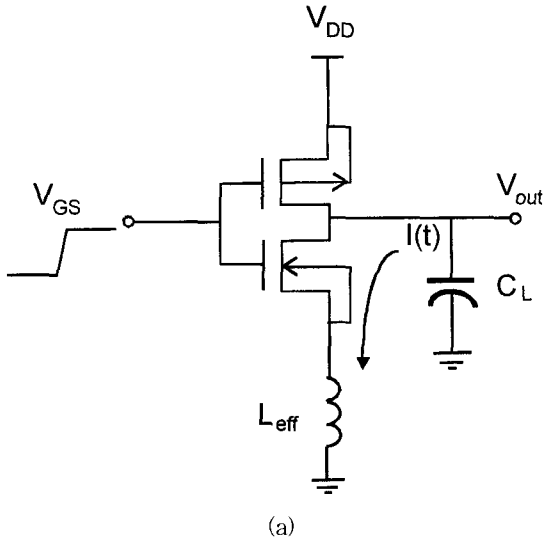
II. 패키지에 기인한 스위칭 특성 해석

SSN은 근원적으로 시스템내의 회로 소자들이 스위칭 할 때 실제의 그라운드 혹은 파워 지점과 상대적인 그라운드 혹은 파워선 간의 인덕턴스에 유기되는 전압 변동이다. SSN은 그림 1과 같은 CMOS 회로에서 다음과 같이 간단히 수식적으로 표현 할 수 있다.

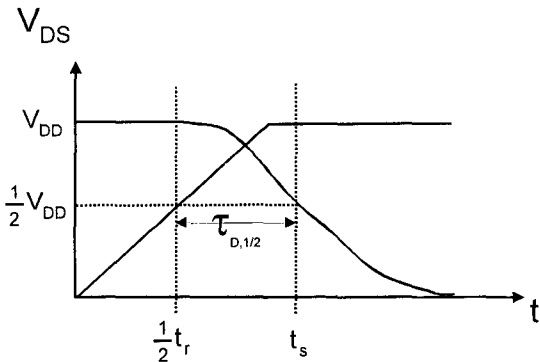
$$V_{ssn} = nL_{eff} \frac{dI}{dt} \tag{1}$$

여기서 n 은 동시에 스위칭하는 게이트의 갯수이고 dI/dt 는 반도체 소자 특성과 관련되는 전류 슬루 레이트이며 L_{eff} 는 패키지의 유효 인덕턴스 (실제 시스템 그라운드 지점과 칩내의 그라운드 경로의 인덕턴스) 이다. 따라서 실제의 시스템에서 SSN에 영향을 미치는 설계 변수로는 시스템의 속도 (t_r) 패키지 인덕턴스 (L_{eff}) 구동 회로의 크기 (R_p) 및 부하단의 크기 (C_L) 가 SSN에 총체적인 영향을 미친다. 이상적인 경우 즉 패키지의 기생 인덕턴스 (L_{eff}) 값이 존재하지 않을 경우 (1) 식으로부터 SSN은 아무런 문제가 되지 않고 시스템의 동작속도가 느린 경우 전류 슬루 레이트가 작기 때문에 상대적으로 SSN 문제는 설계상 커다란 문제가 되지 않는다. 그러나 고속 고밀도 집적회로에서 SSN은 글리치나 타이밍 문제를 발생시켜 설계상 심각

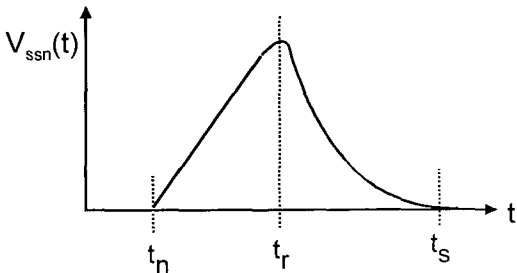
한 문제를 일으킬 수 있다. 따라서 패키지의 타입, 구동 회로의 크기, 수신단의 크기등을 고려한 시스템 설계를 하지 않으면 안 된다.



(a)



(b)



(c)

그림 1. SSN에 관한 CMOS 회로 모델; (a) CMOS 회로 (b) 입력 및 출력전압 (c) 스위칭 노이즈
Fig. 1. CMOS circuit model for SSN; (a) CMOS circuit (b) Input and output voltage (c) Switching noise.

1. 숫 채널 효과를 고려한 패키지의 스위칭 노이즈 모델

서브마이크론 소자의 경우 드레인 전류 I_D 는 포화 영역 (즉, $V_{DS} \geq V_{DD}$)에서 다음과 같이 α 승에 비례한다^[7].

$$I_D = k_s (V_{GS} - V_t)^\alpha \quad (2)$$

여기서 α 값은 $0.5\mu\text{m}$ 이하의 MOSFET 소자의 경우는 근사적으로 1의 값을 갖는데 이는 채널내의 캐리어의 속도가 선형으로 증가하지 않고 전계의 세기가 일정 이상이 되면 속도가 포화되기 때문이다. 또한 (2)식에서 k_s 와 V_{DD} 은 각각 다음과 같다

$$K_s = \frac{I_{D0}}{(V_{DD} - V_t)^\alpha} \quad (3)$$

$$V_{D0} = V_{DD} \left(\frac{V_{GS} - V_t}{V_{DD} - V_t} \right)^{\alpha/2} \quad (4)$$

여기서 V_{D0} 는 $V_{GS} = V_{DD}$ 일때의 드레인 새투레이션 전압이며 I_{D0} 는 일 때의 MOSFET의 드레인 전류 구동능력을 표시하는 인자이며 채널의 폭에 비례한다. 따라서 회로 설계자는 구동회로의 크기를 소자의 폭과 길이의 비를 이용하여 결정하기 때문에 설계상의 편의를 위하여 (2)를 회로 설계자의 설계 변수인 (W/L) 비를 사용하여 다음과 같이 변형하여 사용할 수도 있다.

$$I_D = \beta^* \left(\frac{W}{L} \right) (V_{GS} - V_t)^\alpha \quad (5)$$

여기서

$$\beta^* = \frac{I_{D0}}{(V_{DD} - V_t)^\alpha} \left(\frac{L}{W_b} \right) \quad (6)$$

이고 W_b 은 I_{D0} 를 구하기 위해 사용된 채널의 폭을 나타낸다. SSN을 구하기 위하여 (1)과 (2)를 결합하면 다음과 같이 SSN(Simultaneous Switching Noise)을 구할 수 있다^[6].

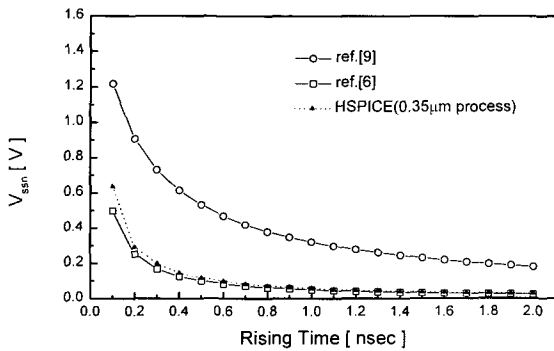
$$V_{ssn}(t) = \begin{cases} s_r \tau \left[1 - e^{-\frac{(t-t_n)}{\tau}} \right] & (t_n \leq t \leq t_r) \\ V_{\max} e^{-\left(\frac{t-t_r}{\tau} \right)} & (t_r \leq t \leq t_s) \end{cases} \quad (7)$$

여기서 s_r 과 τ 는 각각

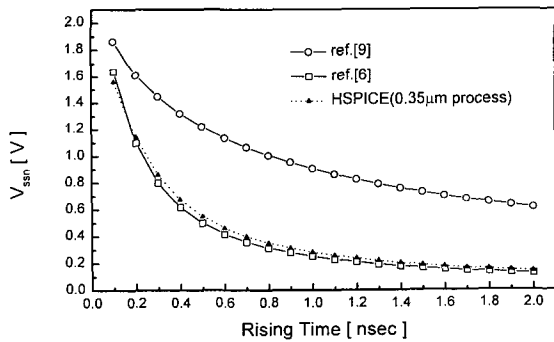
$$s_r = V_{DD}/t_r \tag{8}$$

$$\tau \equiv nk_{sn}L_{eff}f \tag{9}$$

이며 f 는 서브 마이크론 소자의 경우 약 1이다. V_{max} 는 $t = t_r$ 일 때의 SSN 값이고 t_s 는 스위칭 노이즈가 0가 되는 지점까지의 시간을 나타낸다. [6]의 SSN 모델은 숏 채널(short channel)소자에 대하여 그림 2에서 보였듯이 0.35 μ m MOS 소자모델에 대하여 HSPICE 시뮬레이션 결과와 잘 일치한다. 따라서 본 연구에서는 [6]의 소자 모델식을 이용하여 SSN의 영향을 해석한다.



(a)



(b)

그림 2. 본 논문에서 사용한 0.35 μ m CMOS 회로의 경우와 [6]의 모델을 사용한 경우에 대한 상승시간 변화에 따른 스위칭 노이즈 비교 ($k_{sn} \approx 15.187mA/V$, $V_{DD} = 3.3V$);

(a) $L_{eff} = 1nH$ (b) $L_{eff} = 5nH$

Fig. 2. Comparison of switching noise for 0.35 μ m-based CMOS circuits with switching noise for using the model in [6] with rising time variations ($k_{sn} \approx 15.187mA/V$, $V_{DD} = 3.3V$); (a) $L_{eff} = 1nH$ (b) $L_{eff} = 5nH$.

2. 부하 캐패시턴스의 효과

부하 캐패시턴스는 MOSFET소자의 동작특성과 직결되어 있기 때문에 스위칭 노이즈에 상당한 영향을 미

칠 수 있다. 즉 구동 드라이버가 상대적으로 작은 부하 캐패시턴스를 구동 할 때는 NMOS가 입력에서 스위칭이 끝나는 지점 (예를 들면 $0 \rightarrow V_{DD}$)에 도달하기 전에 새투레이션 모드를 떠나 선형 모드(non-saturation mode)로 동작할 수 있는데 이 경우 구동 드라이버가 저항으로써 동작하게 되고 그라운드와 유효 인덕턴스와 부하 캐패시턴스와의 RLC회로의 동작에 의해 오실레이션(oscillation) 현상이 NMOS 트랜지스터의 전류에 나타난다. 이러한 오실레이션으로 인하여 그림 3과 같이 첫번째 노이즈 피크(first noise peak)보다 두번째 노이즈 피크(secondary noise peak)에서 더 큰 스위칭 노이즈를 발생시킬 수 있기 때문에 노이즈를 정확히 예측 할 수 없는 문제가 발생하게 된다. 따라서 부하 캐패시턴스를 잘 조절하여 그러한 현상이 발생하지 않도록 설계하는 것이 무엇보다 중요하다.

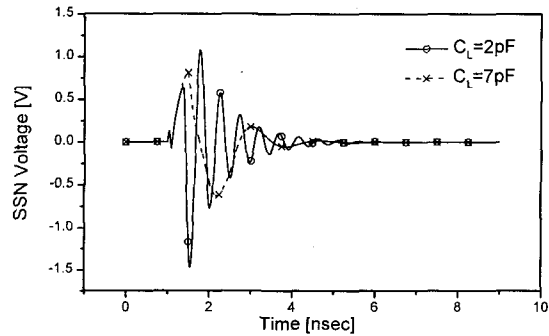


그림 3. 부하 캐패시턴스 값의 변화에 따른 SSN 전압 파형 ($V_{DD} = 3.3V$, $n = 8$, $t_r = 0.5nsec$, $k_{sn} \approx 15.187mA/V$); 2pF($< C_{crit}$)인 경우 $V_{SSN,MAX}$ 가 첫번째 peak가 아니라 두번째 peak인 반면 7pF ($> C_{crit}$)인 경우 $V_{SSN,MAX}$ 가 처음 peak에서 발생함

Fig. 3. SSN voltage waveform for different values of load capacitance ($V_{DD} = 3.3V$, $n = 8$, $t_r = 0.5nsec$, $k_{sn} \approx 15.187mA/V$); $V_{SSN,MAX}$ occurs in not first peak but second peak for 2pF($< C_{crit}$), whereas $V_{SSN,MAX}$ occurs in first peak for 7pF ($> C_{crit}$).

다시 말해서 NMOS트랜지스터에 흐르는 전류의 파형은 C_L 값이 정확히 $t = t_r$ 일때 새투레이션 모드를 떠나는 C_L 값인 C_{crit} 을 기준으로 특성이 전혀 다르기 때문에 먼저 부하 캐패시턴스 C_L 값이 C_{crit} 보다 큰지를 조사하여야 하며 항상 C_L 값이 C_{crit} 보다 크도록 설계를 해야 한다. 임계 캐패시턴스 값 (C_{crit})은

NMOS 트랜지스터가 새투레이션 모드를 떠나는 시간과 입력이 최종 값에 이르는 시간을 같다고 놓고 회로 방정식을 풀면 다음과 같이 구할 수 있다.

$$C_{crit} = \frac{k_{sn}}{V_{DD} - V_{max} - V_{D0}} \left[\frac{t_r}{2V_{DD}} 9V_{DD} - V_i \right]^2 - \tau(V_{DD} - V_i) + V_{max}\tau \quad (10)$$

실제로 그림 4에서 보이듯이 식 (10)에 의해서 예측한 임계 값 (C_{crit}) 근처에서 스위칭 노이즈가 새투레이션 되는 것을 알 수 있고 스위칭 속도에 따라서 임계 값도 변하는 것을 알 수 있다. 주지 할 사실은 임계 값 (C_{crit})보다 더 큰 부하 캐패시턴스에 대한 스위칭 노이즈는 V_{max} 값에 의해 결정되지만 임계 값보다 적은 부하 캐패시턴스에 대한 스위칭 노이즈는 오실레이션 때문에 V_{max} 보다 클 수 있기 때문에 부하 캐패시턴스 값 (C_L)은 항상 임계 값 (C_{crit})보다 크게 설계해야 한다.

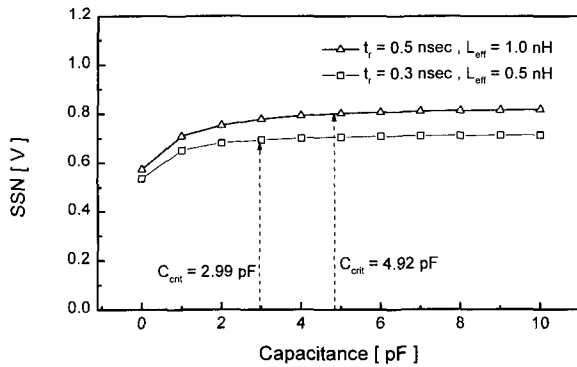


그림 4. 부하 캐패시턴스의 크기에 따른 스위칭 노이즈 변화 ($k_{sn} \approx 15.187 \text{ mA/V}$, $V_{DD} = 3.3 \text{ V}$); 계산한 임계부하(C_{crit}) 이상에서 SSN은 거의 일정함(새투레이션)

Fig. 4. Switching noise variation with load capacitances ($k_{sn} \approx 15.187 \text{ mA/V}$, $V_{DD} = 3.3 \text{ V}$); SSN reaches saturation point above the computing (C_{crit}) value.

3. 드라이버의 구동능력 및 50% 지연시간

일반적으로 대부분의 패키지 인덕턴스는 수 nH 정도의 값을 갖고며 구동해야 할 off-chip의 부하 커패시턴스는 약 10~200pF정도 사이의 값을 가지므로 NMOS 트랜지스터 동작은 대부분 스위칭시 새투레이션 모드로 동작한다^[10]. 하지만 그 조건을 만족시키지 않은 경

우에는 전결에서 기술한 바와 같이 부하 커패시턴스가 임계 커패시턴스 보다 크도록 설계해야 한다. 따라서 본 절에서는 일단 소자는 항상 새투레이션 모드에 있다고 가정하고 패키지의 영향을 해석한다. 또한 입력 신호는 기울기가 t_r 인 선형 함수 (ramp function)로 변한다고 가정하면 50% 지연시간(50% delay time), 즉 입력전압이 50% 되는 부분에서 출력전압이 50% 되는 지점까지의 지연시간은 다음과 같은 회로 방정식으로 부터 구할 수 있다.

$$\frac{1}{2} V_{DD} C_L = \int_{t_s}^{t_r} I_{D,sat} dt + \int_{t_s}^{t_r} I_{D,sat} dt \quad (11)$$

여기서 t_s 를 출력전압 V_{out} 이 $\frac{1}{2} V_{DD}$ 에 도달할 때의 시간이라고 하면 50% 지연시간 ($\tau_{D,1/2}$)은

$$\tau_{D,1/2} = t_s - \frac{1}{2} t_r \quad (12)$$

이므로 위 회로 방정식을 풀면 $\tau_{D,1/2}$ 를 다음과 같이 근사적으로 구할 수 있다.

$$\tau_{D,1/2} \approx \frac{V_{DD} C_L}{2k_{tr}(V_{DD} - V_i)} + \frac{t_r}{V_{DD}} \left(\frac{1}{2} V_i + s_r \tau \right) \quad (13)$$

또한

$$V_{max} \approx s_r n k_{sn} L_{eff} f \approx s_r \tau r \quad (14)$$

이므로 식(13)을 다음과 같이 다시 나타낼 수 있다.

$$\tau_{D,1/2} \approx \frac{V_{DD} C_L}{2k_{tr}(V_{DD} - V_i)} + \frac{t_r}{V_{DD}} \left(\frac{1}{2} V_i + V_{max} \right) \quad (15)$$

식(15)는 구동 드라이버의 구동능력 부하 캐패시턴스의 크기 입력전압의 상승시간 그리고 스위칭 노이즈의 함수로써 '부하 캐패시턴스를 구동하는 드라이버의 입력 전압과 출력전압사이의 50% 지연시간을 나타내며 시스템의 성능을 결정하는 중요한 요소가 된다. 또한 식(15)를 변형하면 시스템의 성능을 결정하는 다른 설계 변수들 즉 회로의 스위칭 속도, 부하 캐패시턴스의 크기, 50% 지연시간, 그리고 최대 허용 SSN이 주어졌을 때 이를 구동할 수 있는 구동 드라이버의 구동능력을 나타내는 k_{sn} 값을 구할 수 있다. 즉 식(15)를 구동능력을 나타내는 k_{sn} 에 관하여 다시 쓰면

$$k_{sn} \approx \frac{V_{DD}C_L}{2(V_{DD} - V_t) \left(\tau_{D,1/2} - \frac{t_r}{V_{DD}} \left(\frac{1}{2} V_t + V_{max} \right) \right)} \quad (16)$$

이 된다. 따라서 식(12)부터 식(16)은 시스템의 설계조건에 맞도록 패키지 및 구동회로를 트레이드 오프 (trade-off)하면서 시스템을 설계할 수 있는 패키지 설계방정식이다.

4. SSN에 기인한 50% 지연시간

전 절의 설계식들은 모든 시스템의 특성이 전부 고려된 시스템의 시간 지연을 나타내기 때문에 순수하게 패키지와 관련된 SSN만에 의한 시간 지연 정도를 알 수 없다. 따라서 본 절에서는 순수하게 SSN에 기인한 시스템 특성을 고찰 한다.

그림 1-(b)에서 나타낸 바와 같이 SSN을 고려한 50% 지연시간을 $\tau_{D,1/2}$ 이라고 하고 SSN을 고려하지 않은 순수한 게이트 만에 의한 50% 지연시간을 $\tau_{D,1/2}$ 라고 하면 다음과 같은 식으로부터 순수하게 SSN에 의해서 발생하는 지연시간을 구할 수 있다. SSN에 의해서 발생하는 지연시간을 $\tau_{D,ssn}$ 은 다음과 같이 다시 표현할 수 있다.

$$\tau_{D,ssn} = \tau_{D,1/2} - \tau_{D,1/2} \quad (17)$$

(17)에서 SSN을 고려하지 않은 지연시간 $\tau_{D,1/2}$ 에 대하여는 $\tau_{D,1/2}$ 를 구한 방법과 같은 방법으로 다음과 같이 쉽게 구할 수 있다.

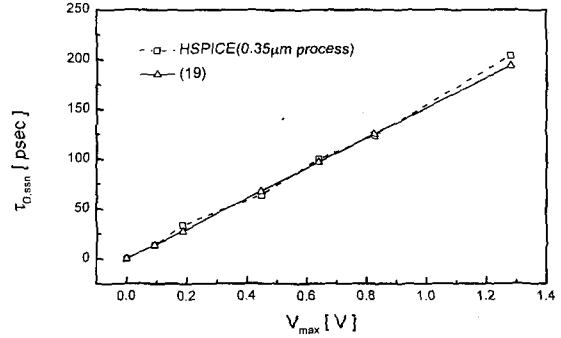
$$\tau_{D,1/2} \approx \frac{V_{DD}C_L}{2k_{sn}(V_{DD} - V_t)} + \frac{V_t}{2V_{DD}} t_r \quad (18)$$

따라서 식(15)와 식(18)을 식(17)에 대입하여 정리하면 순수하게 SSN에 의해서 발생하는 시스템의 시간 지연은 다음과 같이 된다.

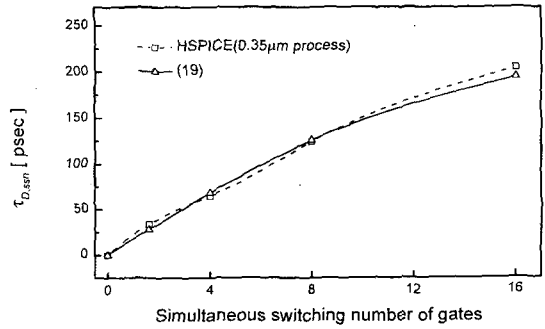
$$\tau_{D,ssn} \approx \frac{t_r}{V_{DD}} V_{max} \quad (19)$$

식(19)로부터 SSN에 의해서 추가로 발생하는 신호의 지연시간 $\tau_{D,ssn}$ 은 회로의 스위칭 속도 (t_r), 시스템을 동작시켰을 때 발생한 최대 SSN인 V_{max} 값과 회로의 바이어스 값 V_{DD} 의 함수라는 것을 알 수 있다. SSN의 변화에 따른 지연시간과 동시에 스위칭하는 구동 드라이버의 갯수에 따른 지연시간을 위의 해석적

모델식 (19)에 의한 값이 HSPICE 시뮬레이션 결과와 일치한다는 것을 보이기 위하여 V_{max} 값의 변화와 동시에 스위칭하는 게이트 수에 따라 $\tau_{D,ssn}$ 을 그림 5에 나타내었다. 그림 5에 의해서 알 수 있듯이 (19)는 HSPICE 시뮬레이션 결과와 약 5%이내에서 정확하게 일치한다.



(a)



(b)

그림 5. 스위칭 노이즈에 의해 발생한 지연시간 ($\tau_{D,ssn}$)에 대한 (19)식과 HSPICE의 비교. $V_{DD} = 3.3V$, $k_{sn} \approx 15.187mA/V$, $t_r = 0.5nsec$; (a) V_{max} 에 따른 지연시간 (b) 스위칭 갯수에 따른 지연시간 ($L_{eff} = 1.0nH$)

Fig. 5. Comparison of delay time due to simultaneous switching noise ($\tau_{D,ssn}$) for eq.(19) and HSPICE. $V_{DD} = 3.3V$, $k_{sn} \approx 15.187mA/V$, $t_r = 0.5nsec$; (a) Delay time variation due to the maximum SSN (b) Delay time variation due to the number of simultaneous switching drivers ($L_{eff} = 1.0nH$).

IV. 패키지 설계 및 검증

본 절에서는 전절의 해석 결과 얻어진 패키지 설계

방정식들을 이용하여 제시한 설계 방법에 따른 패키지 설계 값이 주어진 제약조건을 정확하게 만족시킬 수 있다는 것을 보인다.

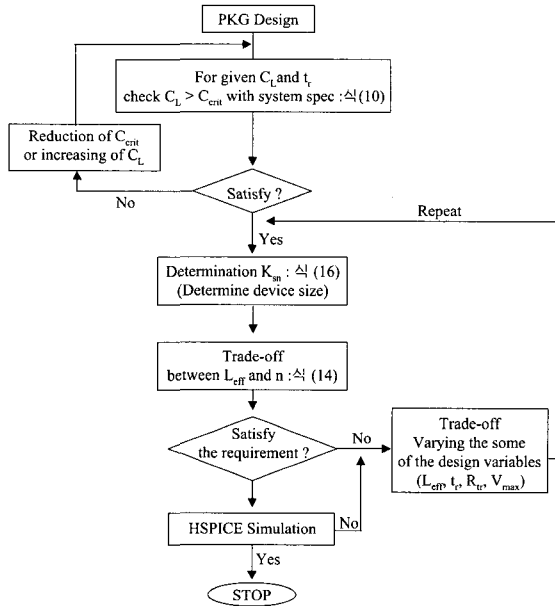


그림 6. 설계 제약 조건을 만족시키는 패키지 설계 절차
 Fig. 6. Package design procedures to meet design spec.

주어진 설계상의 제약 조건하에서 설계자가 원하는 패키지의 설계 값은 그림 6과 같은 절차에 따라 계산할 수 있다. 일례로서 시스템 설계에 있어서 부하 캐패시턴스의 크기 (C_L)와 입력신호의 상승시간 (t_r) 값이 알려져 있고 50% 지연시간 $\tau_{D,1/2}$ 와 최대 허용 SSN 값 (패키지 설계상의 제약조건)을 만족시키는 패키지 설계를 하는 경우 먼저 부하 캐패시턴스의 크기 (C_L)와 입력신호의 상승시간 (t_r) 값을 이용하여 식(16)으로부터 구동 드라이버의 구동능력 k_{sm} 값을 구해야 한다. k_{sm} 은 주어진 조건하에서 부하 캐패시턴스를 구동하기 위한 최소값을 의미하기 때문에 이로부터 구동 드라이버의 크기(size)를 결정할 수 있다. 따라서 일단 구동 드라이버의 크기가 결정되면 k_{sm} 값을 식(14)에 대입함으로써 패키지 설계에 있어서 최대 허용 스위칭 갯수 n 과 유효 인덕턴스 값의 상관관계를 얻을 수 있다. 즉, 주어진 시스템 속도를 만족시키면서 부하 캐패시턴스를 구동할 수 있는 드라이버 크기가 결정된 후

에 패키지 인덕턴스 L_{eff} 가 주어진다(즉 패키지 타입을 변경할 수 없다면) 식(14)로부터 최대 허용 스위칭 노이즈 범위 내에서 동시에 스위칭이 가능한 구동 드라이버의 갯수를 결정할 수 있다. 반대로 그라운드 유효 인덕턴스 값을 임의로 변경할 수 있다면(즉 패키지의 타입을 설계자가 선택할 수 있다면) 패키지 타입에 따른 최대 구동 드라이버의 갯수를 계산할 수 있다.

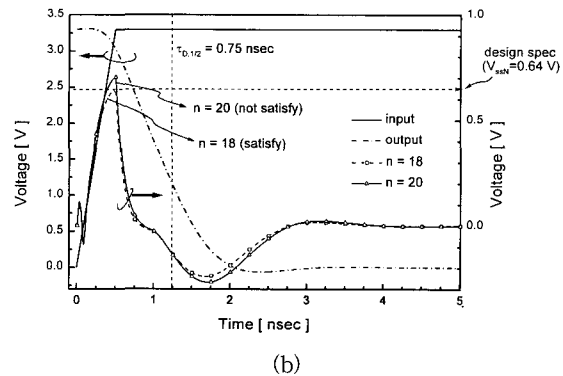
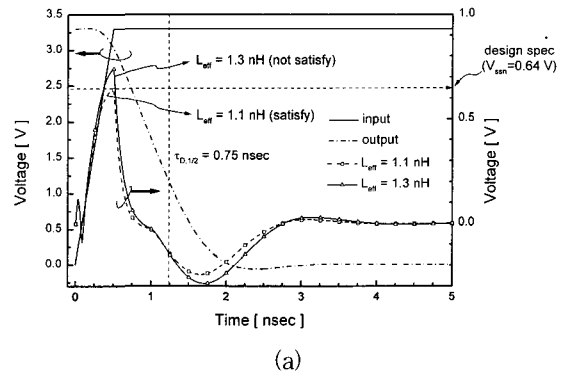


그림 7. 제시한 패키지 설계방법을 사용한 패키지에 대한 HSPICE 시뮬레이션 ($C_L = 19pF$, $t_r = 0.5nsec$, $W_N = 54\mu m$, $V_i = 0.64V$) ; 설계식의 값과 다른 경우 설계조건을 만족시키지 않는 것을 알 수 있음. (a) $n = 8$, $L_{eff} = 1.1nH$ (b) $n = 18$, $L_{eff} = 0.5nH$
 Fig. 7. HSPICE simulation for package design with the suggested methodology ($C_L = 19pF$, $t_r = 0.5nsec$, $W_N = 54\mu m$, $V_i = 0.64V$) ; We can know that it does not satisfy the design spec for different value from design equation. (a) $n = 8$, $L_{eff} = 1.1nH$ (b) $n = 18$, $L_{eff} = 0.5nH$.

실제적으로 수치적인 값을 비교하기 위하여 설계사

양으로써 시스템의 동작속도 $t_r = 0.5nsec$, 부하 커패시턴스 $C_L = 10pF$, 정상동작을 위해 최대 동시 스위칭 갯수는 8개, 최대 허용 SSN 값은 $V_{max} = v_l = 0.64V$ 이고 50% 지연시간 $\tau_{D,1/2} = 1.5t_r$ 인 값을 갖도록 패키지를 설계한다고 하자. 이들 조건을 만족시키기 위해서 식(16)에 의해서 드라이버의 구동능력 k_{sm} 값은 $10.26mA/V$ 인 값을 가져야 하며 이는 구동 드라이버의 크기 $0.35\mu m$ CMOS 인버터 회로의 경우 $W_N = 54\mu m$ 에 해당한다. 또한 최대 허용 스위칭 갯수 $n = 8$ 을 만족시키기 위해서 식(14)로부터 패키지의 유효 인덕턴스는 ($L_{eff} < 1.18nH$)를 만족해야 한다. 따라서 결과 식으로부터 주어진 유효 인덕턴스의 조건을 만족시키는 패키지를 선택하여야 한다. 그러나 주어진 사양에서 유효 인덕턴스 $L_{eff} = 0.5nH$ 인 패키지에 대해서 동시 스위칭 갯수를 구하는 설계는 식(14)로부터 ($n < 18.9$)를 만족한다는 것을 알 수 있다. 즉 최대 개까지 동시에 스위칭 할 수가 있다. 실제로 설계한 값의 타당성을 검증하기 위하여 시뮬레이션을 수행하였고 검증을 위하여 사용한 소자 모델은 CMOS BSIM3모델(HSPICE Model level 49)을 사용하였다. 여기서 $t_{ox} = 7nm$ 이고 $V_l = 0.64V$, 그리고 $V_{DD} = 3.3V$ 이다. 제시한 패키지 설계방법을 사용한 패키지에 대한 시뮬레이션 결과는 그림 7에서 보인 것과 같은 설계 값을 사용하면 HSPICE 시뮬레이션 결과와 잘 일치하며 그렇지 않은 경우 설계조건을 만족시키지 않는다는 것을 알 수 있다.

V. 결론

본 연구에서는 고밀도 고속 디지털 시스템에서 패키지의 전기적 특성이 시스템에 미치는 영향을 해석적으로 고찰하였고 이들 해석을 바탕으로 하여 패키지의 전기적 특성을 고려한 시스템을 설계할 수 있는 새로운 패키지 설계 방법을 제시하고 그의 타당성을 시뮬레이션을 통하여 검증하였다.

패키지에 기인한 SSN 특성을 이론적으로 고찰하기 위하여 숏 채널(short-channel) 소자 모델을 사용하여 패키지의 전기적 특성을 수학적으로 해석하였다. 부하 커패시턴스의 크기에 따라 시스템의 오실레이션 때문에 패키지에 기인한 스위칭 노이즈가 예상치 보다 훨씬 커질 수 있기 때문에 그런 경우가 발생하지 않는

조건 즉 임계 부하 커패시턴스 값을 설계 변수 값을 사용한 식으로 표현하였으며 시스템 설계시 설계자가 고려하는 설계 변수들 즉, 구동회로의 크기, 부하 커패시턴스의 크기, 시스템의 동작속도, 시스템의 시간 지연, 패키지의 인덕턴스, 및 시스템내의 동시에 스위칭하는 게이트의 갯수를 변수로 설정하고 패키지의 성능을 간단한 수식으로 표현한 설계식을 유도하였다. 또한 이들 설계식에 근거하여 설계자가 패키지의 전기적 특성을 고려하면서 주어진 제약조건을 만족시키는 시스템 설계를 할 수 있는 새로운 패키지 설계 방법을 제시하였다. 제시한 해석적 설계방법에 따른 시스템 설계는 실제로 주어진 사양을 만족시킬 수 있다는 것을 $0.35\mu m$ CMOS 회로에 대하여 범용회로 시뮬레이터인 HSPICE 시뮬레이션을 통해 검증하였다. 따라서 제시된 설계방법은 고성능 CMOS 집적회로 설계 및 패키지 설계에서 유용하게 적용할 수 있을 것으로 사료된다.

참고 문헌

- [1] Daniel W. Bailey and Bradley J. Benschneider, "Clocking Design and Analysis for a 600-MHz Alpha Microprocessor," *IEEE JSSC.*, vol.33, no. 11, pp. 1627-1633, Nov. 1998.
- [2] Paul E. Gronowski et al., "High-Performance Microprocessor Design," *IEEE JSSC.*, vol.33, no.5, pp.676-686, May 1998.
- [3] Frank Y. Yuan, "Electromagnetic Modeling and Signal Integrity Simulation of Power/Ground Networks in High Speed Digital Packages and Printed Circuit Boards," *35th Design Automation Conf.*, pp.421-426, June 1998.
- [4] Thaddeus J. Gabara et al., "Forming Damped LRC Parasitic Circuits in Simultaneous Switched CMOS Output Buffers," *IEEE JSSC.*, vol.32, no.3, pp.407-418, Mar. 1997.
- [5] Loizos Vakanas, Samil Hasan et al., "Effects of Floating Planes in Three-Dimensional Packaging Structures on Simultaneous Switching Noise," *IEEE Trans, CPMT-PART B.*, vol. 21, no. 4, pp. 434-440, Nov. 1998.
- [6] S. R. Vemuru. "Accurate Simultaneous Switching

- Noise Estimation Including Velocity-Saturation Effects," *IEEE Trans. CPMT.*, vol. 19, pp. 344-349, May. 1996.
- [7] T. Sakurai and R. Newton, "Alpha-Power Law MOSFET Model and Its Applications to CMOS Inverter Delay and Other Formulas," *IEEE JSSC*, vol. 25, no. 2, pp. 584-594, Apr. 1990.
- [8] S. R. Vemuru. "Effects of Simultaneous Switching Noise on the Tapered Buffer Design," *IEEE Trans. VLSI Systems*, vol. 5, no. 5, pp. 290-300, Sep. 1997.
- [9] A. Vaidyanath, B. Thoroddsen, and J. L. Prince, "Effect of CMOS Driver Loading Conditions on Simultaneous Switching Noise," *IEEE Trans. CPMT.*, vol. 17, pp. 480-485, Nov. 1994.
- [10] Y. Yang and J. R. Brews, "Design Trade-Offs for the Last Stage of an Unregulated, Long-Channel CMOS Off-Chip Driver with Simultaneous Switching Noise and Switching Time Consideration," *IEEE Trans, CPMT-PART B.*, vol. 19, no. 3, pp. 481-486, Aug. 1996.
- [11] R. Senthinathan and J. L. Prince, "Application Specific CMOS Output Driver Circuit Design Techniques to Reduce Simultaneous Switching Noise," *IEEE JSSC.*, vol. 28, no. 12, pp. 1383-1388, Dec. 1993.
- [12] Y. Yang and J. R. Brews, "Design for Velocity Saturated, Short-Channel CMOS Drivers with Simultaneous Switching Noise and Switching Time Considerations," *IEEE JSSC.*, vol. 31, no. 9, pp. 1357-1360, Sep. 1996.
- [13] J. Rainal, "Eliminating Inductive Noise of External Chip Interconnections," *IEEE JSSC.*, vol. 29, no. 2, pp. 126-129, Feb. 1994.
- [14] Wiren D. Becker et al., "Modeling, Simulation, and Measurement of Mid-Frequency Simultaneous Switching Noise in Computer Systems," *IEEE Trans, CPMT-PART B.*, vol. 21, no. 2, pp. 157-163, May 1998.
- [15] David A. Secker and L. Prince, "Effects and Modeling of Simultaneous Switching Noise for BiCMOS Off-Chip Drivers," *IEEE Trans, CPMT-PART B.*, vol. 19, no. 3, pp. 473-480, Aug. 1996.
- [16] P. Larsson, "Power Supply Noise in Future IC's : A Crystal Ball Reading," *CICC*, pp.231.1-23.1.8, 1999.
- [17] Jaewon Oh and Massoud Pedram, "Multi-pad Power/Ground Network Design for Uniform Distribution of Ground bounce," *35th Design Automation Conf.*, pp.287-290, June 1998.

 저 자 소 개

朴 映 準(正會員)

1972년 11월 12일생. 1997년 2월 한양대학교 전자공학과 졸업(공학사). 1999년 2월 한양대학교 대학원 전자공학과 졸업(석사), 1999년 3월~현재 삼성전자 메모리 시스템 설계그룹 연구원. 주관심 분야는 고속 PCB설계 및 시뮬레이션

崔 鎮 宇(正會員)

1973년 12월 16일생. 1999년 2월 한양대학교 전자공학과 졸업(공학사). 1999년 3월 ~ 현재 한양대학교 전자공학과 석사과정. 주관심 분야는 RF 전자 패키지 및 동시 스위칭 노이즈 모델링, 신호 충실성 및 잡음 해석

魚 瀛 善(正會員) 第 35卷 C編 第 7號 參照