

# SOP RFIC 패키지 모델링

## (SOP Package Modeling for RFIC)

李東勳\*, 魚瀛善\*\*

(Dong-Hun Lee and Yung-Seon Eo)

### 요 약

RFIC 설계를 위한 새로운 패키지(SOP, Small Outline Package) 등가 회로 모델을 제시한다. RF 영역의 패키지에서 패들(paddle)은 이상적인 그라운드(ground)로 동작하지 못하며 패들과 MMIC 다이(die) 사이의 커플링(coupling) 문제 및 손실에 의한 기생 효과로 인해 MMIC 회로에 심각한 영향을 준다. 패키지의 전기적 효과에 대한 새로운 등가 회로 모델과 파라미터(parameter) 추출 방법을 SOP 패키지를 예로 들어 제시한다. 제시한 모델의 정확성은 상용 full-wave solver와 제시한 모델을 HSPICE 시뮬레이션하여 구한 S-파라미터를 상호 비교함으로써 모델의 정확성을 평가하고 모델이 약 8GHz까지 full-wave 해석 결과와 일치함을 보인다.

### Abstract

A new equivalent circuit model of package (SOP, Small Outline Package) is presented for designing radio frequency integrated circuits (RFIC). In the RF region, the paddle of a package does not work as an ideal ground. Further parasitics due to both coupling and loss have a substantial effect on MMIC. The equivalent circuit model and parameter extraction methodology for the electrical characteristics of the package are described by illustrating the SOP type packages. The accuracy of the model is evaluated by comparing the s-parameters of the commercial full-wave solver and those of HSPICE simulation with the circuit model. The proposed model shows an excellent agreement with full-wave analysis up to about 8GHz.

### 1. 서 론

오늘날 패키지의 전기적 기생 현상이 시스템의 성능에 미치는 영향은 급격히 증가하고 있다<sup>[1-18]</sup>. 과거의 패키지 분야는 온도, 재료, 그리고 역학적 문제들을 중심으로 다루어져 왔다. 그러나 사용 주파수 대역이 증가하고 고속화, 고집적화, 소형화 및 저가의 패키지에 대한 요구로 인해 현재의 패키지는 전기적 영향이 심각한 문제가 되고 있다<sup>[1-8][11-18]</sup>. 이러한 패키지의 전기적 문제를 해결하기 위해 측정, full-wave 해석 및 전기

회로 모델과 같은 다양한 방법으로 연구가 진행되어 왔다<sup>[2-18]</sup>.

RF 영역의 패키지에 대한 전기적 기생 현상을 예측하기 위해 [2-5]는 시간 영역에 대해 패키지의 불연속 구조와 신호의 왜곡을 측정하였고, [6-8]는 주파수 영역에 대해 삽입 손실 및 반사 손실을 측정하여 패키지의 전기적 기생 효과를 분석하였다. 또한 패키지 전체 구조를 측정하는 것이 아니라 다수의 본드 와이어(bond wire) 구조를 측정하여 패키지가 RF 회로에 미치는 영향을 분석하였다<sup>[9-10]</sup>. 컴퓨터를 이용하여 맥스웰(maxwell) 방정식을 수치적으로 직접 푸는 full-wave 해석을 이용하여 패키지의 효과를 분석하는 방법들도 제시되었다<sup>[11-14]</sup>. 그러나 full-wave에 의한 패키지의 영향을 분석 방법은 방대한 계산 시간을 필요로 하므로

\* 學生會員, \*\* 正會員, 漢陽大學校 電子工學科  
(Dept. of Electronic Engineering, Hanyang University)  
接受日字:1999年2月8日, 수정완료일:1999年9月22日

효율적이지 못한 문제가 있다. 즉 패키지의 구조나 주변 조건의 변화에 대해 많은 시간을 들여 계산해야 하는 점에서 효율성이 매우 떨어진다. 효과적인 RF 회로의 설계를 위해 패키지의 회로 모델과 회로 시뮬레이션을 통하여 패키지의 전기적 기생 현상을 모델하는 방법이 제시 되었지만 단순한 회로 모델로 RF 패키지의 복잡한 전자기적 현상을 전체적으로 설명하기에는 많은 문제점이 있다<sup>[15-18]</sup>. 최근 [18]에서 SOP 패키지를 예로 들어 측정이나 full-wave 해석의 단점을 개선하면서 전기 회로 모델링 방법으로도 비교적 정확한 패키지 효과를 예측할 수 있음을 보였다. 특히 SOP 패키지의 경우 패키지 자체의 그라운드인 패들(paddle)에서 발생하는 복잡한 전류의 흐름을 분석하고 이를 모델하였다. 그러나 [18]의 모델이 지금까지의 회로 모델 중에서 가장 정확히 패키지 효과를 예측해 주었지만 여전히 많은 문제점이 있다. 즉 패키지 내부의 금속 두께를 고려하지 않았고, 추출한 회로 소자의 파라미터가 음수 값을 갖는 등 실제적인 패키지 효과를 모델하지 못하였다. 또한 SOP 패키지의 패들을 단순히 몇 개의 인덕턴스로 모델하여 보다 정확한 패키지 효과를 설명할 수 없다.

본 논문에서는 저가의 RF 패키지로 널리 이용되는 SOP 패키지를 선택하고 전기 회로 모델링 방법을 이용하여 패키지 효과를 예측한다. SOP 패키지의 경우 심각한 전기적 기생 현상의 원인이 되는 패들과 MMIC 사이의 전자기적 현상을 상호간의 커플링(coupling)으로 보고 커패시턴스와 인덕턴스를 사용해 물리적으로 정확히 예측할 수 있는 회로 모델을 제시한다. 특히 패들 평면을 그리드 형태로 모델하고 각 그리드는 파장을 고려한 단위 회로 셀로 표현하여 패들에 의한 물리적 현상을 모델한다. 또한 이들 모델에서 사용한 회로 파라미터를 정확히 추출할 수 있는 새로운 패키지 파라미터 추출 방법을 제시한다. 본 논문에서 제시한 패키지의 등가 회로 모델을 이용하면 full-wave 해석의 비효율성을 극복할 수 있을 뿐만 아니라 회로 시뮬레이터인 HSPICE를 이용할 수 있기 때문에 MMIC 회로와 패키지를 결합하여 시스템 전체의 성능을 효과적으로 분석할 수 있는 큰 장점이 있다. 특히 회로 모델은 변경이 용이하므로 다양한 패키지 구조에 쉽게 적용할 수 있으며, 기존의 방법은 약 3GHz정도까지 패키지의 현상을 예측하였지만 제한한 모델을 사용하면 약 2배 이상인 8GHz까지 full-wave 시뮬레이션 결과와 정확히

일치하므로 복잡한 패키지의 현상을 보다 효과적으로 해석할 수 있다.

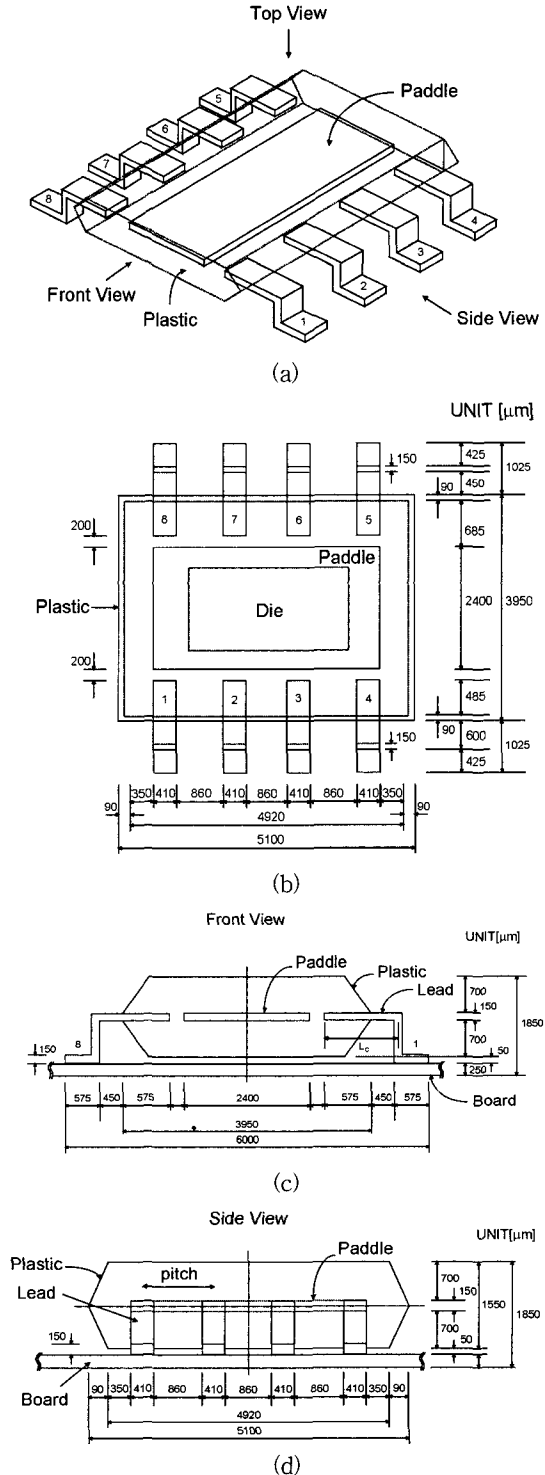


그림 1. SOP 8핀 패키지에 대한 전체 구조 및 치수. Fig. 1. Overall structure and dimensions of the SOP-8.

본 논문은 다음과 같이 구성하였다. 먼저 각 패키지의 컴포넌트(component)를 세분화하고 세분화된 부분을 모델한 후 이들을 통합하여 전체 패키지에 대한 모델링을 한다. 다음으로 모델 파라미터의 추출 방법에 대하여 기술하고 이들 모델과 모델 파라미터를 사용하여 패키지 회로 모델의 정확성을 full-wave 해석을 통한 S-파라미터와 회로 모델에 대한 HSPICE S-파라미터를 통해 검증하고 패키지 성능을 고찰한다.

2. 모델링 방법

MMIC를 장착하는 저가의 패키지의 형태로 널리 사용되는 플라스틱 SOP(Small Outline Package) 패키지를 예로 들어 RF 영역에서의 영향을 분석한다. 그림 1에는 플라스틱 SOP-8 핀 패키지의 전체적인 구조와 치수를 나타내었다. 그림 1에서 보듯이 SOP 패키지에는 패키지 자체의 그라운드 역할을 하도록 패들을 두고 있으나 실제로 RF 영역에서는 패들이 이상적인 그라운드로 작용하지 못하고 시스템(system)의 전위 변동을 유발시킨다. 그림 1(a)와 (b)에서 확연하게 볼 수 있듯이 패들은 실제 회로 기판의 그라운드로부터 전기적으로 분리된 구조를 가지고 있기 때문에 주파수의 증가와 함께 패들과 회로 기판 사이의 기생 성분(커패시턴스 및 인덕턴스)의 영향이 심각하게 된다. 따라서 패들은 이상적인 그라운드를 형성하지 못하고 많은 노이즈를 발생시키게 된다. 그러므로 이러한 패들의 영향을 정확히 모델 하는 것이 무엇보다 중요하다. 또한 고주파 영역의 패키지에서 패키지의 핀 및 본드 와이어는 신호의 전달 과정에서 많은 손실 및 반사를 발생시키기 때문에 이들에 대한 모델링 역시 매우 중요하다. 더불어 패들과 리드 사이의 작은 공간에서 발생하는 기생 성분도 RF회로에 심각한 영향을 줄 수 있기 때문에 이 부분도 회로 모델에 포함시켜야 한다. 그림 1의 구조를 리드(lead)와 본드 와이어 그리고 패들로 나누어 모델링한 후 이들을 통합하여 전체 패키지 모델을 구성한다.

1) 리드와 본드 와이어 모델링

리드는 외부로부터 신호가 입력되고 출력되는 역할을 하는 부분으로 가장 심각한 불연속 구조를 가지는 부분이다. 따라서 하나의 리드에 대한 모델링도 중요하지만 리드와 리드 사이의 상호 작용에 의해 발생하는 기생 성분을 모델하는 것이 특히 중요하다<sup>[15]</sup>.

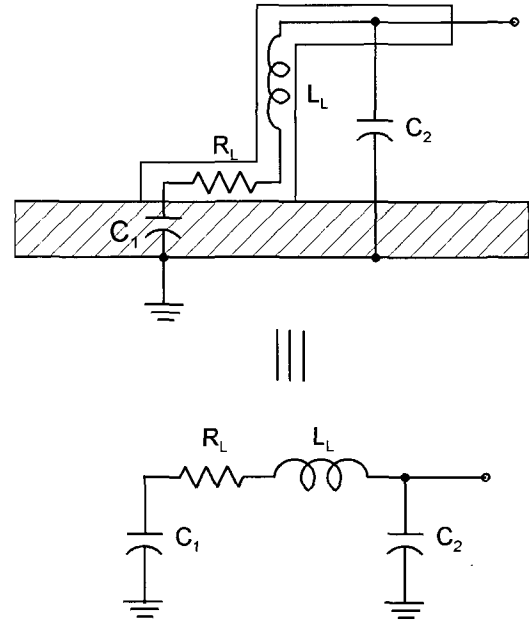


그림 2. 하나의 리드에 대한 구조와 등가회로.  
Fig 2. Structure and equivalent circuit for one lead.

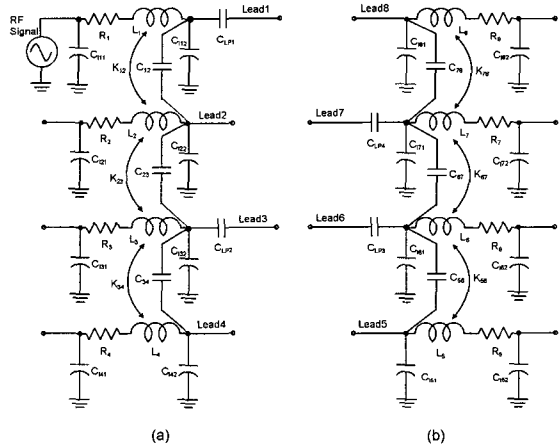


그림 3. 리드 배열에 대한 등가 회로. (a) 좌측 리드 배열. (b) 우측 리드 배열.  
Fig. 3. Equivalent circuit of the lead array. (a) left-side lead array. (b) right-side lead array.

그림 2는 리드에 대한 구조와 이에 대한 모델이다. 그림 2에서 보듯이 저항과 인덕턴스는 파라미터 추출 시뮬레이터(simulator)를 통해 구한 값( $R_L$ ,  $L_L$ )으로 모델할 수 있으나, 커패시턴스는 실제 그라운드와의 거리

차로 인해 하나의 커패시턴스로 모델할 수 없다. 따라서 실제 그라운드와 회로 기판 위에 놓인 리드부분과의 커패시턴스인  $C_1$ 과 실제 그라운드에서 패키지내의 리드 사이의 커패시턴스인  $C_2$ 로 모델하였다. 그림 3은 리드와 리드 사이의 상호 인덕턴스와 상호 커패시턴스를 리드 배열 모델에 반영한 등가 회로이다. 이 회로를 사용하여 주파수의 증가에 따라 이웃한 리드 사이의 기생 성분의 영향을 분석할 수 있다.

그림 4는 SOP패키지에서 주로 사용되는 볼(ball) 형태의 본드와이어와 이에 대한 모델이다. 본드 와이어는 리드와 MMIC 회로 사이를 연결하는 매체로서, 매우 전도성이 우수한 금(gold)과 같은 물질을 주로 사용함으로 본드 와이어 자체의 저항 성분은 무시할 수 있을 정도로 작다. 따라서 본드 와이어를 간단히 인덕턴스( $L_b$ )로만 모델링 할 수 있다.

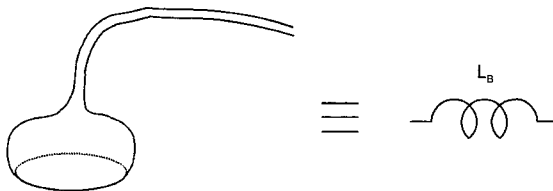


그림 4. 본드 와이어에 대한 등가 회로와 구조  
Fig. 4. Structure and equivalent circuit of bond wire.

2) 패턴과 패들의 모델

주파수의 증가로 인해 발생하는 패들과 패턴 사이의 기생 현상은 SOP 패키지의 패들이 완전한 그라운드로서 작용하지 못하게 하며 MMIC 회로에 복합적인 기생 현상을 발생시킨다. 또한 MMIC 회로에 흐르는 전류는 패들쪽으로 복귀(return) 전류, 즉 패들에 영상 전류를 발생시킨다<sup>[6][19]</sup>. 이러한 현상은 패키지로 인한 MMIC 성능 저하의 심각한 원인이 되며, 이 두 가지 현상을 정확히 모델에 반영해야 한다.

패들과 패턴 사이의 전기적 현상과 관련된 패키지의 효과를 모델하기 위해 복잡한 MMIC 회로 대신에 간단한 테스트 패턴(test pattern)인 마이크로스트립(microstrip)을 이용하여 MMIC 회로를 모델하였다. 그림 5는 테스트 패턴에 대한 구조이다. 그림 5에서 보듯이 오픈 스타브(open stub) 형태를 가지는 패턴을 이용하여 패키지의 영향을 효과적으로 평가할 수 있도록 하였다<sup>[14]</sup>. 그림 6은 그림 5의 구조에 대한 등가 회로이다. 그림 6에서  $R_p$ ,  $L_p$ ,  $C_{pt}$ 는 직선라인에 대해 추출한 파라미터의 단위 길이 당 저항, 인덕턴스 및 커패시턴스이다. 여

기서 패턴의 오픈 스타브 부분은 m개의 단위 셀로 구성하였으며, 나머지 부분은 n개의 단위 셀로 구성하였다.

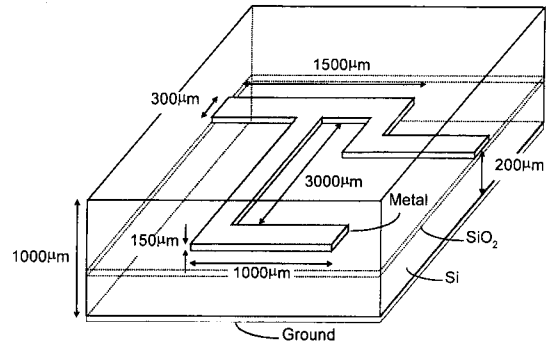


그림 5. MMIC 테스트 패턴의 구조와 치수  
Fig. 5. MMIC test pattern structure and dimensions.

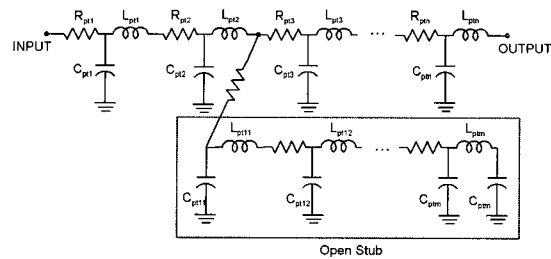


그림 6. 테스트 패턴에 대한 등가 회로  
Fig. 6. Equivalent circuit of the test pattern.

SOP 패키지는 리드를 사용하여 금속판의 형태를 가지는 패들을 실제 그라운드와 연결함으로써 패들을 패키지 자체의 그라운드가 되도록 만들며 이러한 그라운드 리드의 배치와 수에 따라 패들의 그라운드 특성 및 MMIC 회로의 성능은 현저하게 변화한다. 특히 패키지의 그라운드 판에 대한 모델링은 매우 중요하며 정확한 파라미터의 추출에도 어려움이 크기 때문에 현재에도 주요한 연구 대상이 되고 있다<sup>[20]</sup>. 패들이 이상적인 그라운드로 동작하지 못하는 전자기적 현상을 회로로서 모델링하기 위해 패들을 그리드(grid) 형태의 셀로 잘게 나누어 모델하였다. 그림 7은 SOP 패키지의 그라운드인 패들의 셀(cell)에 대한 구조와 이에 대한 등가 회로이다. 그림에서  $R_p$ 와  $L_p$ 는 각각 단위 셀에 대한 각 변에서의 저항과 인덕턴스이다. 또한 관찰하는 주파수가 최고 20GHz이므로 식 (1)을 이용하여 20GHz에서의 파장을 계산한다.

$$\lambda = c/f \tag{1}$$

여기서는 주어진 주파수에서의 파장을 의미하고  $c$ 는 파의 ( $\lambda$ ) 속도를 나타낸다. 식 (1)를 이용하여 계산되어진 파장 ( $\lambda$ )의 길이는 약  $15000\mu\text{m}$ 가 되며 회로 방정식이 성립할 수 있도록 충분히 작은 길이로 자른다. 본 논문에서는 계산된 파장의 길이를 1/20이상으로 세분화하고<sup>[21]</sup> 모델의 편리성을 위해 셀의 크기를  $600\mu\text{m} \times 600\mu\text{m}$ 으로 결정하였다. 그리드 형태의 셀로 패들을 구성함으로써 패들에 유기된 전류의 흐름을 효과적으로 모델할 수 있다. 즉 신호 리드에 인접한 그라운드 리드 방향의 전류 분포나 패들의 모서리쪽으로 전류가 분포하는 현상도 모델에 반영하였다. 이 처럼 그리드 형태의 패들 모델을 하면 그라운드 리드의 수와 위치에 따른 패키지의 성능 변화를 정확히 예측할 수 있다.

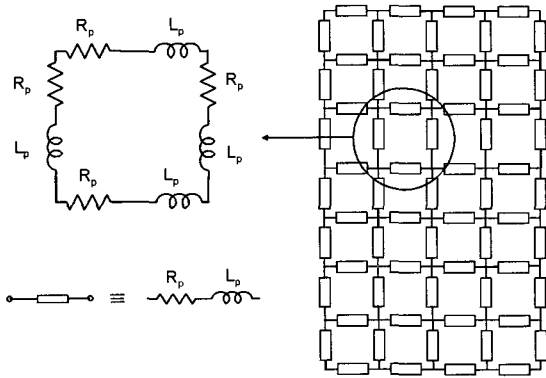


그림 7. 그리드 형태의 패들 구조와 단위 셀의 등가회로  
Fig. 7. Grid type paddle structure and equivalent circuit of unit cell.

그림 8은 MMIC 회로(테스트 패턴)의 전류 흐름에 의해 패들 상에 유기되어 나타나는 영상 전류를 모델하기 위한 등가 회로이다. 신호 리드와 본드 와이어를 지나온 전류는 테스트 패턴으로 흐르는 전류와 테스트 패턴의 전류에 의해 패들에 유기되어 복귀하는 전류로 나눌 수 있으며, 패들에 나타나는 영상 전류는 대부분이 테스트 패턴의 전류 경로를 따라 나타난다. 따라서 이것을 그림 8의 패들 회로 부분에서 음영으로 나타내었다. 이러한 전류의 흐름에 대한 전자기적 현상을 상호 인덕턴스와 커패시턴스를 이용하여 등가 회로로 모델하였다. 즉, 테스트 패턴과 패들 사이에 발생하는 현상은 커패시턴스로 모델하였고, 패턴에 흐르는 전류에 의한 자력선이 패들에 유기되어 발생하는 전류는 상호 인덕턴스로써 모델링 하였다.

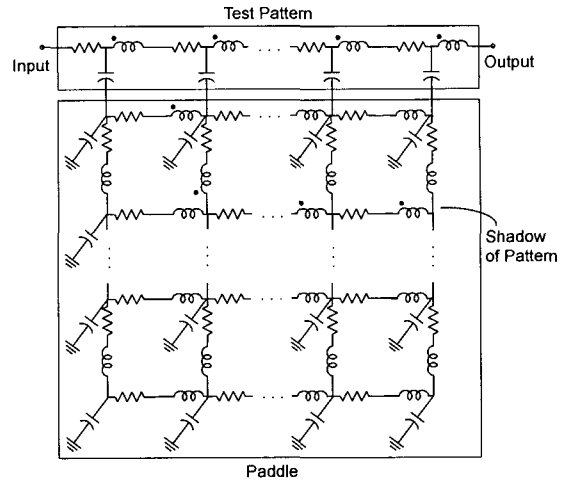


그림 8. 테스트 패턴과 패들 셀 간의 연결 등가 회로  
Fig. 8. Equivalent circuit for connection between test pattern and paddle cells.

3) 전체 회로

앞 절에서 8핀 SOP 패키지를 리드 배열, 패들, 본드 와이어, 그리고 테스트 패턴으로 구분하여 각각을 모델하였고 이들을 전체 등가 회로로 결합한 모델을 그림 9에 나타내었다. 그림 9(a)는 본 논문에서 제안한 모델의 전체 등가 회로 모델을 나타내었고 그림 9(b)에는 제안한 모델과 비교하기 위해 [18]의 전체 등가 회로 모델을 나타내었다. 그림 9에서 회색 음영으로 표현된 부분이 두 등가 회로 모델 사이에서 큰 차이를 보이는 부분을 표시한 것이다. 즉 RFIC 패키지 모델에서 핵심적인 고려 사항은 전류의 흐름에 대한 모델이며 이를 고려한 모델링 방법에 두 가지 차이점이 있음을 의미한다. 먼저 패들에 대한 등가 회로 모델이 가장 큰 차이점이며, 두 번째로 본드 와이어를 통해 테스트 패턴에 인가되는 전류의 흐름에 대한 모델이 차이점이다. 제안한 모델은 복잡한 전류의 흐름을 패들과 패턴 사이의 커플링으로 모델하였고 [18]에서는 간단히 이상적인 트랜스포머로 모델하고 있다. 제안한 모델은 테스트 패턴에 의해 패들에 나타나는 복귀 전류의 흐름을 그리드 형태의 패들 모델과 커플링으로 모델하여 보다 구체적으로 물리적 현상을 표현한다.

전체 회로의 연결에서 고려할 사항은 그림 9(a)에서 보듯이 패들과 1, 3, 6, 7번 리드 사이에는 그라운드 리드(2, 4, 5, 8번 리드)와는 달리 약간의 공간이 있으며, 이 공간에서 발생하는 전자기적 현상은 커패시턴스

( $C_{PL}$ )로 모델하였다. 패들이 실제 그라운드에서 분리되어 있기 때문에 발생하는 전자기적 현상도 커패시턴스( $C_p$ )로 모델하였다. 그리고 입력 리드(1번 리드)와 MMIC 회로를 연결하기 위하여 인덕턴스로 모델된 본드 와이어를 사용하였으며, 출력 리드(7번 리드)도 같은 방법으로 연결하였다. 2, 4, 5, 8번 리드 4개는 직접 패들에 연결되어 패들이 그라운드로 동작하도록 하는 그라운드 리드이다.

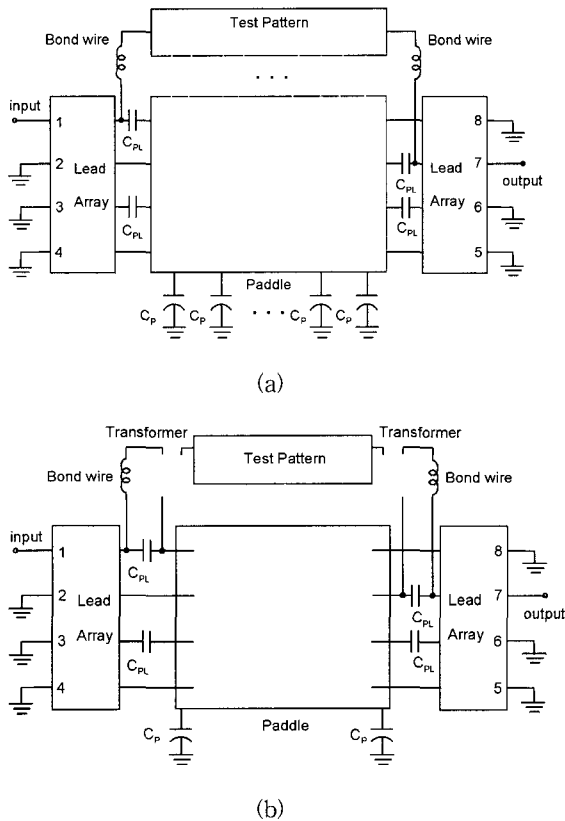


그림 9. SOP 8핀 패키지에 대한 블록 다이어그램 비교, (a) 제안한 모델 (b) [18]의 모델  
 Fig. 9. Comparison of the block diagrams for SOP-8. (a) proposed model. (b) model of [18].

3. 파라미터 추출

1) 리드와 본드 와이어

리드와 본드와이어는 복잡한 불연속 구조를 갖기 때문에 RF 패키지의 회로 모델에 적용하기 위한 파라미터의 추출을 위해서는 3차원 파라미터 추출기(extractor)의 사용은 필수적이다. 그림 10은 리드의 파라미터를 추출하기 위한 3차원 구조이다. 그림에서 보듯이 리드

와 리드 사이의 상호 인덕턴스와 상호 커패시턴스를 추출하기 위해 4개의 리드를 동시에 고려하여 파라미터를 추출하였다. 또한 3차원 파라미터 추출기는 quasi-static을 가정하고 있으므로 각각의 리드에 테스트 전류로 1A의 직류 전류를 인가하여 효율적으로 파라미터를 추출하였고 파라미터 값은 표 1에 나타내었다.

표 1. 리드 배열에 대하여 추출한 파라미터 매트릭스. (a) 커패시턴스 매트릭스. (b) 인덕턴스 매트릭스

Table 1. Extracted parameter matrix for lead array. (a) capacitance matrix. (b) inductance matrix.

Capacitance [F]	Lead 1	Lead 2	Lead 3	Lead 4
Lead 1	1.27e-13	-7.49e-15	-1.08e-15	-5.79e-16
Lead 2	-7.49e-15	1.29e-13	-7.06e-15	-1.30e-15
Lead 3	-1.08e-15	-7.06e-15	1.27e-13	-7.50e-15
Lead 4	-5.79e-16	-1.30e-15	-7.50e-15	1.27e-13

(a)

Inductance [H]	Lead 1	Lead 2	Lead 3	Lead 4
Lead 1	7.34e-10	8.41e-11	1.51e-11	3.23e-12
Lead 2	8.41e-11	7.47e-10	8.64e-11	1.51e-11
Lead 3	1.51e-11	8.64e-11	7.45e-10	8.44e-11
Lead 4	3.23e-12	1.51e-11	8.44e-11	7.36e-10

(b)

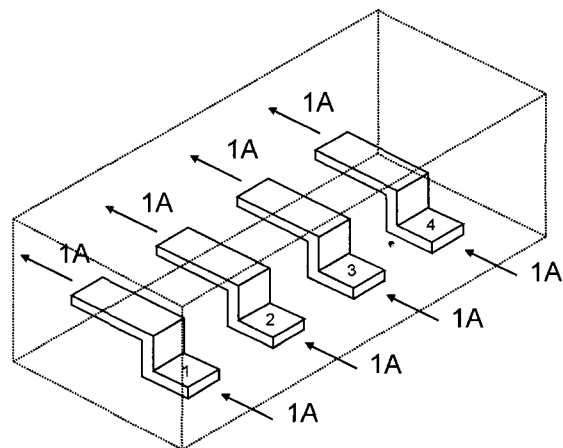


그림 10. 리드 배열의 파라미터 추출 구조  
 Fig. 10. Structure for parameter extraction of lead array.

그림 11은 본드 와이어에 대한 파라미터 추출 구조이다. 실제로 패키지의 리드 수가 증가할수록 본드 와이어 간의 거리는 점차 근접된다. 따라서 본드 와이어 간의 상호 인덕턴스 값도 증가하며 이것은 패키지의 성능에 심각한 영향을 주게 된다<sup>9-10)</sup>. 그러므로 본드 와이어 파라미터 추출을 위한 구조는 이웃한 본드 와이어 사이에 상호 인덕턴스를 고려하도록 4개의 본드 와이어에 대한 파라미터를 함께 추출하였다. 그림 11의 구조에 대해서 추출한 파라미터를 표 2에서 나타내었다.

표 2. 본드 와이어에 대한 추출한 인덕턴스 매트릭스

Table 2. Extracted inductance matrix for bond wire.

Inductance [H]	Bond Wire 1	Bond Wire 2	Bond Wire 3	Bond Wire 4
Bond Wire 1	8.41e-10	7.93e-11	4.11e-11	2.75e-11
Bond Wire 2	7.93e-11	8.41e-10	7.93e-11	4.11e-11
Bond Wire 3	4.11e-11	7.93e-11	8.40e-10	7.93e-11
Bond Wire 4	2.75e-11	4.11e-11	7.93e-11	8.41e-10

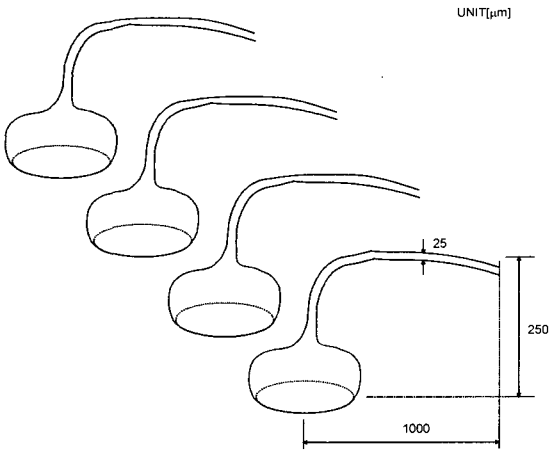


그림 11. 본드 와이어 파라미터 추출 구조  
Fig. 11. Structure for parameter extraction of bond wires.

2) 패들의 파라미터 추출

관찰하는 주파수가 20GHz에 이르므로 패들을 그리드 형태의 작은 셀로 나누어 그림 7과 같은 인덕턴스(L<sub>p</sub>)와 저항(R<sub>p</sub>)으로 모델하였다. 또한 논문에서 사용한 SOP 패키지의 패들의 크기는 2400 $\mu$ m 4200 $\mu$ m이며 단위 셀의 크기는 파장을 고려하여 600 $\mu$ m 600 $\mu$ m로 하였다.

패들의 파라미터를 추출하기 위해 충분히 큰 평판(plane) 위에 길이가 1000 $\mu$ m이고 굵기가 50 $\mu$ m인 더미 라인(dummy line)을 실제의 그라운드 지점까지 붙인 후 패들의 파라미터 값을 추출하고 나중에 더미 라인에 의한 성분은 디임베딩하였다. 평판에 흐르는 전류에 의한 자속이 쇄교(linkage)하는 면적을 같게 해야 정확한 패들 인덕턴스와 저항 값을 추출 할 수 있으므로 더미 라인의 길이는 패들과 실제 그라운드 사이의 거리와 동일한 길이를 사용하였다. 그림 12에 패들의 파라미터를 추출하는 구조를 나타내었다. 그림에서 보듯이 점선으로 표시된 부분이 한 변의 길이가 600 $\mu$ m인 실제 단위 셀의 크기를 나타내며, 이 단위 셀의 한 변의 양쪽 끝에 더미 라인 두개를 붙여서 인덕턴스 값을 추출한다. 이렇게 추출한 인덕턴스 값은 2개의 더미 라인을 모두 포함한 인덕턴스 값이 된다. 따라서 더미 라인 사이의 상호 인덕턴스와 더미 라인의 자체 인덕턴스를 디임베딩하면 단위 셀의 한 변에 대한 인덕턴스를 추출할 수 있으며 다음과 같은 식으로 나타낼 수 있다. 즉,

$$L_i = L_1 + L_2 + L_3 - 2L_{23} \tag{2}$$

표 3. 디임베딩 하기 전과 한 후의 패들 셀에 대한 파라미터 값

Table 3. Paddle cell parameters before and after de-embedding.

Structures Parameters	Before de-embedding	After de-embedding
Inductance [H]	1.024n	91.534p
Resistance [ $\Omega$ ]	19.128m	133.156m

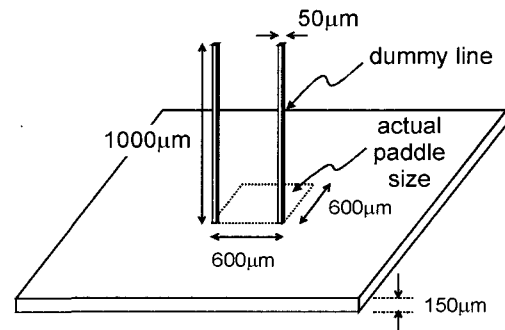


그림 12. 하나의 단위 셀에 대한 파라미터 추출 구조.  
Fig. 12. Structure for parameter extraction of one unit cell.

여기서  $L_1$ 는 추출 구조의 전체 인덕턴스이며,  $L_1$ ,  $L_2$  그리고  $L_{12}$ 는 각각 더미 라인에 대한 자체 인덕턴스와 상호 인덕턴스이고,  $L_3$ 는 추출하고자 하는 단위 셀의 한 변에 대한 인덕턴스이다. 단위 셀의 저항도 유사한 방법으로 추출하였다. 이러한 방법에 의해 추출된 패들의 파라미터 값을 표 3에 나타내었다.

4. 모델의 검증 및 고찰

본 절에서는 full-wave 해석을 통한 S-파라미터와 제시한 등가 회로 모델을 사용하여 HSPICE 시뮬레이션으로부터 얻은 S-파라미터를 상호 비교하여 모델의 정확성을 검증한다. 그림 13은 테스트 패턴의 등가 회로 모델과 full-wave 해석을 통해 구한 S-파라미터 결과를 비교한 것이다. 그림에서 보듯이 12GHz 이하의 주파수에서는 잘 일치하고 있으나 그 이상의 주파수에서는 약간의 차이를 나타내고 있다. 이러한 현상은 주파수가 높아 질수록 회로 모델의 파라미터 값은 표피 효과(skin effect)와 같은 고주파 현상에 의해 변화하지만 회로 모델은 이들을 반영할 수 없기 때문에 다소 차이가 발생한다고 생각된다.

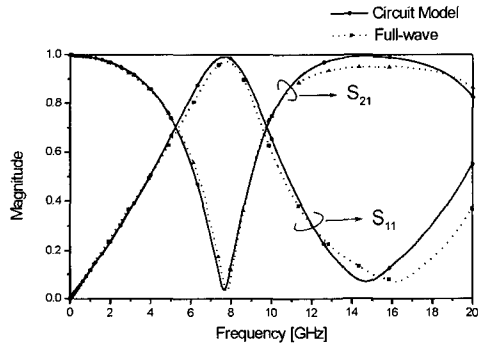


그림 13. 테스트 패턴에 대한 HSPICE와 full-wave 시뮬레이션 결과에 대한 S-파라미터 상호 비교 (실선: 회로 모델, 점선: full-wave 시뮬레이션)

Fig. 13. S-parameters comparison between HSPICE and full-wave simulation results for test pattern ( Solid line: circuit model, Dotted line: full-wave simulation).

그림 14에는 패턴과 함께 패키지 효과를 고려한 전체 SOP 8핀의 구조를 full-wave 해석한 결과와 제시한 전체 등가 회로 모델을 HSPICE 시뮬레이션한 결과를

상호 비교한 그림이다. 그림에서 보듯이 8GHz 이하의 주파수 대역에서는 매우 잘 일치하고 있으나 그 이후의 주파수 영역에 대해서는 차이가 크게 발생하고 있다. 이 역시 패키지의 핀이나 패들 등의 도체에 의해서 파라미터 값이 실제로는 주파수에 종속한 값을 갖기 때문인 것으로 사료된다. 그러나 그림 14에 보듯이 [18]에서 제시한 이상적인 트랜스포머(transformer)를 사용한 모델의 시뮬레이션 결과와 비교해 보면 본 논문의 모델이 더욱 정확히 패키지 효과를 예측하고 있다. 이처럼 [18]의 방법이 full-wave 해석 값과 큰 차이를 보이는 것은 [18]에서 사용한 패들 모델이 실제 패키지 현상을 정확히 설명하지 못한다는 것을 의미한다. 즉, 패들을 단순히 리드가 위치하는 지점(port) 사이의 인덕턴스만으로 모델하여 실제 패들에 유기 되어 복귀(return)하는 전류의 흐름을 정확히 모델하지 못했기 때문이다. 본 논문에서 제시한 모델은 실제 패키지의 입력 리드가 패들과 구조적으로 분리되어 있으므로 패들쪽으로 유기되는 전류의 양과 같지 않는 현상을 패턴과 패들 사이의 커플링으로 정확히 모델하였다. 따라서 제시한 패들 모델과 패턴 모델의 연결 방법을 사용하면 그림 14에 보듯이 패키지 효과를 보다 정확히 예측할 수 있다. 모델은 약 8GHz 정도까지는 매우 잘 일치하고 있다.

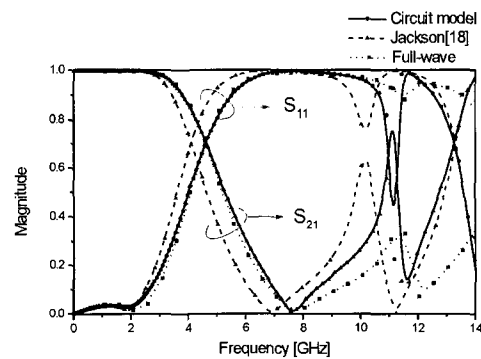


그림 14. 동일한SOP 8 핀 패키지에 대한 제시한 회로 모델 및 [18]의 모델과 full-wave 해석의 비교(실선: 회로 모델, 쇄선: [18]의 모델, 점선: full-wave 해석)

Fig. 14. Comparison of the circuit model with full-wave analysis and [18] for the same SOP-8 pin (solid line: circuit model, dash line: [18] model, dotted line: full-wave analysis).



그림 15는 SOP 8핀 패키지의 그라운드 리드의 수를 2개로 줄이고, 신호 리드로부터 그라운드 리드의 위치 (거리)를 달리함에 따라 RFIC 회로에 어떠한 영향을 주는가를 나타낸 그림이다. 그림에서 보듯이 그라운드 리드의 위치는 신호의 입출력 리드에 가까울수록 패키지의 성능에 더 좋은 영향을 주고 있으며, 그라운드 리드의 수가 2개인 경우보다 4개인 경우가 패키지로 인한 성능 저하를 현저히 방지하고 있음을 알 수 있다. 이것은 핀의 선택이 이상적인 그라운드에 근접하고 있는지의 정도를 나타내기 때문에 RFIC 회로 설계에서 중요하게 다루어야 한다는 것을 의미한다.

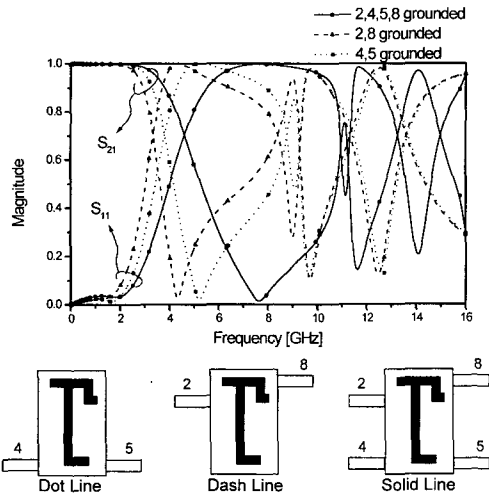
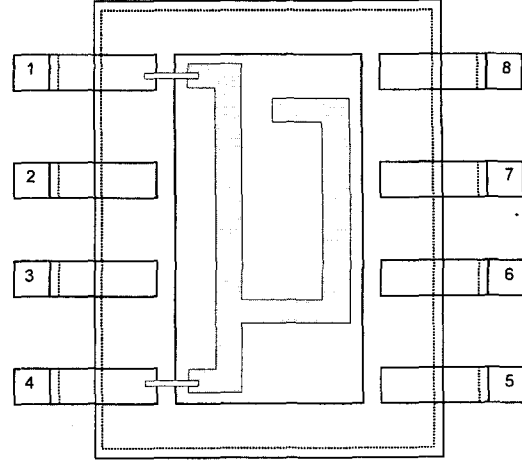


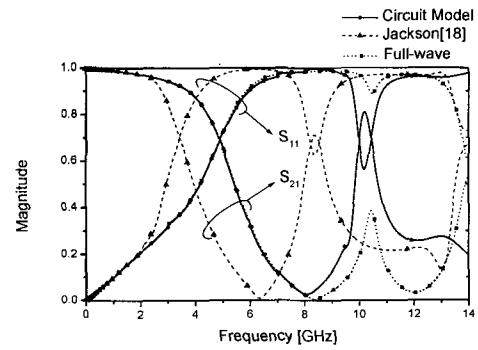
그림 15. 그라운드 리드의 위치를 변화한 경우의 S-파라미터 (그라운드 리드의 수를 2개로 고정)  
 Fig. 15. S-parameters with different ground lead placement (grounding lead is fixed with 2 pins).

그림 16(a)는 SOP 8핀 패키지에 다른 형태의 패턴을 적용한 것이다. 그림 16(b)는 그림 16(a)의 패턴 형태를 제시한 등가 회로 모델에 적용하여 HSPICE 시뮬레이션한 결과, [18]의 시뮬레이션 결과와 full-wave 해석 결과를 비교한 것이다. 또한 보다 핀 수가 많은 SOP 16핀 패키지에 대해 유사한 방법을 적용하여 패키지의 패턴 및 패키지의 그라운드 설정에 의한 영향을 평가 하였으며, 이의 결과를 그림 17과 그림 18에 각각 나타 내었다. 그림 17은 SOP-16 패키지의 패턴 형태와 S-파라미터 파형을 full-wave 해석과 HSPICE 결과를 비교하였다. 그림 18은 그라운드 리드 숫자의 변화에 따른 패키지의 영향을 나타내었다. 이로부터 패키지는 패턴의 형태와 그라운드 리드의 설정에 많은 영향을 받

으며 어떠한 경우라도 패키지로 인한 영향이 시스템 전체에 심각한 영향을 주고 있음을 알 수 있다.



(a)



(b)

그림 16. (a) SOP 8핀 패키지에 적용한 다른 형태의 패턴. (b) SOP-8에 다른 형태의 패턴을 적용한 S-파라미터  
 Fig. 16. (a) SOP-8 with different pattern. (b) S-parameters of SOP-8 with different pattern.

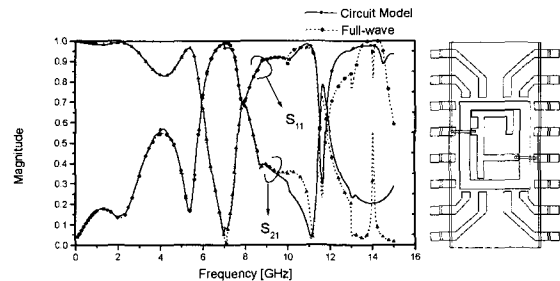


그림 17. SOP-16에 대한 S-파라미터(실선: 회로 모델, 점선: full-wave)  
 Fig. 17. S-parameters of SOP-16 package (solid line: circuit model, dotted line: full-wave).

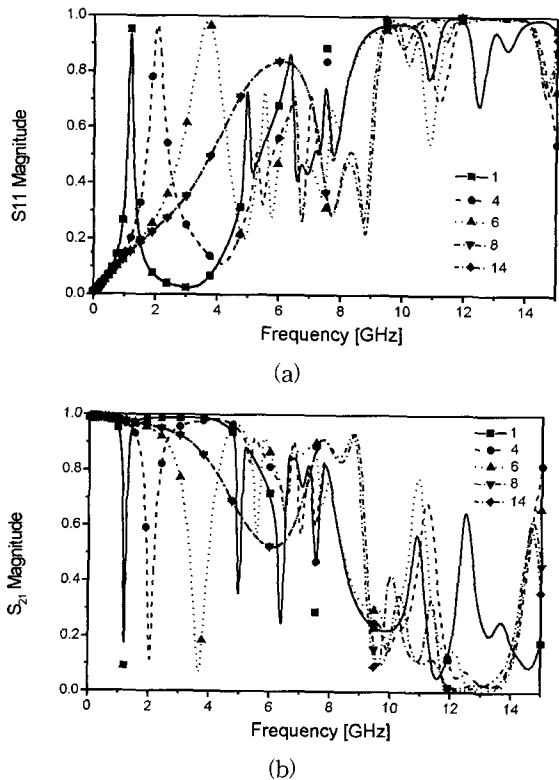


그림 18. 그라운드 리드의 수를 변화 시킨 경우의 S-파라미터, 실선: 1개(1), 쇄선: 4개(1,8,9,16), 점선: 6개(1,3,8,9,11,16), 일점 쇄선: 8개(1,3,5,8,9,11,13,16), 이점 쇄선: 14개(4,12 제외), 괄호 안의 숫자는 그라운드 되어진 핀의 번호임.

Fig. 18. S-parameters with different number of grounding lead, solid-line: 1(1), dash-line: 4(1,8,9,16), dotted-line: 6(1,3,8,9,11,16), dash-dot-line: 8(1,3,5,8,9,11,13,16), dash-dot-dot-line: 14(except 4,12), The grounded pin numbers are given in parenthesis.

### V. 결론

본 논문에서는 MMIC를 장착하는 저가의 패키지로 널리 이용되는 플라스틱 SOP 패키지를 이용하여 새로운 RFIC 패키지 회로 모델링 방법과 회로 소자의 파라미터를 정확히 추출하는 방법을 제시하였다. 패키지의 등가 회로 모델을 제시하기 위하여 SOP 패키지의 패들에 의한 영향을 크게 두 가지로 나누어 모델하였다. 이상적인 그라운드가 되지 못하는 패들의 영향과 패들과 MMIC 회로 사이의 커플링을 모델하였다. 또한 리

드와 본드와이어에 의한 손실 및 반사 현상을 나타낼 수 있도록 모델하였다. 이와 같은 RF 패키지 모델로부터 패키지의 영향을 정확히 예측할 수 있다는 것을 full-wave 해석기를 통해 검증하였다. 즉, 제시한 모델의 타당성을 검증하기 위해 회로 영역에서는 범용 회로 시뮬레이터인 HSPICE를 사용하였고, SOP 8핀 패키지 전체 구조를 적용한 full-wave 해석을 통한 S-파라미터 결과와 비교하여 제시한 모델이 잘 일치하고 있음을 보였다. 또한 패들의 다양한 영향을 고찰하기 위하여 그라운드 리드의 위치와 수를 변화시키면서 시뮬레이션하여 RFIC에서 비이상적인 그라운드의 설정 및 패키지 핀에 의한 영향을 평가하였다. 본 논문에서 제시한 RF 패키지 모델은 RF 회로의 패키지에 의한 영향 해석 및 RF 시스템 설계에 매우 유용하게 사용될 수 있다.

### 참고 문헌

- [1] I. Anjoh, et al., "Advanced IC Packaging for the Future Applications," IEEE Trans. Electron Device, vol. 45, pp. 743-752, March 1998.
- [2] L. V. Hauwermeiren, et al., "Characterization and Modeling of Packages by a Time-Domain Reflectometry Approach," IEEE Trans. Comp., Hybrids., Manufact. Technol., vol. 15, pp. 478-482, Aug. 1992.
- [3] V. K. Tripathi, "Measurement Based Modeling of RF Packages," Advances in Electronic Packaging, No. 1, pp. 489-495, 1997.
- [4] C. T. Tsai, et al., "An Experimental Technique for Full Package Inductance Matrix Characterization," IEEE Trans. Comp., Packag., Manufact. Technol., Part B, vol. 19, May. 1996.
- [5] Y. Wen, et al., "Capacitance Characterization of Surface Mount Electronics Packages," Intl. Symposium on Microelectronics, pp. 427-432, 1997.
- [6] C. T. Tsai, "Package Inductance Characterization at High Frequencies," IEEE Trans. Comp., Packag., Manufact. Technol., Part B, vol. 17, pp. 175-181, May 1994.

- [7] B. Young, et al., "Measurement of Package Inductance and Capacitance Matrices," IEEE Trans. Comp., Packag., Manufact. Technol., Part B, vol. 19, pp. 225-229, Feb. 1996.
- [8] C. Chun, et al., "Development of Microwave Package Models Utilizing On-Wafer Characterization Techniques," IEEE Trans. Microwave Theory Tech., vol. 45, pp. 1948-1954, Oct. 1997.
- [9] C. T. Tsai, et al., "Electrical Characterization of Bonding Wires," ISHM, pp. 479-484, 1994.
- [10] C. T. Tsai, et al., "Electrical Characterization of Wire Bonding Effect," Intl. Journal of Microcircuits and Electronic packaging, vol. 18, pp. 283-289, 1995.
- [11] A. C. Polycarpou et al., "The finite-element method for modeling circuit and interconnects for electronic packaging," IEEE Trans. Microwave Theory Tech., vol.45, pp. 1868-1874, Oct. 1997.
- [12] C. N. Kuo et al., "Full-wave analysis of packaged microwave circuits with active and nonlinear devices: an FDTD approach," IEEE Trans. Microwave Theory Tech., vol. 45, pp. 819-826, May 1997.
- [13] R. Mittra, et al., "A General Purpose Maxwell Solver for the Extraction of Equivalent Circuits of Electronic Package Components for Circuit Simulation," IEEE Trans. Circuit and Systems, I: Fundamental Theory and Application, vol. 39, pp. 964-973, Nov. 1992.
- [14] M. Righi et al., "Time-domain characterization of packaging effects via segmentation technique," IEEE Trans. Microwave Theory Tech., vol. 45, pp. 1905-1910, Oct. 1997.
- [15] S. Sercu, "High-frequency circuit modeling of large pin count packages," IEEE Trans. Microwave Theory Tech., vol. 45, pp. 1897-1904, Oct. 1997.
- [16] F. Nadagijimana et al., "Frequency limitation on an assembled SO8 package," IEEE Microwave Theory Tech. Symp. Dig., pp. 530-535, June 1993.
- [17] R. Jackson, et al., "Microwaves Circuit Modeling of an Elevated Paddle Surface Mount Package," IEEE Symp., pp. 199-201, 1996.
- [18] R. W. Jackson, "A circuit topology for microwave modeling of plastic surface mount packages," IEEE Trans. Microwave Theory Tech., vol. 44, pp. 1140-1146, July 1996.
- [19] B. Young, "Return path inductance in measurements of package inductance matrixes," IEEE Trans. Comp., Packag., Manufact. Technol., Part B, vol. 20, pp.50-55, Feb. 1997.
- [20] K. Lee et al., "Modeling and analysis of multichip module power supply planes," IEEE Trans. Comp., Packag., Manufact. Technol., Part B, vol. 18, pp. 627-539, Nov. 1995.
- [21] R. Mittra, et al., "Efficient Modeling of Power Planes in Computer Packages Using the Finite Difference Time Domain Method", IEEE Trans. Microwave Theory Tech., vol. 42, pp. 1791-1795, Sep. 1994.

---

 저 자 소 개
 

---



李東勳(學生會員)

1971년 10월 5일생. 1998년 2월 한양대학교 전자공학과(공학사). 1998년 3월~현재 한양대학교 전자공학과 석사과정. 주관심 분야는 RF 전자 패키지 및 복잡한 다층구조의 특성화, 주파수 영역의 시뮬레이션, 모델링, 신호 충실성 및 잡음 해석

魚瀛善(正會員) 第35卷 C編 7號 參照