

3V 저전력 CMOS 아날로그-디지털 변환기 설계

(Design of 3V a Low-Power CMOS Analog-to-Digital Converter)

趙成翊*, 崔庚鎭**, 辛烘圭**

(Seong-Ik Cho, Kyung-Jin Choi, and Hong-Kyu Shin)

요 약

본 논문에서는 MOS 트랜지스터로만 이루어진 CMOS IADC(Current-mode Analog-to-Digital Converter)를 설계하였다. 각 단은 CSH(Current Sample-and-Hold)와 CCMP(Current Comparator)로 구성된 1.5-비트 비트 셀로 구성되었다. 비트 셀 전단은 CFT(Clock Feedthrough)가 제거된 9-비트 해상도의 차동 CSH를 배치하였고, 각 단 비트 셀의 ADSC(Analog-to-Digital Subconverter)는 2개의 래치 CCMP로 구성되었다. 제안된 IADC를 현대 0.65 μm CMOS 파라미터로 ACAD 시뮬레이션한 결과, 20 Ms/s에서 100 kHz의 입력 신호에 대한 SINAD(Signal to Noise-Plus-Distortion)은 47 dB, SNR(Signal-to-Noise)는 50 dB(8-bit)을 얻었고 35.7 mW 소비전력 특성을 나타냈다.

Abstract

In this paper, CMOS IADC(Current-mode Analog-to-Digital Converter) which consists of only CMOS transistors is proposed. Each stages is made up 1.5-bit bit cells composed of CSH(Current-mode Sample-and-Hold) and CCMP(Current Comparator).

The differential CSH which designed to eliminate CFT(Clock Feedthrough), to meet at least 9-bit resolution, is placed at the front-end of each bit cells, and each stages of bit cell ADSC(Analog-to-Digital Subconverter) is made up two latch CCMPs.

With the HYUNDAI 0.65 μm CMOS parameter, the ACAD simulation results show that the proposed IADC can be operated with 47 dB of SINAD(Signal to Noise- Plus-Distortion), 50dB(8-bit) of SNR(Signal-to-Noise) and 35.7 mW of power consumption for input signal of 100 kHz at 20 Ms/s.

I. 서 론

* 正會員, 現代電子 메모리 研究所 開發部
(HYUNDAI electronic memory research & development division)

** 正會員, 圓光大學校 電氣電子工學部
(School of Electrical and Electronic Engineering Wonkwang University)

※ 이 논문은 '98년도 원광대학교의 교비지원에 의해서 연구됨.

接受日字:1999年6月10日, 수정완료일:1999年9月15日

우리가 경험하고 있는 세상은 아날로그 신호이기 때문에 디지털 시스템과 연결시키는 인터페이스(interface) 회로인 고성능 ADC(Analog-to-Digital Converter)의 중요성이 부각되고 있다. 과거에는 8~12 비트의 해상도로 5 ~ 20 MHz의 샘플링 속도를 갖도록 설계된 ADC는 실제적으로 100 ~ 200 mW의 큰 전력을 소비했다. 이러한 소비전력은 휴대용 전진지로 동작하는 휴대용 장치들과 그 외의 무선 LAN 송수신기와 같은 개인용 통신 장치 등 소비전력을 중요한 파라미터로하는 여러

가지의 응용에 대해 부적당하다. 따라서 비용의 절감과 신뢰성 증대와 저전력 디지털 시스템들과 혼성모드로 집적하기 위해서는 5 V 이하의 공급전압으로 최소한의 전력을 소비하는 ADC의 설계가 필요하다. 일반적으로 고속 장비를 위하여 일반적으로 높은 변환속도를 얻을 수 있는 병렬 ADC를 이용하나 8-비트 이상의 해상도를 얻기 위해서는 칩 면적이 기하학적으로 증대하여 소비전력이 증가하고 입력 커패시턴스의 비 선형성에 의하여 비디오 신호 대역에서 고해상도를 얻기 위해서는 외부의 회로가 필요하다는 단점이 있다. 이러한 문제점을 극복하기 위하여 비디오 신호 처리에 적합한 CMOS 파이프라인 ADC가 보고되었다.^{[1]-[3]} 그러나 파이프라인 ADC의 경우 중간 이득을 위하여 SC (Switched-Capacitor) 기법이 이용되고 커패시터를 구현하기 위해서는 추가적인 공정이 요구된다. 최근에는 이러한 VADC(Voltage-mode Analog-to-Digital Converter)가 갖는 문제점들을 해결하기 위하여 기존의 신호처리 방식과 상이하게 전류로 신호를 처리할 수 있는 전류모드 방식의 회로들이 발표되었다.^{[4]-[13]}

전류모드 방식은 저전압 동작과 선형 커패시터가 불필요하므로 저항과 커패시터의 정합에 종속되지 않는다는 이점이 있다. 그러나 이미 발표된 IADC들은 VADC에 비하여 소비전력과 칩 면적에 있어 우수성을 갖고 있으나 변환속도가 느리며 속도를 향상시키기 위해서 BICMOS 공정으로 구현된 ADC도 있으나 혼성모드 시스템에서는 부적합하다.

본 논문에서는 기존의 IADC보다 속도를 향상시키고 저전력 IADC를 설계하기 위하여 MOS 트랜지스터로만 설계된 새로운 CSH와 CCMP로 구성된 1.5-비트 비트 셀을 이용한 새로운 구조의 파이프라인 IADC를 제안한다.

II. 새로운 IADC 구조와 블록회로

1. 비트 셀 구성

본 논문에서 설계된 새로운 파이프라인 IADC의 구조의 블록도는 그림 1과 같다. 이 구조에서 마지막 단을 제외한 비트 셀은 CCMP가 2개만 소요되는 1.5-비트 해상도를 갖는 저해상도(low-resolution) 비트 셀로 구성되어 아날로그 신호를 디지털 신호로 변환하고, 그 출력으로부터 아날로그 변환을 수행하게 된다.

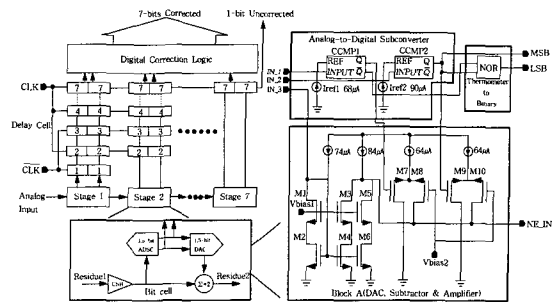


그림 1. 새로운 구조의 파이프라인 IADC
Fig. 1. A new architecture of pipelined IADC.

그리고 입력 아날로그 신호와 DAC(Digital-to-Analog Converter)를 통해 변환된 아날로그 출력 신호를 각각 두 배로 증폭하여 뺀 후 잔류(residue) 신호를 다음 단으로 넘겨주게 된다. 파이프라인 된 IADC의 정상적인 동작을 위해 다음 단계에 인가될 잔류신호를 생성시키는 각 단계에서 CSH 회로는 클럭 주기당 하나의 출력 샘플의 변환율을 내도록 모든 단계에서 동시에 수행되며 앞단과 뒷단이 서로 반 클럭의 차이를 갖는다. 각 단계의 1.5-비트 비트 셀의 구성은 그림 1의 오른쪽의 굵은 실선에 도시된 바와 같이 2개의 전류 비교기 CCMP1, CCMP2로 구성된 ADSC와 M1~M6으로 구성되어 뺄셈, 증폭을 동작하는 블록과 M7~M10으로 이루어진 DAC로 구성되어 있다. 이 그림에서 IN₁, IN₂, IN₃은 CSH의 출력이고 이 출력은 전류 비교기 CCMP1, CCMP2 그리고 잔류전류 신호를 생성하기 위한 A 블록의 입력 단자에 각각 동시에 인가된다. 비트 셀의 전단에 있는 CSH에 ±64 μA의 전류신호를 인가하면 출력은 ∓64 μA로 출력하여 각각의 CCMP의 오프셋 전류 74 μA와 더해져 즉, +10 μA~+138 μA의 전류가 비교기에 인가된다. 비트 셀의 기본적인 신호처리 단계는 다음과 같다.

첫째로, 만약에 CSH에 -64 μA~-16 μA가 인가되면 각각의 CCMP에 +10 μA~+58 μA 인가되며 각각의 비교기는 +1/2 LSB 오프셋을 더한 각각의 기준전류와 비교하여 코드 00을 출력하게 된다. 이 코드는 A 블록의 DAC를 구성하고 있는 M7과 M9를 on 시키며 A 블록에 인가된 신호는 오프셋 전류 74 μA와 더해져 전류 미러 트랜지스터를 구성하고 있는 M1~M6에 의하여 두 배 되어 다음 단계에 인가될 신호 +64 μA~-32 μA가 생성된다. 이때 생성된 코드는 thermometer-to-binary encoder에 의하여 코드 00으로 변환된다.

둘째로, CSH에 $-16 \mu A \sim +16 \mu A$ 가 인가되면 각각의 비교기에 $+58 \mu A \sim +90 \mu A$ 인가되어 CCMP1의 기준전류 I_{ref1} 과 비교하여 코드는 0에서 1로 출력되고 CCMP2는 기준전류 I_{ref2} 와 비교하여 0으로 변화가 없기 때문에 DAC의 M7은 off가 되고 M9는 on이 되어 다음 단계에 인가될 신호 $-32 \mu A \sim +32 \mu A$ 가 생성된다. 이때 생성된 코드 01은 thermometer-to-binary encoder에 의하여 코드 01이 된다.

셋째로, CSH 출력 $+16 \mu A \sim +64 \mu A$ 가 인가되면 CCMP1의 비교기는 1로 불변하고 CCMP2은 0에서 1로 변화하여 DAC의 M7과 M9가 on이 되어 다음 단계에 인가될 신호 $-32 \mu A \sim +64 \mu A$ 가 생성되어 다음 단계에 인가되며 이때 생성된 코드 11은 thermometer-to-binary encoder에 의하여 코드 10이 된다. 이와 같이 1.5-비트 비트 셀은 파이프라인된 다음 단계에서 전단과 같은 신호처리를 위하여 앞에서 기술한 절차를 반복 수행하며, 여기서 생성된 출력코드(00, 01, 10)들은 지연소자에 의하여 3주기 반 후에 동시에 디지털 교정 로직에 인가되어 마지막으로 디지털 교정 회로에 의하여 교정이 된다. 디지털 교정은 0.5-비트의 여분을 이용하여 출력 코드에 1이나 0을 더하는 기존의 VADC에서 이용된 알고리즘을 적용하였다.^[1]

2. CFT 제거를 위한 차동구조의 새로운 CSH 설계
전류모드 데이터 어퀴지션(data acquisition) 시스템에서 CSH는 시스템이 신호를 처리 하는 동안 전류신호의 변화를 방지하기 위하여 사용된다. 몇몇의 CSH가 발표되었으나 CFT와 낮은 출력 임피던스에 의하여 CSH의 정확성이 제약을 받거나 CFT 제거를 위해서는 추가적인 스위치와 정확한 클럭 타이밍이 요구되는 문제가 있다.^[14]

이와 같은 문제점을 해결하기 위해서 그림 2와 같은 차동구조의 새로운 CSH 회로를 설계하였다. 그림 2에서 M0, M5, M6, M7, M8은 전류를 전압으로 변환하는 비 선형 차동구조의 전류-전압 변환기(current-to-voltage converter)처럼 작용하며, M10, M12, M28, M32, M33은 스위치 SW1-A와 SW1-B가 있는 비선형 차동구조의 전압-전류 변환기(voltage-to-current converter)처럼 작용한다. 만약에 M0과 M28에 흐르는 바이어스 전류가 $2I_e$ 와 $2I_s$ 이면 무 신호 일 때 M6과 M8은 동일한 바이어스 전류 I_e 가 흐르게 되며 이에 해당하는 전압은

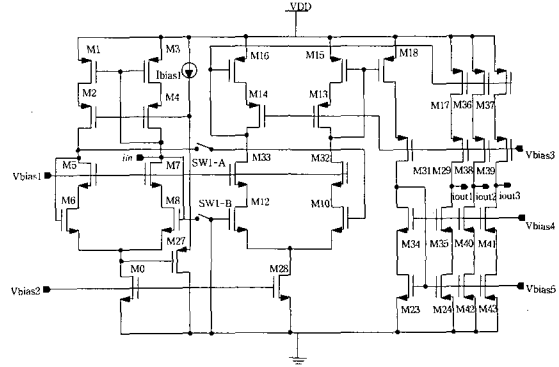


그림 2. CFT를 보상한 새로운 차동 CSH
Fig. 2. A new differential CSH for compensation of CFT.

스위치가 on(sample period)되는 동안 M10(M12)의 게이트-소오스 사이의 기생 커패시터 $C_{gs10, (12)}$ 에 충전된다.

스위치가 off(hold period) 되어도 스위치 on 동안의 전압이 $C_{gs10, (12)}$ 에 기억되었기 때문에 M10(M12)에는 M6(M8)이 on 되는 동안에 흐르는 전류와 동일한 전류가 흐른다. 이때 $2I_e$ 와 $2I_s$ 가 같다면 M12에 흐르는 전류와 M10에 흐르는 전류를 빼면 0이 된다. 여기서 입력 전류 i_{in} 이 입력에 인가가 되면 M6(M8)에 식 (1)의 전류가 흘러 M10(M12)의 $C_{gs10, (12)}$ 에 식 (2)의 전압이 저장되며 다음 위상 즉, hold에서 이 전압에 의하여 M10과 M12에 저장 전압에 해당하는 전류가 흐르게 된다.

$$I_{ds6} = I_e - 1/2 i_{in}, \quad I_{ds8} = I_e + 1/2 i_{in} \quad (1)$$

$$V_{gs6} = \sqrt{\frac{I_e - (1/2) i_{in}}{K}} + V_{in} \quad (2)$$

$$V_{gs8} = \sqrt{\frac{I_e + (1/2) i_{in}}{K}} + V_{in}$$

여기서, $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$

식(2)의 게이트-소오스 전압은 M10과 M12의 전압이 되기 때문에 M12와 M10의 전압의차는 다음과 같다.

$$\begin{aligned} V_{id} &= V_{gs8} - V_{gs6} = V_{gs12} - V_{gs10} \\ &= \sqrt{\frac{I_e + (1/2) i_{in}}{K}} - \sqrt{\frac{I_e - (1/2) i_{in}}{K}} \quad (3) \\ &= \sqrt{\frac{2I_e - \sqrt{4I_e^2 - i_{in}^2}}{K}} \end{aligned}$$

식(3)의 전압은 비 선형 전압-전류 변환기의 입력 전압으로 두 전압의 차에 의한 출력 전류 $i_{out} = I_{ds12} - I_{ds10}$ 가 되며 M12와 M10에 흐르는 각각의 전류는 식(4)과

같이 구해진다.

$$I_{ds12} = I_s + \sqrt{4KI_s} \left(\frac{V_{id}}{2} \right) \sqrt{1 - \frac{(V_{id}/2)^2}{I_s/K}} \quad (4)$$

$$I_{ds10} = I_s - \sqrt{4KI_s} \left(\frac{V_{id}}{2} \right) \sqrt{1 - \frac{(V_{id}/2)^2}{I_s/K}}$$

따라서 출력전류는 식(3)과 식(4)을 이용하여 식(5)와 같이 구해지며 바이어스 전류가 $I_s = I_e$ 가 되면 $i_{out} = i_{in}$ 가 된다

$$i_{out} = I_{ds12} - I_{ds10} = 2\sqrt{4KI_s} \frac{V_{id}}{2} \sqrt{1 - \frac{(V_{id})^2}{4} \frac{K}{I_s}} \quad (5)$$

$$= i_{in} \sqrt{1 + (4/i_{in})^2 (I_s - I_e)(2I_e - \sqrt{(2I_e)^2 - i_{in}})}$$

다시 말해 M10, M12에 흐르는 전류는 PMOS 트랜지스터로 구성된 전류미러 M15, M16의 전류이고 이 전류는 M17과 M18에 각각 미러 되어 wide-swing cascode current mirror로 구성된 출력 단 트랜지스터 M34, M35에 흐르게 되므로 출력 단에 출력되는 전류는 M34와 M35에 흐르는 전류 차이와 같게 된다. 스위치 SW1-A, SW1-B는 NMOS와 PMOS 트랜지스터를 이용하였다. 스위치 트랜지스터의 크기와 M10, M12의 게이트-소스 커패시턴스는 CSH의 정착시간(settling time)을 좌우하므로 스위치의 도통 저항이 최소화 되도록 설정하나 스위치를 구성하는 트랜지스터의 크기가 커지면 CFT가 증가되므로 이를 고려하여 설정하여야 한다.

3. 래치형 CCMP 설계

폐루프(closed-loop) 래치 비교기는 고속이 요구되는 ADC에서 사용되나 고속 동작을 위한 스위칭 동작이 복잡하다는 단점이 있다. 본 논문에서는 각 비트 셀을 구성하는 ADSC의 비교기는 속도, 소비전력과 스위칭 동작 간소화를 고려하여 기존의 폐루프 래치 전압 비교기를 변형한 그림 3과 같은 폐루프 래치형 CCMP를 설계하였다. CCMP 구성은 차동쌍 입력의 전류-전압 변환기, CMOS 래치, RS 래치로 구성되었다. CMOS 래치는 예비충전(precharge)을 위한 트랜지스터(M7, M8)가 있는 PMOS 플립플롭(M21, M24)과 전송 게이트(M9, M12)가 있는 NMOS 플립플롭(M10, M30)으로 구성되었으며 리셋 기간(reset period) 동안 정적전류(static current)를 차단하는 M37로 구성되었다. 만약 래치 신호가 low 즉, 비교기가 리셋 기간이 되면 M10, M30은 M4와 M20의 차동쌍에 흐르는 전류에 트리거

되어 급변하는 M10과 M30의 드레인 점 ㉑와 ㉒는 MC1과 MC2에 의하여 VDD 아래로 클리퍼(clipper) 된다. 이때 예비충전을 위한 트랜지스터 M7, M8은 on이 되어 M9, M12의 드레인 점 ㉓와 ㉔는 VDD까지 충전이 된다. 이 상태에서 입력단자 IN_COM의 전류가 REF_COM보다 크다면 차동쌍 입력 트랜지스터 M4의 게이트에 M5의 게이트 전압보다 큰 전압이 인가되어 절점 ㉑는 절점 ㉒보다 낮은 전압으로 되며 이때 래치 신호가 high(regeneration period)가 되면 M30의 드레인 점 ㉒의 전압은 M10의 드레인 점 ㉑ 전압보다 크게 되므로 양쪽의 드레인 점들의 전압은 정 제환 구성에 의하여 급격하게 ㉑ 절점은 low가 되고 ㉒ 절점은 high가 되어 전송 게이트를 통하여 M9의 드레인 점 ㉓는 0으로 M12의 드레인 점 ㉔는 VDD로 변하게 된다.

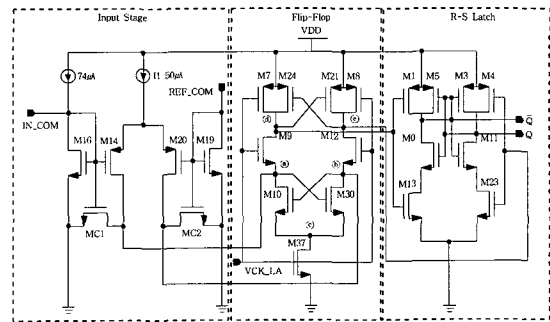


그림 3. 래치형 CCMP
Fig. 3. Latch CCMP.

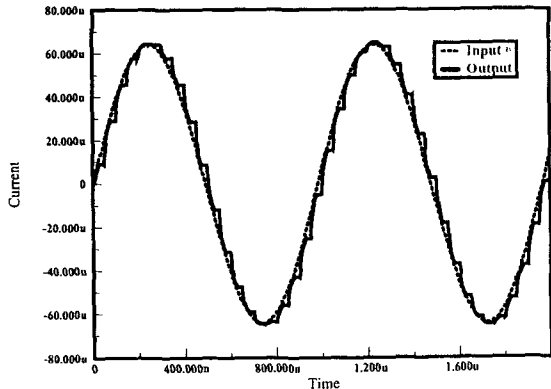
이와 같이 설계된 CCMP는 기존의 비교기와 다르게 [15] 리셋 동작이 MC1, MC2, M10, M30, M37의 동작 관계에서 수행되기 때문에 추가적인 스위치 클럭 없이 저전력과 트리거 전류의 조절에 의하여 동작 속도를 만족시킬 수 있다.

III. 시뮬레이션 결과

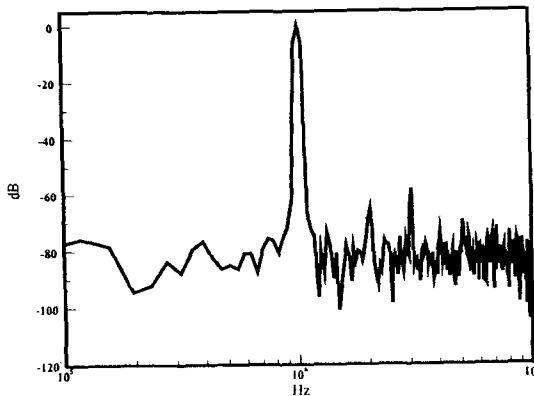
제안한 IADC를 3 V 단일 전압에서 현대 반도체사의 0.65 μ m 파라미터를 이용하여 ACAD로 시뮬레이션을 하였다. 우선 그림 4는 비트 셀 전단에 배치된 CSH의 특성을 보이고 있다. 그림 4(a)는 신호 크기가 -64 μ A ~ +64 μ A인 1.0156 Mhz의 정현파를 20 Mhz 클럭으로 제어한 출력을 입력과 비교한 파형이며 그림 4(b)는 1.0156 Mhz 인 $\pm 64 \mu$ A 정현파 입력신호를 인가하여 20 Mhz 클럭으로 제어 할 때 SNR(Signal-to-Noise Ratio)은 60 dB가

측정되어 식 (6)에 의하여 9.7-비트의 ENOB(Effective Number of Bit)가 구해지며 이는 새로운 CSH의 정확도를 나타낼 수 있다.

$$ENOB = \frac{SNR - 1.76dB}{6.02} \quad (6)$$



(a) 과도 특성

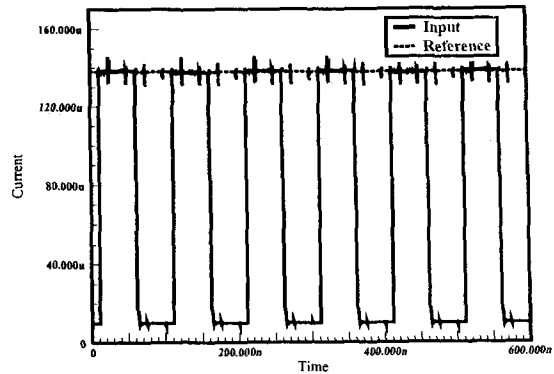


(b) 주파수 특성

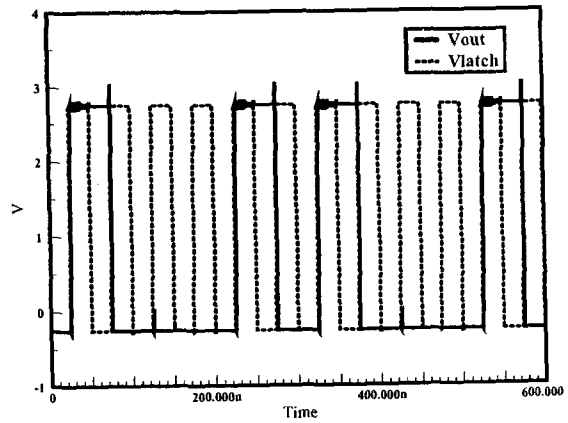
그림 4. 새로운 차동 CSH 회로의 특성
Fig. 4. The characteristics of a new differential CSH circuit.

그림 5는 각 비트 셀의 ADSC에 이용된 래치형 CCMP의 변환율을 조사하기 위하여 그림 5(a)와 같이 입력전류와 기준전류를 인가하여 overdrive recovery를 [16] 조사한 결과이다. 트리거 전류 I이 50 μ A에서 20 MHz의 동작 특성을 나타냈다.

설계된 CSH와 CCMP로 구성된 새로운 구조의 IADC의 성능을 평가하기 위하여 먼저 정적특성을 관측하였다. 그림 6은 50 ns 동안 0.5 μ A가 변화되는 $\pm 64 \mu$ A의 램프파를 인가하여 측정된 정적특성으로 DNL은 +1 LSB ~ -0.15 LSB, INL은 +1 LSB ~ -1 LSB이 측정되었다.



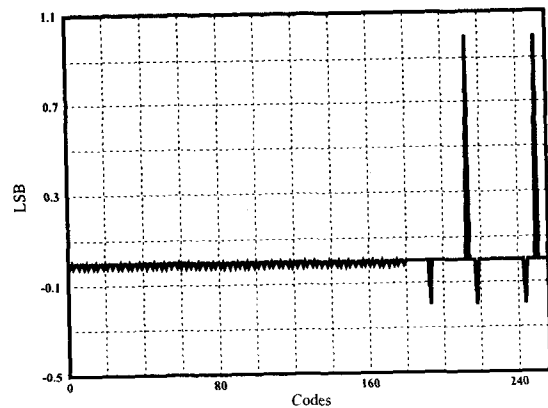
(a) overdrive recovery test를 위한 입력



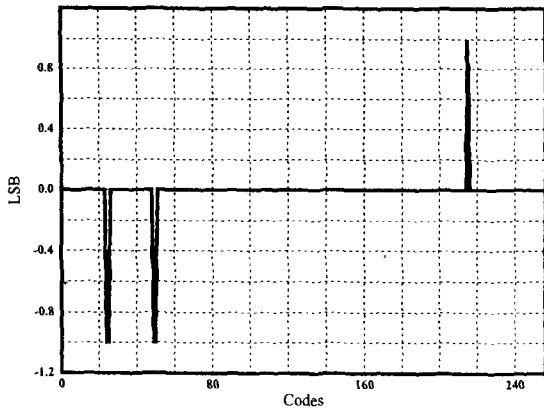
(b) 출력

그림 5. CCMP overdrive recovery test (1 LSB= 0.5 μ A, clock=20 MHz)

Fig. 5. Overdrive recovery test of CCMP.



(a) DNL



(b) INL

그림 6. IADC의 정적 특성
Fig. 6 Static characteristics of IADC.

그림 7은 입력 레벨에 따른 SINAD(Signal to Noise +Distortion)를 나타내고 있으며 그림 8은 입력 주파수에 따른 SINAD를 보이고 있다. 20 Ms/s에서 입력 신호가 3 Mhz 부근에서 최고치 SINAD의 47 dB보다 -3 dB가 감소하기 시작하였다

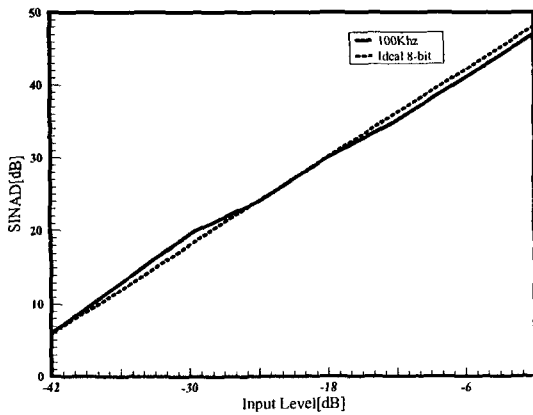


그림 7. 입력 레벨에 따른 SINAD
Fig. 7. SINAD versus input level.

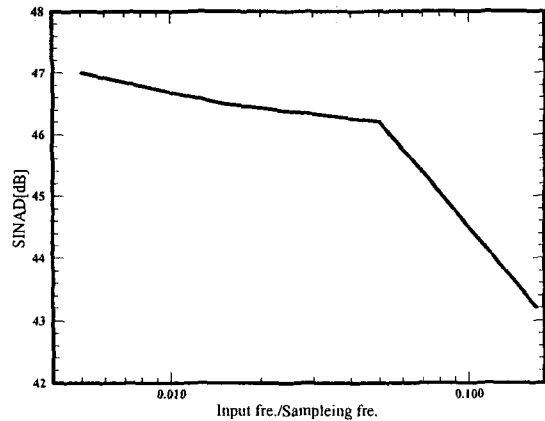


그림 8. 입력 주파수에 따른 SINAD
Fig. 8. SINAD versus input frequency.

그림 9는 20 Ms/s에서 입력의 크기가 $\pm 64 \mu A$ 인 100 kHz의 정현파를 인가하여 복원된 신호에 대하여 DFT한 결과 SFDR(Spurious Free Dynamic Range)은 52 dB, SNR은 50 dB 그리고 SINAD는 47 dB가 관측되었다. 표 1과 표 2는 제안한 IADC의 성능 측정 결과와 기존의 IADC의 성능 면을 비교하였다.

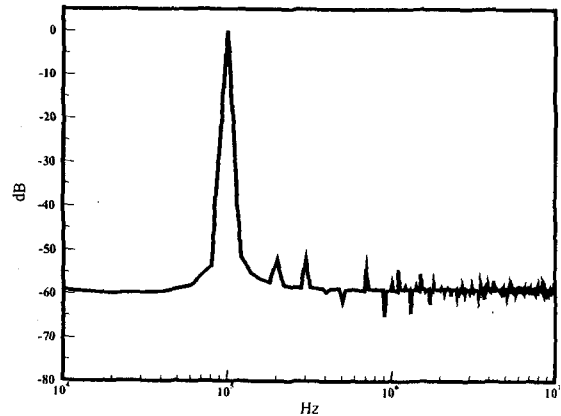


그림 9. IADC의 동적 특성
Fig. 9. Dynamic characteristics of a IADC.

표 1. 제안된 IADC의 시뮬레이션 결과
Table 1. Simulation result of a proposed IADC.

SINAD @ 100kHz	47 dB	DNL(LSB)	+ 1 ~ - 0.15
SINAD @ 3.4Mhz	43.2 dB	.INL(LSB)	+ 1 ~ - 1
Samping Frequency	20 Mhz	Power Consumption	35.7 mW
Resolution	8-bit	Input full scale	$\pm 64 \mu A$
Technology	0.65 μm CMOS	Power Supply	3 V

표 2. 제안된 IADC와 기존 IADC의 성능비교

Table 2. Performance comparison of conventional IADC and proposed IADC.

	Ref.[4]	Ref.[9]	Ref.[10]	Ref.[12]	Ref.[13]	Proposed
Resolution	8-bit	10-bit	10-bit	10-bit	7-bit	8-bit
Conversion Rate	4.5Mhz	500kHz	550kHz	20Mhz	25Mhz	20Mhz
Power Consumption	128mW	1000mW	20mW	1000mW	31.5mW	35.7mW
Technology	0.8 μm CMOS	3 μm CMOS	2.4 μm CMOS	2 μm BiCMOS	1.2 μm CMOS	0.65 μm CMOS
Architecture	Pipelined	Algorithmic	Pipelined	Pipelined	Two-Step	Pipelined

V. 결 론

본 논문은 최근에 각광 받고 있는 전류모드 방식을 이용하여 새로운 CSH와 CCMP로 구성된 1.5-비트 비트 셀로 구성된 새로운 구조의 CMOS IADC를 제안하였다. 제안된 IADC에서 전체적인 해상도 만족하기 위하여 각 비트 셀의 전단에 CFT가 제거된 9-비트 이상의 해상도를 만족하는 새로운 CSH를 배치하였다. 설계된 8-비트 IADC는 6단의 1.5-비트 비트 셀과 2-비트 셀 1단 그리고 지연 래치 회로로 구성되고 각 단의 0.5-비트 여분을 이용하여 디지털 교정 로직에 의하여 코드 교정이 수행된다. 또한 IADC를 구성하는 모든 블록들의 회로는 MOS 트랜지스터로만 설계되어 아날로그/디지털 혼성모드 칩제작에 용이하고 칩 면적의 축소와 성능 향상이 기대된다. 현대 CMOS 0.65 μm 파라미터로 설계된 IADC를 ACAD를 이용하여 시뮬레이션 결과 20 Ms/s에서 입력 신호 100 kHz에 대한 47 dB의 SINAD와 50 dB의 SNR(ENOB=8-비트)을 얻었고 35.7 mW의 소비전력 특성을 나타내어 표 2에 나열한 바와 같이 기존의 IADC에 비하여 우수함이 확인되었다.

참 고 문 헌

- [1] S. H. Lewis and P. R. Gray, "A pipelined 5-Msample/s 9-bit analog-to-digital convert", *IEEE J. Solid-State Circuits*, vol. 22, pp. 954-961, Dec. 1987.
- [2] M. Yotsuyanagi, T. Etoh, and K. Hirata, "A 10-b 50-Mhz pipelined CMOS A/D convert with S/H," *IEEE J. Solid-State Circuits*, vol. 28, pp. 292-300, Mar. 1993.
- [3] S. H. Lee and B. S. song, "Digital-Domain Calibration of Multistep Analog-to-Digital Convert", *IEEE J. Solid-State Circuits*, vol. 27, pp. 1679-1688, Dec. 1992.
- [4] Chung-Yu Wu, Chin-Cheng Chen Jyh-Jer Cho, "A CMOS Transistor-only 8-b 4.5-Ms/s Pipelined Analog-to-Digital Converter Using Fully-Differential Current-Mode Circuit Techniques," *IEEE J. Solid-State Circuits*, Vol. 30, pp. 522-532, May. 1995.
- [5] J. B. Hughes and K. W. Moulding, "Switched-current signal processing for video frequencies and beyond", *IEEE J. Solid-State Circuits*, vol. 28, pp. 341-322, Mar. 1993.
- [6] T. S. Fiez, G. Liang, and D. J. Allstot, "Switched-current circuit design issues," *IEEE J. Solid-State Circuits*, vol. 26, pp. 192-202, Mar. 1991.
- [7] R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully Balanced CMOS Current-Mode circuits," *IEEE J. Solid-State Circuits*, vol. 28, pp. 569-574, May. 1993.
- [8] Z. Wang, "Current-mode integrated circuits for analog computation and signal processing," *Analog Integrated Circuits and Signal Processing Journal*, Kluwer Academic Publisher, vol. 1, pp. 287-295, 1991.
- [9] D. G. Naim and C. A. T. Salama, "Converters",

- IEEE J. Solid-State Circuits*, vol. 25, pp. 997-1004, Aug. 1990.
- [10] D. Macq and P. G. A. Jespers, "A 10-bit Pipelined Switched-Current A/D Converter", *IEEE J. Solid-State Circuits*, vol. 29, pp. 967-971, Aug. 1994.
- [11] D. Robertson, P. Real, and C. Mangelndorf, "A wideband 10-bit, 20Ms/s pipelined ADC using current-mode signals", *ISSCC Dig. Tech. Papers*, pp. 160-161, Feb. 1990.
- [12] P. Real, D. H. Robertson, C. W. Mangelndorf, and T. L. Tewksbury, "A Wide-Band 10-bit 20-Ms/s Pipelined ADC Using Current-Mode Signal", *IEEE J. Solid-State Circuits*, vol. 26, pp. 1103-1109, Aug. 1991.
- [13] J. P. Carrerira, J. E. Fanca, "A TWO-STEP FLASH ADC FOR DIGITAL CMOS TECHNOLOGY," *Advanced A-D and D-A Conversion Techniques and Their Applications,* IEE Conference Publication no. 393 pp. 49-51, July. 1994.
- [14] C. Toumazou, J. B Hughes & N. C. Battersbhy, "SWITCHED-CURRENTS an analogue technique for digital technology.
- [15] K. W. Kim, "A 10-bit, 100MS/s Analog-to-Digital Converter in 1- μ m CMOS," Ph. D. Dissertation UCLA pp. 150-168, 1996.
- [16] Behzad Razavi, *Principles of Data Conversion System Design IEEE Press*, pp. 181-188.

저 자 소 개



趙成翊(正會員)

1961년 2월 10일생. 1987년 전북대학교 공과대학 전기공학과(공학사). 1989년 전북대학교 대학원 전기공학과(공학석사). 1994년 2월 전북대학교 대학원(공학박사). 현재 현대전자메모리 연구소 개발부 선임연구원

관심분야는 ADC, DAC, PLL, DLL, Filter, 아날로그 회로 설계



辛烘圭(正會員)

1953년 12월 26일생. 1975년 전북대학교 전기공학과(공학사). 1980년 8월 전북대학교 대학원(공학석사). 1989년 2월 전북대학교 대학원(공학박사). 현재 원광대학교 공과대학 전자공학과 교수. 관심분야는 아날로그 및 혼성모드 집적회로 설계

로그 및 혼성모드 집적회로 설계



崔庚鎭(正會員)

1967년 6월 18일생. 1993년 2월 원광대학교 공과대학 전자공학과(공학사). 1995년 8월 원광대학교 대학원 전자공학과(공학석사). 1998년 8월 원광대학교 대학원 박사 수료. 관심분야는 아날로그 및 혼성모드

집적회로 설계