

論文99-36C-10-2

# 시뮬레이션 효율을 향상시킨 시뮬레이션 기반의 아날로그 셀 합성

## (A Simulation-Based Analog Cell Synthesis with Improved Simulation Efficiency)

宋炳根\*, 郭桂達\*\*

(Byeong Geun Song and Kae Dal Kwack)

### 요약

본 연구에서는 시뮬레이션 효율을 향상시킨 시뮬레이션 기반의 아날로그 셀 합성기법을 제안한다. 아날로그 셀을 계층적으로 합성하기 위하여 시뮬레이션 기반으로 전류미러, 차동입력단 등 각각의 부회로(sub circuit) 생성기들을 개발하였다. 이 부회로 생성기들을 모듈화 시키고 계층화 시킴으로써 OTA(operational transconductance amplifier)나 2단(2-stage) OP-AMP, 비교기(comparator)등 일반적인 아날로그 셀들의 합성을 위하여 사용될 수 있게 하였다. 시뮬레이션 기반의 합성 시간을 줄이기 위하여 2단계 탐색 기법(2-stage searching scheme)과 시뮬레이션 데이터 재사용기법(simulation data reusing scheme)을 제안하여 적용하였다. 아날로그 셀(OTA) 합성 시 301.05sec에서 56.52sec로 최고 81.2%의 합성 시간을 줄이므로 시뮬레이션 기반의 회로 합성시간의 문제를 해결하였다. 개발한 합성기는 SPICE의 모델 파라미터 외에 추가적인 물리적 파라미터들을 필요로 하지 않으며 공정이나 SPICE 모델 레벨(level)에 독립적이기 때문에 새로운 공정에 적용할 때 필요한 준비 시간이 최소화 되었다. 본 논문에서는 OTA와 2단 OP-AMP를 각각 합성하여 제안하는 합성기법의 유용성을 입증하였다.

### Abstract

This paper presents a new simulation-based analog cell synthesis approach with improved simulation efficiency. For the hierarchical synthesis of analog cells we developed the sub-circuit optimizers such as current mirror and differential input stage. Each sub-circuit optimizer can be used for synthesis of analog cells such as OTA(operational transconductance amplifier), 2-stage OP-AMP and comparator. To reduce the time spending of the simulation-based synthesis we propose 2-stage searching scheme and simulation data reusing scheme. With those schemes the synthesis time spending of OTA was reduced from 301.05sec to 56.52sec by 81.12%. Since our synthesis system doesn't need other additional physical parameters except SPICE parameters, and is independent of the process and its model level, the time spending to port to other process is minimized. We synthesized OTA and 2-stage OP-AMP respectively with our approach to show its usefulness.

\* 正會員, 亞南半導體株式會社

(Anam Semiconductor, Inc.)

\*\* 正會員, 漢陽大學校 電子電氣工學部

(Department of Electrical Engineering, College of Engineering, Hanyang University)

接受日字:1999年5月25日, 수정완료일:1999年9月17日

### I. 서론

최근에 아날로그 회로와 디지털 회로가 같은 칩에 공존하는 혼성 칩의 구현 비율이 크게 늘어나고, 하나의 칩에 하나의 시스템을 구현하는 설계 경향에 따라 아날로그 회로 블록의 설계시간 최소화가 요구되고 있

다. 이에 따라 설계시간 단축을 위한 아날로그 회로설계의 자동화에 대한 필요성이 크게 대두되고 있다.

이미 발표된 아날로그 설계자동화 기법은 회로 최적화 기반의 설계법 (optimization-based design approach)<sup>[1]-[3]</sup>, 레이아웃 기반의 설계법(layout-based design approach)<sup>[4]</sup> 과 설계지식에 기반을 둔 설계법(knowledge-based design approach)<sup>[5]-[8]</sup> 등으로 구분 되어질 수 있다. 기존의 아날로그 컴파일러 시스템들의 개선되어야 할 점들은 다음과 같다.

첫째, 회로 설계단계에서 회로 시뮬레이터를 효과적으로 활용하도록 개선되어 져야 한다. 기존의 시스템들은 회로를 설계하는 단계에서는 시뮬레이터를 사용하지 않고 설계를 마무리하는 최종 단계에서만 사용하고 있는데<sup>[9]-[11]</sup> 회로 설계단계에서 해석적 근사식을 사용하는 경우 설계 오차를 수반하는 반면 설계 초기 단계에서부터 시뮬레이터의 실행을 포함시키는 경우에는 과도한 시뮬레이션 수행으로 인하여 설계시간이 크게 증가한다.

둘째, 컴파일러 개발 시 준비 작업시간을 최소화 해야 한다. 기존의 아날로그 설계자동화 시스템들은 SPICE 공정 파라미터 외에도 10~20개의 물리적인 파라미터 값을 필요로 하고<sup>[9][10][15]</sup> 적용할 수 있는 SPICE 모델도 레벨 1-3으로 제한된다. 그래서 SPICE 공정 파라미터 외에 추가되는 파라미터 갯수를 최소화 하고 컴파일러가 공정이나 SPICE 모델 레벨에 따라 제한을 받지 않도록 개선되어야 한다.

셋째, 아날로그 셀 생성기들을 계층화 시키고 모듈화 시킴으로써 다양한 아날로그 셀 컴파일러의 확장을 용이하게 해야 한다.

본 연구에서는 위에서 언급한 기존 아날로그 컴파일러들의 문제점들을 개선하는 새로운 시뮬레이션 기반의 아날로그 합성기법을 제안한다.

본 논문은 다음과 같이 구성되어 있다. II 장에는 새로운 시뮬레이션 기반의 아날로그 셀 합성법과 III 장에서는 시뮬레이션 효율 향상기법을 각각 제안한다. IV 장에서는 회로 합성결과를 보이고, V장에서는 결론과 향후 연구방향을 제시한다.

## II. 새로운 시뮬레이션 기반의 아날로그 셀 합성

본 연구에서 제안하는 시뮬레이션 기반의 아날로그 셀 합성을 검증하기 위하여 설계 지식 기반의 계층적 합성법(hierarchical synthesis approach)을 채택하였다<sup>[5]-[8]</sup>

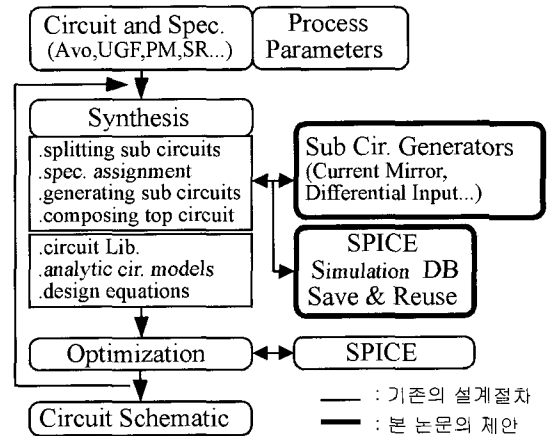
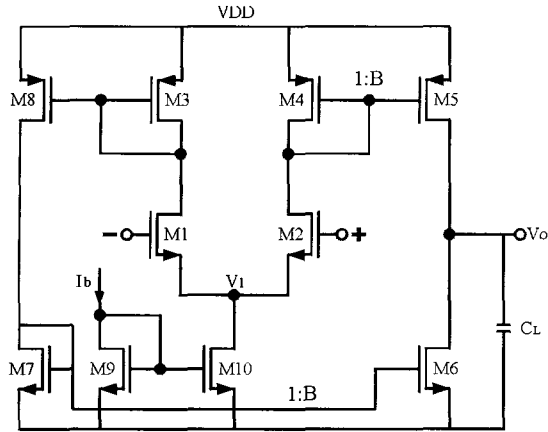


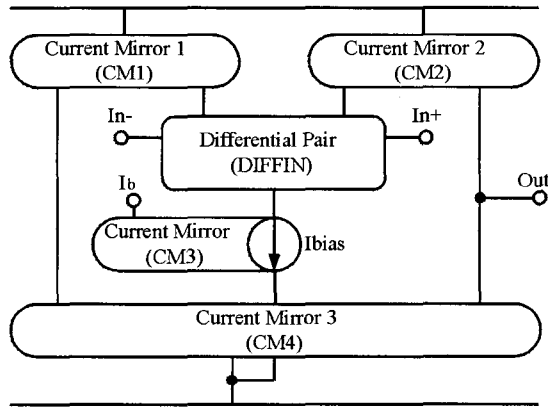
그림 1. 계층적 아날로그 회로 합성을 위한 설계 절차  
Fig. 1. The design process for hierarchical analog circuit synthesis.

그림1에서 가는 선으로 그려진 흐름도는 기존의 합성 절차이며 굵은 선으로 그려진 흐름도는 본 연구에서 제안하여 추가한 설계 흐름도이다. 합성하고자 하는 회로의 종류와 설계사양이 공정 파라미터와 함께 주어지면 회로를 부회로들로 나누고 각 부회로들에게 설계 사양을 부여한다. 각 부회로들을 설계한 후 전체 회로로 구성한다. 이때 설계과정에서 부회로 라이브러리와 해석적 회로모델, 설계관계식 등이 활용된다. 일차 설계된 회로는 주어진 사용자 설계사양에 맞도록 최적화 알고리즘을 거쳐서 설계가 완료된다. 그런데 모든 회로들에 대한 정확한 해석적 모델식을 도출하기가 어려우며, 심층 서브마이크론 공정에서 설계관계식의 정확도가 떨어지므로 본 연구에서는 시뮬레이션 기반의 부회로 생성기들을 개발하였고 제안하는 시뮬레이션 효율 향상기법을 채용하였다.

그림 2(a)는 OTA 회로도이며 이를 기능단별 부회로들로 분할한 것을 그림 2(b)에 나타내고 있다. 차동 입력단(differential input stage) DIFFIN, 전류미러(current mirror) CMI, CM2, CM3, CM4로 분할된 각각의 부회로들에게 전체회로의 설계사양(표1)과 다음 설계 관계식들 (1), (2), (3)을 활용하여 설계사양들을 부여하고 각 부회로들을 설계한다<sup>[7]</sup>.



(a) 회로도



(b) 분할된 부회로도

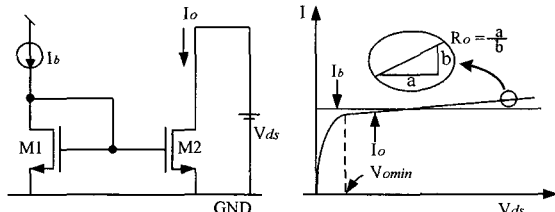
그림 2. OTA(operational transconductance amplifier)  
Fig. 2. OTA(operational transconductance amplifier).

$$A_{vo} = B \cdot g_{m2} \cdot (R_{oM5} \parallel R_{oM6}) \quad (1)$$

$$I_b \geq 2 \cdot SR \cdot C_L / B \quad (2)$$

$$G_{m2} = GB \cdot C_L \quad (3)$$

여기서  $B$ 는 전류이득 비,  $SR$ 는 슬루율 그리고  $GB$ 는 이득대역폭이다. 전류미러 CM2를 설계하기 위하여 그림 3(a)에 전류미러의 테스트 회로를 보이고 있다.



(a) 전류미러의 테스트회로 (b) I-V 동작특성

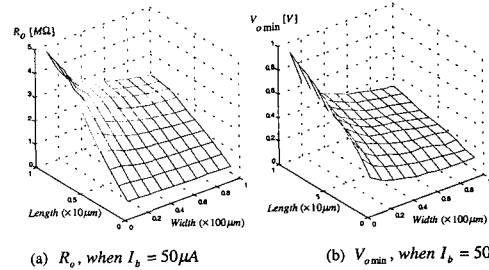
그림 3. 전류미러의 테스트 회로와 동작특성  
Fig. 3. Test circuit of current mirror and its I-V operation characteristics.

그리고 이 전류미러의 출력전압의 변화에 대한 전류와의 관계 곡선을 그림 3(b)에 나타내고 있다. 여기서 전류미러의 설계사양이 최대 출력 전류(), 최소 출력 저항(), 최소출력전압()들로 정의된다. 전류미러는 전류이득단 또는 능동부하 등으로 사용되며, OP-AMP에서는 신호이득(gain), 는 출력전압 범위 등을 직접적으로 결정하는 변수들이다. OASYS[7]에서는 다음 두 식을 이용하여 전류미러를 설계하였다.

$$R_o = (1 / \lambda I_D) (L / L_{min}) \quad (4)$$

$$I_D = K'W (V_{GS} - V_T)^2 / 2L \quad (5)$$

여기서  $K'$ 는  $\mu_0 C_{ox}$ ,  $\lambda$ 는 채널길이 변조(channel length modulation) 파라미터이다. 식 (4) 과 (5)가 설계 계산식으로 사용되기 위해서는  $\lambda$ 값이 일정하고  $R_o$ 값이  $L/L_{min}$ 에 비례한다는 것이 전제 되어져야 한다. 그러나 심층 서브마이크론 공정에서 이러한 값들은 일정하지 않고 트랜지스터의 크기에 따라 변한다.



(a)  $R_o$ , when  $I_b = 50\mu A$  (b)  $V_{o\min}$ , when  $I_b = 50\mu A$

(a)  $R_o$ , when  $I_b = 50\mu A$  (b)  $V_{o\min}$ , when  $I_b = 50\mu A$   
그림 4. W와 L의 변화에 따른 전류미러의  $R_o$ 와  $V_{o\min}$ 의 변화경향

Fig. 4. The variation trend of  $R_o$  and  $V_{o\min}$  of a current mirror according to W and L change.

그림 4는 0.6 표준 CMOS 공정에서 전류미러의 바이어스 전류  $I_b$ 가  $50\mu A$ 이고 채널길이와 넓이가 각각  $1\sim 10\mu m$ ,  $10\sim 100\mu m$  범위에서 변할 때  $R_o$ 와  $V_{o\min}$ 의 변화 경향을 나타내고 있다. 전범위에서  $R_o$ 와  $V_{o\min}$  값이 비선형적으로 변하며 특히 채널 넓이가  $50\mu m$ 이하 일 때  $R_o$ 와  $V_{o\min}$ 가 급격히 변한다. 그림 3(a)의 Widlar 전류미러의  $R_o$ 는  $500K\Omega\sim 5M\Omega$  범위의 값을 가진다. 보다 큰  $R_o$ 를 얻기 위해서는 캐스코드(cascoded) 전류미러를 사용하는 것이 효과적이며 수십

$M\Omega \sim$ 수백  $M\Omega$  범위의 값을 갖는다<sup>[14]</sup>. 전류미러가 안정하게 동작하는 범위를 크게 하기 위해서는  $V_{0min}$  이 작아야 한다. 그러나 심층 서브 마이크로 공정에서 식 (4)과 (5)는 오차를 수반하므로 정확한 설계를 위해 사용될 수 없다.

1. 전류미러 최적 생성기(optimizer of current mirror)

본 연구에서는 전류미러 등 부회로 설계 시 설계루프에 회로 시뮬레이터를 반복적으로 사용하는 시뮬레이션 기반의 최적화 설계 기법과 알고리즘을 제안한다.

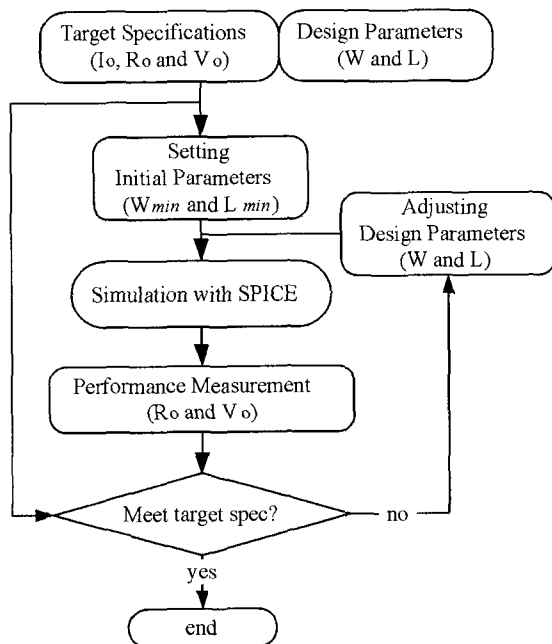


그림 5. 전류미러 생성기의 데이터 흐름도  
Fig. 5. The data flow of current mirror generator.

전류미러 생성기의 데이터 흐름도를 그림 5에 나타내고 있다. 설계 사양과  $W, L$  제한요인이 주어지면 전류미러 테스트회로에 바이어스 전류  $I_b, W$ 와  $L$ 의 초기 값을 주고 SPICE 시뮬레이션을 수행한다. 시뮬레이션을 수행한 후 결과 파일을 분석하여  $R_0$ 와  $V_{0min}$  값을 추출한다. 이때  $f(\vec{x})$ 를 다음과 같이 정의할 수 있다.

$$f(\vec{x}) = R_0(\text{or } V_{0min}), \vec{x} = (W, L \dots) \quad (6)$$

추출한  $f(\vec{x})$ 와 설계사양  $f_{target}$ 을 비교한다. 이때 비교 마진(0.05이내)을 주면 목표 설계사양이 한 점에서 일정 목표범위로 바뀌며 다음과 같이 나타낼 수 있다.

$$f_{target} \times (1 - \text{margin}) \leq \text{target spec. region} \leq f_{target} \times (1 + \text{margin}) \quad (7)$$

$R_0$ 와  $V_{0min}$ 이 동시에 설계 사양 목표범위에 이르렀을 때, 전류미러 생성기는 실행을 종료한다. 그렇지 않은 경우에  $f(\vec{x})$ 이  $f_{target}$ 에 가까워 지도록  $W$ 와  $L$ 를 수정한다.

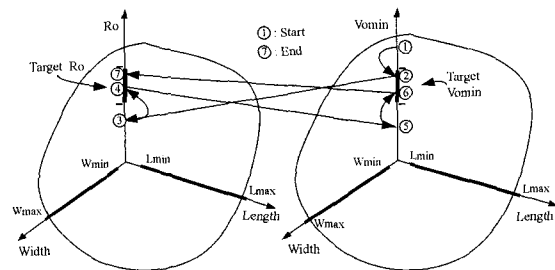


그림 6. 전류미러 생성기의 알고리즘  
Fig. 6. The algorithm of current mirror generator.

그림 6에는 전류미러 생성기에서 두개의 설계 목표 값  $R_0$ 과  $V_{0min}$ 을 탐색해가는 알고리즘을 보여주고 있다. 주어진  $W, L$  초기값에 의해 ①의 값이 정해지며 이 값은  $R_0$ 축 또는  $V_{0min}$ 축에 위치할 수 있다. ①에서 식(7)의 설계사양 범위 안에 드는 ②에 이르도록 알고리즘을 수행하며 ②에 이른 후에  $R_0$ 이 설계사양을 만족시키는지 확인하여 만족시키지 않을 경우에는 ③에서 목표 범위 ④에 이르도록 해준다. 이 경우  $V_{0min}$ 이 목표범위를 벗어나기 쉽기 때문에  $V_{0min}$ 이 ⑤에서 ⑥에 이르도록 다시 조정해주고  $V_{0min}$ 과  $R_0$ 이 ⑥과 ⑦에서 동시에 목표 값에 도달할 때 실행을 종료한다.

2. 차동입력단 최적 생성기(optimizer of differential input stage)

OTA(그림2)의 차동입력단의 트랜지스터 크기는 식 (3)과 (8)식에서 계산될 수 있다.

$$W/L = g_{m2}^2 2K' I_D \quad (8)$$

그러나 보다 정확한 설계를 위하여 M1과 M2의 바이어스 전류, 전압을 동시에 고려한 시뮬레이션 기반의 설계 알고리즘으로 트랜지스터의 크기를 결정하였다.

이때 사용한 테스트 회로를 그림 7에 나타내고 있다. 이미 설계된 전류미러 CMI, 2와 CM3를 함께 탑재하여 차동입력단 DIFFIN은 실제 OTA회로에서의 동작조

건과 동일한 조건에서 반복된 시뮬레이션 수행으로 정확한  $g_{m2}$  값을 갖도록 트랜지스터 크기가 결정된다.

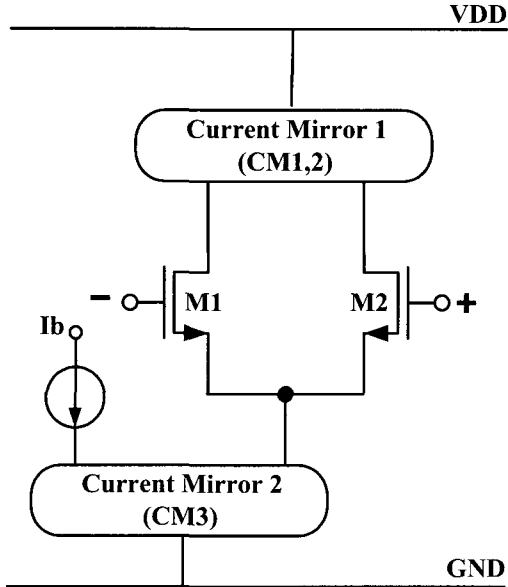


그림 7. 차동입력단 설계를 위한 테스트 회로  
Fig. 7. Test circuit for design of differential stage.

3. 2단 OP-AMP의 출력단 최적 생성기(output stage optimizer of 2-stage OP-AMP)

제안하는 합성법을 적용하여 2단 OP-AMP(그림8)를 합성하기 위하여 사용되는 설계관계식은 다음과 같다 [14].

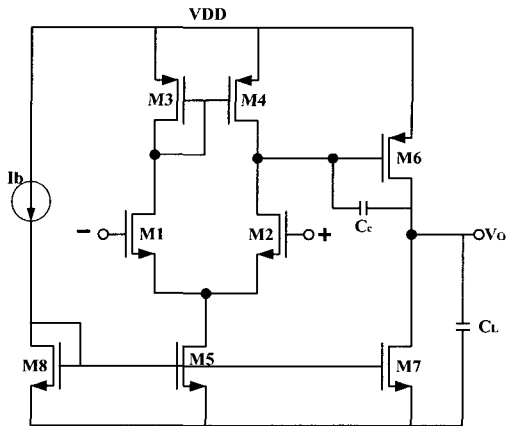


그림 8. 2단 OP-AMP  
Fig. 8. Two-stage operational amplifier.

$$A_{vo} = g_{m2} \cdot g_{m6} \cdot (r_{ds2} \parallel r_{ds4}) \cdot (r_{ds6} \parallel r_{ds7}) \quad (9)$$

$$g_{m2} = GB \cdot C_C \quad (10)$$

$$SR = I_5 / C_C \quad (11)$$

여기서  $C_C$ 는 밀러 보상 커패시터이다. 전류미러와 차동입력단의 최적 생성기는 OTA의 설계를 위해서 이미 개발된 것들을 활용하였다. 그리고 M6과 M7로 구성되는 출력단 설계를 위한 알고리즘을 개발하였고 이를 위한 테스트 회로를 그림 9에 나타내고 있다. M7은 전류원으로 동작하기 때문에 이상적인 전류원으로 표시

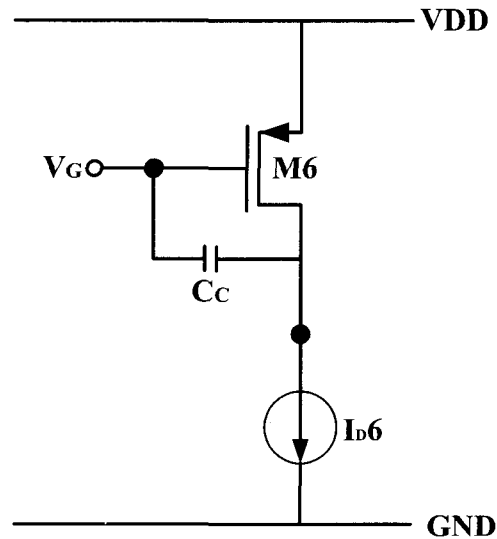


그림 9. 2차 OP-AMP의 출력단 설계를 위한 테스트 회로  
Fig. 9. Test circuit to design the output stage of two-stage OP-AMP.

하였다. 위상여유도를 고려하여  $g_{m6}$ 은  $g_{m2}$ 의 10배의 값이 요구되고 식(8)에서와 같이 바이어스 전류 ( $I_{D6}$ )와 트랜지스터의 크기 ( $W/L$ )<sub>6</sub>의 함수로 표현되는데,  $I_{D6}$ 가 크면 전력소모가 크고 ( $W/L$ )<sub>6</sub>가 크면 면적이 크게 된다. 주변 다른 부회로들과 KCL, KVL 법칙을 만족시키도록 반복된 시뮬레이션을 통하여 M6의 크기가 결정되며, 그후에 M7의 트랜지스터의 크기 ( $W/L$ )<sub>7</sub>은 식 (10)와 같은 관계식에서 결정된다.

$$(W/L)_7 = (W/L)_8 \cdot I_{D6} / I_b \quad (12)$$

### III. 시뮬레이션 효율 향상기법과 최적화

본 연구에서는 시뮬레이션의 효율을 향상시키기 위하

여 2단계 탐색 기법과 시뮬레이션 데이터 재활용 기법을 제안한다.

1. 2단계 탐색 기법(2-stage searching scheme)

2단계 탐색기법은 비선형방정식의 해를 구하는 뉴턴-랩슨(Newton-Rapson)기법과 유사한 수치 해석적 알고리즘을 갖는다. 목표하는  $f_{target}$  값을 찾기 위하여 파라미터의 가변범위  $\vec{x}_{min}$  와  $\vec{x}_{max}$  사이에서 탐색이 효과적으로 수행되어야 한다. 매 시뮬레이션마다 설계 파라미터가 증가분  $\Delta\vec{x}$ 만큼 증가 또는 감소할 때,  $\Delta\vec{x}$ 가 너무 작으면 시뮬레이션 횟수가 크게 늘어나고 너무 큰 경우 목표 값을 건너 뛸 수 있기 때문에 효과적인  $\Delta\vec{x}$ 생성이 요구된다<sup>[13]</sup>. 본 논문에서는 개략 탐색과 미세 탐색을 수행하는 2단계 탐색 기법을 제안한다(그림 10).

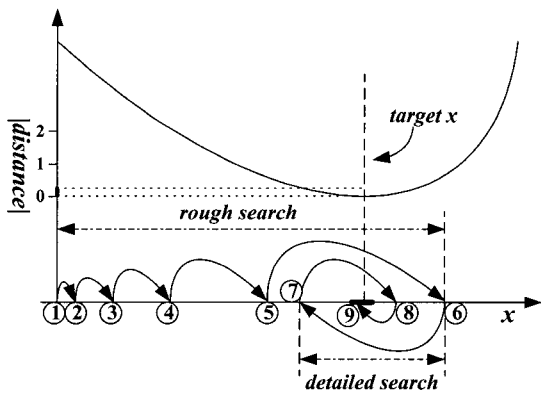


그림 10. 가변 파라미터-증가를 통한 2단계 탐색기법  
Fig. 10. 2-step searching scheme adopting variable parameter-increasement.

여기에서  $distance$ 를 다음과 같이 정의한다.

$$distance = f_{target} - f(\vec{x}) \tag{13}$$

탐색 수행의 목표는  $distance$ 를 최소화 하는 것이다. 시뮬레이션 횟수가 증가하면서  $\Delta\vec{x}$ 를 가변적으로 증가 시키면 그림에서와 같이 파라미터  $\vec{x}$  영역을 빠르게 개략 탐색(rough search)을 수행한다. 만일  $distance$ 의 부호가 '+'에서 '-'로 (또는 '-'에서 '+'로) 바뀌면 목표 값 구간을 지나게 됨을 의미하므로 이후부터는 미세 탐색(detailed search)을 수행한다. 이때에는  $\Delta\vec{x}$ 를 작게( $1\mu m$  이하) 하고  $\Delta\vec{x}$ 를 감소시켜 설계사양 범위에

이르는  $\Delta\vec{x}$ 값을 결정한다. 그림에서 ①~⑥까지는 개략 탐색을 수행하는 구간이고 ⑦~⑧~⑨는 미세 탐색수행 구간이다. 제안하는 2단계 탐색기법을 적용하면 0.01  $\mu m$  정밀도로 탐색을 수행할 수 있고 시뮬레이션 효율이 크게 향상된다.

2. 시뮬레이션 데이터 재활용법(reusing the simulation data)

시뮬레이션 효율을 향상시키기 위하여 시뮬레이션 데이터를 재사용하는 기법을 제안한다. 시뮬레이션 수행 시마다 수행결과 데이터를 저장하는데 전류미러 생성의 경우  $R_0$ ,  $V_{omin}$ ,  $I_b$ ,  $W$  와  $L$ 의 값들을 저장한다. 새로운 전류미러를 생성하는 초기 단계에 기존의 저장되어 있는 시뮬레이션 데이터를 읽어 목표치와 가장 가까운  $R_0$ ,  $V_{omin}$ 와  $I_b$ 를 검색하여 그때의  $W$ 와  $L$  값을 전류미러 생성기의 초기 값으로 준다. 초기값으로  $W_{min}$ 와  $L_{min}$ 보다 더욱 설계목표치에 가까운  $W$ 와  $L$  값이 주어짐으로 전류미러 합성기는  $W_{min}$ 와  $L_{min}$ 보다 빨리 목표치를 찾게 된다. 만일 전류미러의 설계목표치  $R_0$ ,  $V_{omin}$ 와  $I_b$  값들과 정확히 일치하는 값을 저장된 데이터에서 찾는 경우 전류미러 컴파일러는 시뮬레이션 수행을 행하지 않고 바로 목표치를 찾게 되어 종료하게 된다. 이는 표에서 찾는 방법(table look-up method)과 같이 되어 설계시간을 획기적으로 줄일 수 있게 한다. 이 시뮬레이션 데이터 재활용법은 개발된 모든 부회로 설계 알고리즘들에게 적용된다.

3. 회로 최적화(circuit optimization)

일차 설계(first-cut design)된 회로는 회로 최적화 과정을 거쳐 입력사양의 허용범위 내의 회로 성능을 갖되 전력소모와 칩면적이 최소화되도록 수정된다(그림 1). 최적화하고자 하는 설계 사양은 DC 개루프 이득(open loop gain), 단위이득주파수(unit gain frequency), 위상여유도(phase margin), 슬루율(slew rate), 출력전압(+), 출력전압(-), 동상신호 제거율(CMRR), 전원잡음 제거율(PSRR)과 전력소모 등이다(표1). 각 설계사양에 우선순위를 주고 보유하고 있는 설계지식을 활용하여 각 설계사양의 오차 허용범위에 들도록 반복적으로 파라미터들을 변화 시키면서 SPICE시뮬레이션을 수행한다<sup>[6][7]</sup>. 한 예로 2단 OP-AMP(그림 8)의 전력소모를 줄이기 위한 설계지식은  $(W/L)_5$ ,  $(W/L)_6$ 와  $(W/L)_7$ 를

줄이고  $(W/L)_3$ 와  $(W/L)_4$ 를 늘리는 것이다. 회로 최적화는 트랜지스터 등 소자들의 크기를 결정할 뿐만 아니라 회로 구조를 바꾸기도 한다.

IV. 회로 합성결과

본 연구에서 제안하는 시뮬레이션 기반의 아날로그 회로 합성법을 검증하기 위하여 OTA와 OP-AMP를 합성하였다. 사용한 공정은  $0.6\mu\text{m}$  표준 CMOS 공정이며 HSPICE를 회로 시뮬레이터로 사용하였다.

1. OTA 합성(synthesis of OTA)

그림 1의 계층적 아날로그 회로 합성절차를 따라 회로를 합성하였다. OTA의 설계관계식 (1)~(3)과 설계지식을 이용하여 부회로들을 계층적으로 분할하고 각 부회로들에 대한 설계사양을 부여하였다<sup>[12][14]</sup>. OTA의 설계사양과 설계된 회로의 성능을 표 1에 나타내고 있다.

표 1. 설계목표사양과 설계결과 사양의 비교

Table 1. Comparison between target specifications and designed specifications.

Performance	단위	OTA (그림2(a))		2단 OP-AMP (그림8)	
		설계사양	설계결과	설계사양	설계결과
Open loop gain	dB	50	51.2	75	75.45
Unit gain frequency	Mhz	5	5.24	8	8.25
Phase margin	degree	45	66.056	45	48
Slew Rate (+)	V/us	4	3.86	7	7.1
Slew Rate (-)	V/us	4	3.6	7	6.8
PositiveOutput swing	V	3.0	3.12	2.8	2.75
NegativeOutput swing	V	0.25	0.049	0.25	0.26
Input CMR	V	0.5-2.8	0.4-2.9	0.5-3.0	0.4-3.1
CMRR	dB	80	80	80	88
PSRR Vdd	dB	80	85	80	98
PSRR GND	dB	80	89	80	91
Power dissipation	mW	0.5	0.397	1.0	0.99
Power supply	V	3.3			
Output load	pF	5	5	3	3
Process		0.6 $\mu\text{m}$ standard CMOS			

부여한 설계 사양은 주어진 OTA의 가장 일반적인 성능사양이다. 슬루우울(SR) 사양을 제외하고는 대부분의 설계사양을 만족시키고 있다. 합성된 OTA는 Gm-C 필

터나 모듈레이터에 사용되어질 수 있으며, 전류미러를 캐스코드형으로 바꾸면 50이상의 DC 개루프 이득을 얻을 수 있다<sup>[16]</sup>.

표 2. OTA 설계시 시뮬레이션 데이터 재활용 여부에 따른 시뮬레이션 횟수와 소모시간의 비교

Table 2. Comparison of no. of simulations and spending time with and without using the simulation data for the design of OTA.

부회로들	시뮬레이션 데이터 재활용치 않음		시뮬레이션 데이터 재활용		소모시간 비율 B/A %
	시뮬레이션 횟 수	소모시간 (sec) - A	시뮬레이션 횟 수	소모시간 (sec) B	
Current mirror 1	8	24.03	1	4.05	16.8
Current mirror 2	0	0	0	0	0
Current mirror 3	22	65.1	1	4.53	6.96
Current mirror 4	50	151.26	1	4.28	2.82
Differential input	7	21.12	1	4.12	19.5
Optimization	11	39.54	11	39.54	100
총	98	301.05	15	56.52	18.8

표 2는 OTA 설계 시 본 연구에서 제안한 시뮬레이션 데이터 재활용 기법을 채택했을 때와 채택하지 않았을 때의 합성에 소요되는 시뮬레이션 수와 소모 시간을 각각 비교하고 있다. 전류미러 CM1과 CM2는 설계사양이 동일하므로 재설계할 필요가 없다. SUN Ultra-1 워크스테이션에서 실행되었을 때 OTA를 합성하는데 98번의 시뮬레이션을 수행하였고 이때 301.05초의 시간이 소모되었다. 시뮬레이션 데이터 재활용 기법을 채택하였을 때에는 15번의 시뮬레이션이 수행되었고 56.52초의 시간이 소모되어 최대 81.2%의 시뮬레이션 시간을 줄일 수 있었다.

2. 2단 OP-AMP 합성(synthesis of 2-stage OP-AMP)

제안하는 합성법을 적용하여 2단 OP-AMP(그림8)를 합성하였다. 회로 합성 시 주어진 회로의 DC 개루프 이득을 얻기 위하여 식 (9)를 설계관계식으로 활용하였다.  $g_{m2}$ 은 단위이득주파수와의 관계식 식 (10)에서 먼저 결정되고,  $g_{m6}$ 은  $60^\circ$ 의 위상 여유도를 고려하여  $g_{m2}$ 의 10배 크기의 값을 갖도록 결정된다. 그리고  $r_{ds2}$ 와  $r_{ds1}$ ,  $r_{ds6}$ 와  $r_{ds7}$ 이 각각 병렬 연결되므로 각각의 두 값의 크기가 같을 때 최대 이득을 얻게 된다. 특히  $r_{ds6}$ 와  $r_{ds7}$  값은  $L_6$ 과  $L_7$ 의 작은 변화에 민감하게

변하여 OP-AMP의 이득이 3~40dB에 머물기 쉽다.  $r_{ds}$ 와  $r_{ds1}$ 값의 비가 1~5 이하가 되면 목표하는 이득 값을 쉽게 얻을 수 있다. 이러한 설계 지식을 활용하여 회로 최적화 과정을 거쳐  $L_6$ 과  $L_7$ 를 미세 조정한다. 2단 OP-AMP의 설계사양과 합성된 결과는 표1에 보이고 있다. 합성된 2단 OP-AMP는 음의 슬루율 사양외에는 설계사양을 전반적으로 잘 만족시키고 있으며, 게르프 이득과 단위이득주파수가 각각 75.45dB, 8.25MHz로 일반 신호처리용으로 사용될 수 있다. 위상 여유도가 48°로 최소 설계 사양보다는 크지만 60°를 넘지 못하고 있다. 이는 주어진 회로는 밀러 보상 커패시터만으로 주파수 보상을 했기 때문이며 밀러 커패시터와 직렬로 양의 영점(real zero) 제거 저항( $R_z$ )을 추가할 경우 보다 큰 위상 여유도를 갖는다<sup>[14]</sup>.

## V. 결 론

본 연구에서는 시뮬레이션 효율을 향상시킨 시뮬레이션 기반의 아날로그 셀 합성기법을 제안하였다. 시뮬레이션 기반으로 전류미러, 차동입력단 등 각 부회로 생성기들을 개발하였다. 이들 부회로 생성기들을 모듈화 시키고 계층화 시킴으로써 OTA나 2단 OP-AMP, 비교기 등 일반적인 아날로그 셀들의 합성을 위하여 사용될 수 있게 하였다. 2단계 탐색 기법과 시뮬레이션 데이터 재사용기법을 제안하여 적용하였다. 아날로그 셀(OTA) 합성 시 최고 81.2%의 합성 시간을 줄이므로 시뮬레이션 기반의 긴 합성 시간 문제를 해결하였다. 개발한 합성기는 SPICE의 모델 파라미터외에 추가적인 물리적 파라미터들을 필요로 하지 않으며 공정이나 SPICE 모델 레벨에 독립적이기 때문에 새로운 공정에 적용할 때 준비 시간이 매우 작게 소요되므로 새로운 공정으로의 이식성 및 다른 셀 합성기 개발시의 확장성이 우수하다. 합성된 OTA와 2단 OP-AMP는 목표 설계 사양을 전반적으로 잘 만족시켰다. 본 연구에서 개발된 합성기는 C, perl 등의 언어로 구현되었다. 향후 다양한 회로구조의 탐색 및 설계사양에 따른 자동 회로구조 선택등에 대한 추가적인 연구가 필요하다.

## 참 고 문 헌

- [1] W. Nye, D. C. Riley, A. Sangiovanni-Vincentelli, and A. Tits, "DELIGHT.SPICE: An Optimization-based system for the design of integrated circuits," *IEEE Trans. Computer-Aided Design*, vol. 7, pp. 501-518, Apr. 1988.
- [2] J. M. Shyu and A. Sangiovanni-Vincentelli, "ECSTASY: A new environment for IC design optimization," in *Proc. IEEE Inter. Conf. Computer-Aided Design*, 1988, pp. 484-487.
- [3] J. C. Lai, J.S. Kueng, H. J. Chen, and F. J. Fernandez, "ADOPT: A CAD system for analog circuit design," in *Proc. IEEE Custom Integr. Circ. Conf.*, 1988, pp. 3.2.1-3.2.4.
- [4] G. Kelson, "Design automation techniques for analog VLSI," *VLSI Design*, Jan. 1985, pp. 78-82.
- [5] R. J. B. Bowman and D. J. L. Lane, "A knowledge-based system for analog intergrated circuit design," in *Proc. IEEE Int. Conf. Computer-Aided Design*, 1985, pp. 210-212.
- [6] F. El-Turky and E. E. Perry, "BLADES: An artificial intelligence approach to analog circuit design," *IEEE Trans. Computer-Aided Design*, vol. 8, no. 6, pp. 680-692, 1989.
- [7] Ramesh Harjani, Rob A. Rutenbar and L. Richard Carley, "OASYS: A Framework for Analog Circuit Synthesis," *IEEE Transactions on Computer-Aided Design*, Vol.8,no.12, pp. 1247-1266, Dec. 1989.
- [8] E. Berkcan and M. Abreu, "Physical assembly for analog compilation of high voltage IC's," in *Proc. IEEE Custom Integrated Circuit Conf.* 1988, pp. 14.3.1-14.3.7.
- [9] M. Degrauw et al., "IDAC: An interactive design tool for analog CMOS circuits," *IEEE J. Solid-State Circuits*, vol. 22, no. 6, pp. 1106-1115, 1989.
- [10] H. Y. Koh, C. H. Sequin and P. R. Gray, "OPASYN: A compiler for CMOS operational amplifiers," *IEEE Trans. Computer Aided Design*, vol. 9, no. 2, pp. 113-125, 1990.
- [11] H. Onodera, H. Kanbara, and K. Tamaru,



- "Operational amplifier compilation with performance optimization," *IEEE J. Solid-State Circuits*, vol. 25, no. 2 pp. 466-479, Apr. 1990.
- [12] J. Eggermont, D. Flandre, J. Raskin, and J. Colinge, "Potential and Modeling of 1-SOI CMOS operational transconductance amplifiers for applications up to 1 GHz," *IEEE J. Solid-State Circuits*, vol. 33, no. 4, pp. 640-643, Apr. 1998.
- [13] E. S. Ochotta, R. A. Rutenbar and L. R. Carley, "Synthesis of high-performance analog circuits in ASTRX/OBLX," *IEEE Transactions on Computer-Aided Design*. vol.15, no.3, pp. 273-294, Mar. 1996.
- [14] P. E. Allen and D. R. Holberg, "*CMOS Analog Circuit Design*", Holt Rinehart and Winston, Inc. 1987.
- [15] Christofer Toumazou, Costas A. Makris, "Analog IC Design Automation: Part I-Automated Circuit Generation: A New Concepts and Methods," *IEEE Transactions on Computer-Aided Design*. vol.14, no. 2, pp. 218-238, Feb. 1995.
- [16] Miran Milkovic, "Current gain high-frequency CMOS operational amplifiers," *IEEE J. Solid-State Circuits*, vol. 20, no. 4, pp. 845-851, Aug. 1985.

---

 저 자 소 개
 

---



宋炳根(正會員)

1967년 12월 1일생. 1988년2월 한양대학교 전자공학과 졸업(공학사). 1990년 8월 한양대학교 전자공학과 졸업(공학석사). 1993년 3월~1996년 2월 한양대학교 전자공학과 박사과정 수료. 1996년 1월~1998년 2월 (주)한국멘토. 1998년 3월~1999년 6월 하이칩스 1999년 7월~현재 아남반도체(주) 설계연구소 주관심분야는 아날로그, 메모리 회로설계, 아날로그 설계자동화, 메모리 컴파일러

郭桂達(正會員)

1950년 대구생. 1974년 한양대학교 전자공학과 졸업(공학사). 1976년 한양대학교 전자공학과 졸업(공학석사). 1980년 프랑스 국립 툴루즈 공과 대학교 졸업(공학박사). 1984년 일본 와세다 대학교 연구교수. 1985년 미국 캘리포니아 대학교 연구교수. 1981년~현재 한양대학교 전자전기공학부 교수, 1992년~현재 한양대학교 첨단반도체 연구소 소장. 주관심분야는 소자 및 공정 모델링, 저전력 회로 설계임