

RF 응용을 위한 플립칩 기술

이 영 민

韓國電子通信研究院 回路素子技術 硏所 통신다중모듈팀
대전시 유성구 가정동 161. 305-350

Overview on Flip Chip Technology for RF Application

Youngmin Lee

Communication Multichip Module Team,
Micro-Electronics Technology Laboratory
Electronics and Telecommunications Research Institute

초 록 : 통신분야에서 사용주파수대역의 증가, 제품의 소형화 및 가격경쟁력등의 요구에 따라 RF 소자의 패키징 기술도 플라스틱 패키지 대신에 flip chip interconnection, MCM(multichip module)등과 같은 고밀도 실장기술이 발전해가고 있다. 따라서, 본 논문은 최근 수년간 보고된 응용사례를 중심으로 RF flip chip의 기술적인 개발방향과 장점들을 분석하였고, RF 소자 및 시스템의 개발단계에 따른 적합한 적용기술을 제시하였다.

RF flip chip의 기술동향을 요약하면, 1) RF chip배선은 microstrip 대신에 CPW 구조를 선택하며, 2) wafer back-side grinding을 하지 않아서 제조공정이 단순하고 wafer 파손이 적어 제조비용을 낮출 수 있고, 3) wire bonding 패키징에 비해 전기적인 특성이 우수하고 고집적의 송수신 모듈개발에 적합하다는 것이다. 그러나, CPW 배선구조의 RF flip chip 특성에 대한 충분한 연구가 필요하며 RF flip chip의 초기 개발 단계에서 flip chip interconnection 방법으로는 Au stud bump bonding이 적합할 것으로 제안한다.

Abstract : The recent trend toward higher frequencies, miniaturization and lower-cost in wireless communication equipment is demanding high density packaging technologies such flip chip interconnection and multichip module(MCM) as a substitute of conventional plastic package. With analyzing the recently reported research results of the RF flip chip, this paper presents the technical issues and advantages of RF flip chip and suggest the flip chip technologies suitable for the development stage.

At first, most of RF flip chips are designed in a coplanar waveguide line instead of microstrip in order to achieve better electrical performance and to avoid the interaction with a substrate. Secondly, eliminating wafer back-side grinding, via formation, and back-side metallization enables the manufacturing cost to be reduced. Finally, the electrical performance of flip chip bonding is much better than that of plastic package and the flip chip interconnection is more suitable for Transmit/Receiver modules at higher frequency. However, the characterization of CPW designed RF flip chip must be thoroughly studied and the Au stud bump bonding shall be suggested at the earlier stage of RF flip chip development.

Keyword : Flip Chip, RF MMIC Packaging, Solder Bump, Stud Bump, Interconnection

1. 서 론

최근 무선통신 수요의 급격한 증가와 더불어

무선통신기술은 시스템 소형화, 사용주파수대역의 증가, 저가의 가격경쟁력등을 요구하고 있다. 이에 따라 RF 소자(radio frequency integrated circuits)를 이용한 송수신 부품의

패키징(packaging) 기술에도 새로운 기술이 요구되고 있다. RF 송수신소자의 패키징은 die attach, wire bonding으로 구성되는 전통적인 플라스틱 패키징(plastic packaging) 기술에서 chip을 기판에 직접 접합하는 flip chip interconnection 기술과 다수의 소자를 모듈화하는 MCM(multichip module)기술로 발전해가고 있다.[1,2.] 문헌에 의하면[3], 2000년 flip chip 시장의 규모는 11억개 정도로 예측되고 있고, 그림1에서 보여진 처럼 이 중에서 통신 분야에 11% 정도가 사용될 것으로 기대되고 있다.

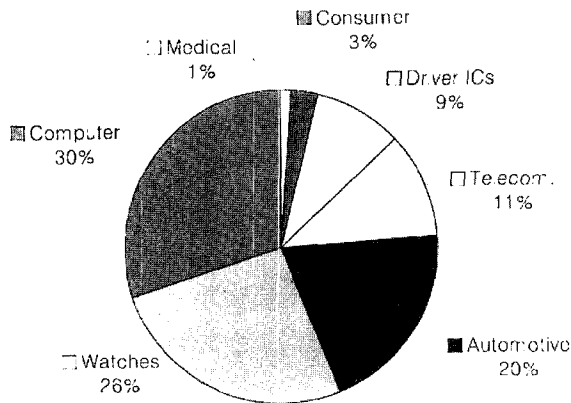


Fig. 1. Forecast of flip chip markets in 2000

RF 소자는 8 SOP, 16SSSOP 등과 같은 I/O 수가 작은 플라스틱 패키지를 사용하여 단일부품으로 사용하여왔다. 플라스틱 패키지는 조립공정이 간단하고 주파수 대역이 낮은 영역에서는 패키지 리드(lead)의 기생인자(parasitic parameters)를 고려하지 않아도 신호전송에 큰 문제가 되지 않았다. 그러나, 주파수대역이 증가하면서 플라스틱 패키지는 자체의 기생인자(특히, 과도한 인덕턴스)로 인하여 RF 소자의 성능을 저하시키는 원인이 될 수 있다. 따라서, 최근에는 RF 패키지의 기생인자와 전송손실의 모델링을 통해 전송신호의 왜곡이나 전송손실을 줄이고자 수동소자를 이용하여 배선의 임피던스 정합을 이루거나 전송손실을 최소화 하고자 한다.[4,5] 게다가, 패키지의 실장면적이 chip 면적의 수백 % 를 초과하여 통신기나 시스템 소형화에 걸림돌로 작용하게 된다.

따라서, RF chip을 플라스틱 패키지에 탑재하지 않고 chip pad에 solder bump 이나 Au bump를 형성하여 chip과 기판을 직접 접합하는 flip chip interconnection의 사용이 증가하고 있다. chip 을 단지 bump 높이인 20 ~ 120 μm 내외의 짧은 배선으로 기판과 전기적 연결이 가능하고 실장면적이 chip 면적과 동일하여, 결과적으로 flip chip interconnection은 플라스틱 패키지에 비해 부품소형화가 쉽고, 특히 module 제작에 적합한 장점을 제공하게 된다. 또한, 대부분의 GaAs MMIC가 열전도도가 Si 에 비해 3배 정도 낮아 열 방출을 위해 back-side thinning 이 필요하지만 flip chip은 bump를 통해 직접 기판으로 전달되기 때문에 별도의 wafer thinning이 필요없어 공정이나 취급중에 발생하기 쉬운 wafer 파손에 의한 yield 감소를 줄 일수 있는 장점이 있다.[6]

본 논문에서는 최근 수년간 보고된 초고주파 RF flip chip 개발 사례를 조사하여 RF flip chip 개발을 위해 고려해야 할 chip design, bump & joining, chip의 전기적 특성등과 같은 기술적인 이슈를 분석하였다. 마지막으로, 초고주파 RF 소자 및 시스템의 개발단계에 따른 적합한 적용기술을 제시하였다.

2. Flip Chip Interconnection

Flip chip interconnection은 1960년대 중반 IBM에 의해 C4(controlled collapse chip connection)라는 기술로 개발된 이래로 현재까지 매우 다양한 공정기술이 개발되어왔다.[7] 전형적인 flip chip interconnection은 chip pad에 solder bump가 형성된 chip을 face-down 형태로 기판상의 pad와 직접 접합하여 전기적으로 연결하는 방법이다. 초기 flip chip 기술은 super computer등에 고속 디지털 IC의 고밀도 실장기술로서 주로 MCM에 응용되었다. 그러나, 최근에는 반도체기술의 발전으로 SRAM, CPU처럼 수백 MHz clock 주파수를 갖는 고속 디지털 IC등장으로 MCM 뿐만 아니라 flip chip 내장패키지(flip chip in package) 혹은 COB(chip on board) 형태로 사용이 증가하고 있다.[8] 뿐만 아니라, RF 아날로그 IC에서도 수 ~ 수십 GHz 사용주파수를 갖는 RF 통신소자가 상용화하면서 phased-array 안테나 시스템, 충돌방지 시스템등

의 송수신(Rx/Tx) 모듈부분에 wire bonding 대신에 flip chip interconnection이 사용되고 있다.[9,10] 따라서 본 절에서는 flip chip interconnection에서 핵심적인 기술인 금속 bump, flip chip bonding 방법과 전기적인 특징에 대해 설명하고자 한다.

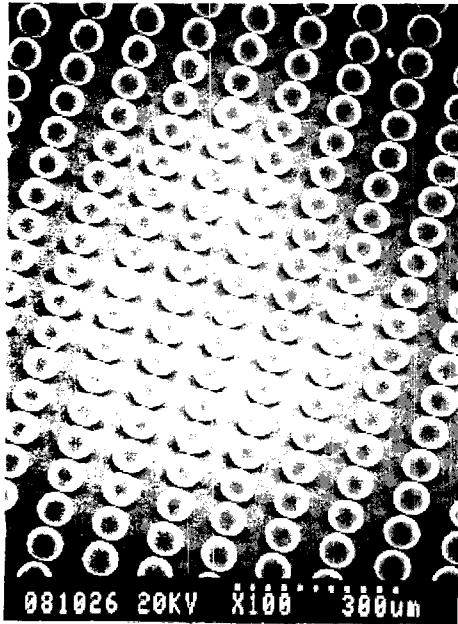
2.1. 금속 Bump

Flip chip bonding을 위해서는 chip과 기판의 pad를 전기적으로 연결해 주는 금속 bump가 필요하다. bump는 구조, 금속 재료, 제조 공정등에 따라 너무 다양한 형태로 보고되고 있지만 flip chip 공정중에 bump의 용융유무로 2 가지로 분류할 수 있다.[11] 첫째로, 접합공정중에 bump 금속이 용융되어 표면장력의 최소화 효과로 자체정렬(self-alignment)되면서 접합되는 solder계 bump이다. 둘째는, Au, Ag, Ni 등과 같이 접합중에 bump가 용융되지 않고 고상상태를 유지하는 고용점 bump로써, 이들은 주로 열압착(thermococompression)이나 비등방 전도성 접착제(anisotropic conductive adhesive)를 이용하여 접합된다.

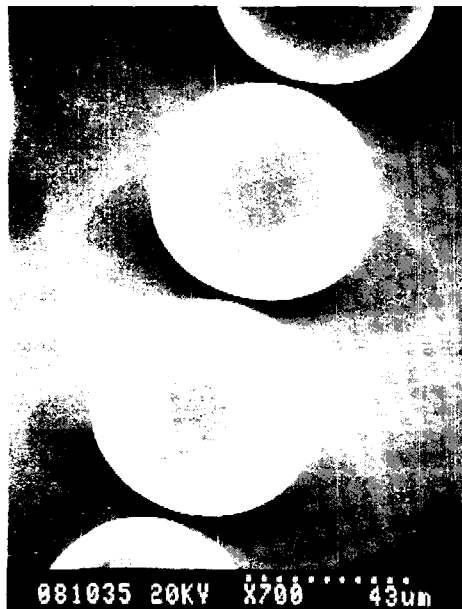
전통적으로 solder bump재료로는 183 oC로 저융점인 eutectic solder (63Sn37Pb)와 97Pb3Sn, 95Pb5Sn등과 같이 고용점인 solder가 많이 사용되고 있다. 전자는 flip chip을 Tg(glass transition temperature)가 낮은 PCB(printed circuit board)나 flexible 기판등에 접합할 때 많이 사용하는데, 250℃ 이상의 고온에서 접합을 하게 되면 이들 기판이 열에 견디질 못해 손상을 입기 때문이다. 반면에 후자는 Al₂O₃ 등의 세라믹기판에 많이 사용되는데, 접합온도는 높지만 solder자체의 연성이 우수하해 접합부분의 신뢰성이 증진되기 때문이다. 그런데, chip pad와 solder bump사이에는 UBM(under bump metallurgy)층이 필수적으로 필요하다. Al Pad를 사용하는 Si chip에서는 solder가 Al pad에 wetting되지않을 뿐만 아니라 solder가 용융되면 Al이 재용융되거나 금속간화합물 형성으로 bump와 chip pad의 계면이 충분함 접합강도를 유지할 수 없기 때문이다. 마찬가지로 GaAs chip은 비록 Si chip과 달리 Au pad로 되어 solder와 wetting은 잘 되지만 solder가 용융되면 Al pad와 마찬가지로 Au가 쉽게 solder에 재용융되거나 Sn과 금속간화합물을 형성하므로 GaAs Au pad에도 UBM층이 필

요하다. UBM은 2000 Å 이내의 Ti, TiW, Cr등과 같은 접착력이 높고 확산이 쉽지않은 접합층과 solder 와 wetting이 잘되고 solder로의 용융이나 금속간화합물로부터 pad 금속의 소모를 막을 수 있는 3 ~ 5μm 내외의 Cu, Au 층으로 구성된다. Hewlett-Packard는 GaAs chip에 TiWN, NiV, Au layer로 이루어진 UBM을 사용하였다.[6] 마지막으로 bump의 대부분을 차지하는 solder는 초기에는 주로 Mo 마스크를 이용한 증기증착법으로 제작되었으나 제조비용이 비싸고 300μm 이하 미세간격의 bump제작이 어려워 현재는wafer 전해도금법과 stencil screen printing방법이 많이 사용되고 있다.[12,13] PR(photosist) photolithography를 이용하여 solder bump를 형성하는 전해도금법은 100μm 이내의 미세간격의 bump 제작이 가능하며 stencil screen printing 방법은 250μm 이하의 bump 간격은 어렵지만 제작비용이 가장 저렴한 장점을 보유하고 있다. 그림 1은 본 연구에서 전해도금법으로 100μm pitch의 eutectic solder bump를 형성한 후에 RMA flux 도포하여 IR-reflow하여 구형의 bump를 제작한 예를 보여주고 있다. 증기증착법과 전해도금법으로 제작된 solder bump는 조성의 균일도와 구형 bump로 만들기 위해 reflow 공정을 거치는데, 초기에는 수소분위기에서 용융온도에 비해 30 ~ 50℃ 이상에서 용해과정을 통해 구의 일부분 형태로 만들어 사용되었는데 최근에는 wafer에 flux를 도포한 후에 질소분위기에서 용융한 후에 flux를 cleaning하여 사용하는 것이 보편적이다.

고융점 금속bump으로 대표적인 Au bump는 wafer 전해도금법이나 wire bonding 기술을 이용하여 만들어 진다. wafer 전해도금법에 비해 Au stud bump는 wire bonder로 Au ball bonding 후 wire의 꼬리부분을 절단하여 만드는 방법으로 wafer상태뿐만 아니라 chip상태에서도 쉽게 제작이 가능하고 다른 bump 제작공정과 달리 별도의 UBM층이 필요없다는 특징을 갖고 있다.[14] 이 방법은 초기 신제품 개발이나 소량의 flip chip 개발에 제작비용이 싸고 효율적인 방법이지만 모든 pad를 wire bonding을 통해 제작해야하므로 대량생산에는 적합하지 않다. Ag, Ni 등의 bump도 전해도금법으로 제작하는 것이 일반적이며 Ni의 경우는 무전해도금에 의해 제작되기도 한다. 이들



(a) area array solder bump



(b) enlargement of (a)

Fig. 2. An example of electroplated solder bumps of 100 μm pitch after reflow.

고융점 금속 bump는 별도의 reflow 공정이 필요하지 않다.

그림 3은 실제로 flip chip에 적용되는 bump 제조방법에 따른 분율을 나타낸 것으로 전해도금법 혹은 stencil screen printing 방법이 78 % 정도로 대부분을 차지하고 있다.[15] flip chip bonding용 bump제작비용은 단편적으로 설명하기가 어렵지만, flip chip을 대량생산하는 경우에는 wafer 상에서 일괄 공정으로 전해도금법이나 stencil screen printing 법으로 제작하는 것이 경제적으로 유리하나 초기 fab 설비투자비가 많이 드는 단점이 있다. 최근에는 flip chip의 수요가 증가하면서 wafer bumping 서비스를 전문적으로 해주는 업체가 증가하고 있다. 반면에 소량의 신제품개발이나 제품성능 평가등에는 제조가 신속하고 값이 싼 Au stud bump를 이용하는 것이 효과적이다. 따라서, 최근까지 GaAs chip의 flip chip interconnection에서 대부분 wire bonding 장비를 이용한 Au stud bump를 가장 널리 사용하고 있다. 앞서 설명한 것처럼, GaAs chip pad에 solder bump를 형성하기 위해서는 UBM 형성과 증기증착이나 도금을 위해 wafer bumping 장비가 필요하지만, wire bonding을 이용한 Au stud bump는 chip에서도 bump를 쉽게 만들 수 있기 때문이다.

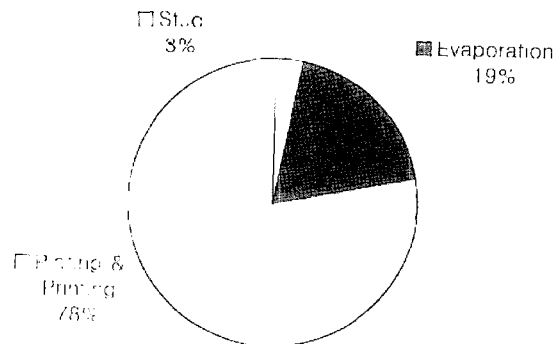


Fig. 3. Portion of bump fabrication method

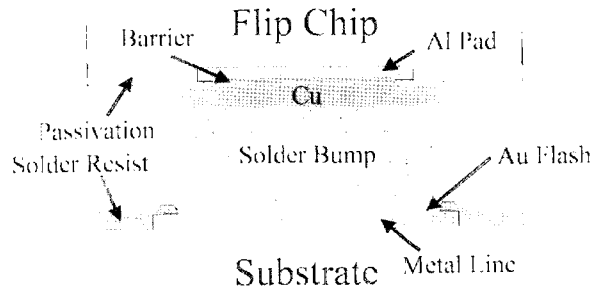
2.2. Flip Chip Bonding

Flip chip bonding기구는 chip과 기판의 pad구조, 기판재료, bump 재료등에 의존하며, 지금까지 아주 다양한 접합기구가 보고되고 있다.[16] 대표적인 flip chip bonding 방법에

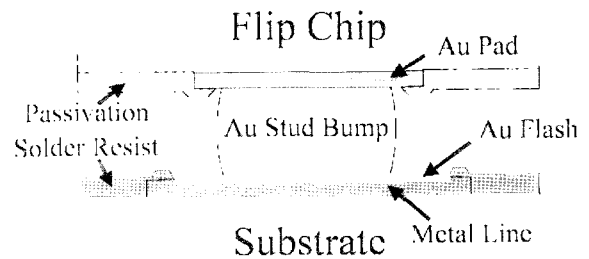
는 1) C4처럼 solder bump의 reflow joining 방법, 2) 고융점 금속 bump를 열압착으로 고상확산접합(solid state diffusion bonding)하는 방법, 3) 비등방전도성 접착제를 이용하는 방법등이 사용되고 있다.

GaAs chip에는 solder joining과 Au stud bump bonding(SBB)이 주로 이용되고 있다. 그림 2는 이들의 방법으로 의해 접합된 단면의 전형적인 예를 보여주고 있다. 그림4-(a)에서, GaAs chip을 solder joining으로 flip chip interconnection하는 방법은 solder bump가 형성된 GaAs chip을 face-down된 상태로 Au flash 처리된 기판의 Pad에 정확히 올려놓는다. 이때 solder bump혹은 기판 Pad에는 충분한 점성을 갖는 flux를 도포하여 chip의 미끄러움을 방지하면서 solder 용융중에 bump 산화를 막고 양호한 접합이 되도록 해준다. chip 접착이 완료된 후 질소분위기에서 reflow 공정을 통해 solder 접합이 이루어진다. 이때, chip의 bump가 기판 pad에 20 ~ 40 % 이내에서 정렬이 어긋나도 용융된 solder의 표면 장력효과로 정확한 위치로 자동정렬된다고 알려져 있다. 그림4-(b)는 열압착에 의한 Au stud bonding을 나타낸 것으로 solder joining과 달리 Au bump를 항상 GaAs chip pad에 제작할 필요는 없다. 왜냐하면, GaAs chip pad는 Al이 아닌 Au로 되어있어 기판 Pad에 Au bump가 있어도 Au-Au 접합이 가능하다. 이처럼 Au stud bump 접합은 GaAs chip pad와 기판 pad중에 한쪽에 Au bump가 있으면 충분하며 GaAs pad에는 별도의 UBM 공정을 하지 않고 바로 사용할 수 있는 장점이 있다. Au bump 접합공정은 300℃ 정도에서 bump 당 100 grams 내외의 압력을 가해 고상 확산 접합으로 접합되므로 chip 과 기판의 pad가 정확히 일치해야만 한다.[17] 따라서 이 방법은 디지털 Si chip처럼 I/O수가 많은 경우에는 chip 뒷면에 강한 압력을 가해야 하기 때문에 chip 파손의 우려되어 사용하기가 힘들지만 RF 소자는 대부분 20 개 이내의 작은 I/O수가 갖기 때문에 사용이 가능하다.

Flip chip bonding의 고려사항 중에 가장 중요한 것은 chip과 기판을 연결하는 bump 접합부의 신뢰성 문제이다. thermal cycling 환경하에서 chip과 기판간의 열팽창 계수 차이로 bump에 과도한 응력집중으로 균열이 발생하기 쉽다. 실제로 두 재료의 열팽창계수 차이가 크



(a) solder reflow joining



(b) solid state diffusion bonding

Fig. 4. Vertical structures of flip chip bonding

고 chip 크기가 커질수록 flip chip 접합된 bump에 균열발생으로 신뢰도에 큰 악영향을 끼치게 된다.[18] 이러한 문제를 해결하기 위해서, flip chip을 FR-4와 같이 열팽창계수가 큰 PCB에 실장하는 경우에 flip chip bonding 후에 chip과 기판사이의 20~ 120 μm 내외의 간격에 저탄성계수를 갖는 에폭시 재료로 underfill을 하여 solder 접합부의 신뢰성을 개선하고 있다.[19,20] 표 1에서 보여진 처럼, GaAs chip의 열팽창계수는 5.5 X10⁻⁶/℃으로 Al₂O₃ 과 비슷하여 실제로 GaAs flip chip은 주로 Al₂O₃ 기판에 가장 많이 사용되고 있다.

GaAs flip chip은 열방출 특성에서도 wire bonding에 비해 유리할 수 있다. GaAs chip의 열전도도는 30 W/m 로 90 W/m 인 Si chip에 비해 3배정도 낮기 때문에 열방출이 용이하지 않아 GaAs chip을 플라스틱 패키징 하는 경우에 대략 120 μm 내외로 thinning하여 사용해 왔다. 그러나, flip chip intercon-

Table 1. Mechanical properties of materials used for flip chip bonding [6,21]

	TEC (10 ⁻⁶ /oC)	Youngs Modulus (GPa)	Thermal Conductivity (W/m oC)
Si	2.6	107	124~148
GaAs	5.5	85	44~58
FR-4	14 ~ 18	20	
Al2O3	5.3	300	30
Solder	28	16	50.6
Au	14.2	77	3.2

nection은 bump를 통해 열이 쉽게 기판으로 방출될 수 있고, 열 방출 능력을 높이기 위해 chip 면에 다수의 열방출 bump를 사용할 수 있다. 또한 GaAs chip을 flip chip으로 개발하면 back-side grinding이 필요없어 back-side grinding후에 공정이나 취급중에 wafer 파손으로 인한 수율감소를 줄일 수 있다.

2.3. 전기적 특성

Flip chip bonding이 전기적 측면에서 가장 유리한 점은 chip과 기판을 bump를 통해 전기적으로 직접 연결하므로 배선길이가 아주 짧아 배선에 의한 기생인자가 다른 어떤 패키징 방법보다 작다는 것이다. 표 2는 패키지와 접합방법들에서 배선의 자체 인덕턴스와 캐패시턴스를 대략적으로 나타낸 것이다. 플라스틱 패키징에서 1 mil(25.4 μ m) 지름의 Au wire로 40 mil 정도의 wire bonding하면 대략 1 nH 인덕턴스를 보이고, 8SOP, 16SSOP의 lead frame에 의한 인덕턴스도 대략 1 ~ 5 nH를 보이지만, bump의 inductance는 0.1nH 보다 작다고 알려져 있다. 이처럼 flip chip interconnection은 다른 방법에 비해 기생인자가 훨씬 작아 신호전송과정에서 임피던스 부정

Table 2. Typical values for capacitance and inductance of package lead or interconnect

Lead Type	Inductance (nH)	Capacitance (pF)
SMD package	1 to 12	1
PGA	2	1
Wire Bond	1 to 2	0.5
TAB	1 to 6	0.6
Solder Bump	0.01	0.1

합이나 기생인자로 인한 신호반사나 신호감쇠가 작아 수동소자 없이 사용주파수를 높일 수 있는 장점이 있다.

3. 응용사례 분석

표 3은 최근 수년간 보고된 RF flip chip의 개발 사례를 chip technology, 사용주파수, bump 제조방법, chip 및 기판의 배선구조등을 중심으로 분석하여 정리한 것이다. flip chip 기술이 적용되는 chip은 대부분 HEMT, HBT 등의 GaAs wafer 이지만[17,9,23,24,25, 26,27,28] Hugehs[22]는 SiGe에 적용하였다. 사용주파수 대역은 0.9GHz 에서부터[29] W-band까지 광범위한데, 주로 X-band 대역 이상의 MMIC에 적용사례가 많은 것을 알 수 있다.

Flip chip bump는 wire bonding 기술을 이용하여 Au stud bump가 주로 사용하였고, Au ball bonding 특성으로 bump 높이는 20 μ m 정도가 대부분이었다. Au stud bumped chip은 별도의 공정없이 제작이 용이하고 제품 개발의 초기 단계에 적용하기가 경제적으로 유리하기 때문에 여겨진다. 한편, Hughes [22], GEC Gaswell[26]등에서는 solder bump를 사용하였으며, Hughes에서는 100 μ m 높이의 Ag bump로 T-자형 thermal bump를 형성하여 열방출 능력을 개선한 사례도 보고되고 있다.[25] GaAs flip chip에 적용되는 기판은 주로 전기적 특성이 우수하고, chip과의 열팽창계수도 비슷한 Al₂O₃이 가장 많이 사용되고 있으며, 일부업체에서는 Duroid, PCB, diamond 기판등이 응용되기도 한다.

Flip chip의 배선구조는 다양한 형태가 보고되고 있다. 대부분 chip과 기판의 배선 상호간에 전자기장의 영향을 줄일 수 있고, back-side의 grinding과 금속층이 필요없는 coplanar waveguide transmission 배선을 사용하였다. 일부에서는 CPW 구조를 사용하면서도 back side grinding을 하여 150 μ m 두께의 chip을 사용하기도 하였다.[17,23] 또한 Hughes[22]나 Raytheon[28]에서는 chip active 면에 polyimide와 ground plane을 형성하여 microstrip 구조를 사용한 예도 보고되고 있다.

Table 3. Summary RF flip chip technologies in recent reports.

Company	Technology	Frequency	Features (bump, substrate, transmission line, etc)
Hughes [22]	- SiGe - Bipolar - InP HEMT	Ku-band	- Flip-chip MICs : solder bump - Duroid circuit board - Polyimide microstrip MMICs
NEC [17]	- SiGe - Bipolar - InP HEMT	Ku-band	- 20 m high Au bump with or without underfill - Al ₂ O ₃ substrate - Co-planar waveguide MMIC (bare chip thick : 150 μm)
Fujitsu [9]	-0.15 m InGaP/ InGaAs HEMT	- 76 GHz	- 20 μm high Au bump, diameter = 40 μm - Co-planar waveguide Al ₂ O ₃ substrate (Sn pad) - Co-planar waveguide MMIC chipset consisting of 76GHz Amp, mixer, SPDT switches, 38/76GHz doubler, 38GHz VCO, and 38GHz buffer amp.
NEC [23]	- GaAs	- W-band - 77GHz	- 20 μm high Au bump with or without underfill - Co-panar waveguide Al ₂ O ₃ substrate - Co-planar waveguide MMIC - Bare chip thick : 150 m without back-metal
Fujitsu [24]	- 0.15 m InGaP/ InGaAs HEMT	- W-band (79 GHz)	- 20 μm high Au bump, d=40 m(Au/AuSn) - Co-planar waveguide Al ₂ O ₃ substrate (Sn pad) - Co-planar waveguide MMIC (600 m thick)
Hughes [25]	- 0.25 m PHEMT	- X-Band	- Ag plated bump (h=100 m, d= 150 m) - 40 % enhanced thermal performance, 40 % reduced cost
GEC Caswell [26]	- GaAs MMIC - Flip Chip on MCM-D	- 5.2 GHz	- solder bump - GND plane was removed under inductor of FC-MMIC - MCM assembled with 17 mm BGA
Siemens [27]	- Diamond Substrate - GaAs MMIC PHEMT	- 1~120 GHz - 28 GHz	- Au bump without back thinning - PE-CVD processing diamond wafer : tanδ as low as 4X10 ⁻⁵ , ε _r = 5.7±0.05 at 145 GHz - Electrical characterization of CPW
Raytheon [28]	- GaAs MMIC - pHEMT - BeO μ-BGA	- 11.5 GHz	- 10 mil solder ball BeO -BGA - Z-axis chip adhesive interconnect - 25 μm PI, RF GND plane(top) shielding - not thinned (635 m)
Sharp [29]	- AlGaAs/ GaAs HBT	- 900 MHz	- FCB on Al ₂ O ₃ - Low profile package (6.35X6.35X1.05mm ³)

4. 고 찰

Flip chip interconnection의 특징을 요약해 보면, 첫째 기존의 패키지에 chip을 탑재해 사용하지 않고 chip 상태로 직접 기판에 장착하므로 실장면적이 현격히 줄여 통신기기의 소형화가 용이하다는 점이다. 특히 무선통신기기의 송수신(Rx/Tx) RF 부품들을 소형 모듈화하기가 쉽다. 둘째로 bump를 통해 열방출이 잘 되므로 back-side grinding 공정이 필요없어 공정수율을 높일 수 있다. 마지막으로 짧은 배선구조를 가지므로 기생 인자가 작아 전기적 특성이 아주 우수하다는 것이다. 그러나, RF flip chip 개발을 위해 고려사항이 많이 있는데, 그림5는 이들을 도식적으로 나타낸 것이다.

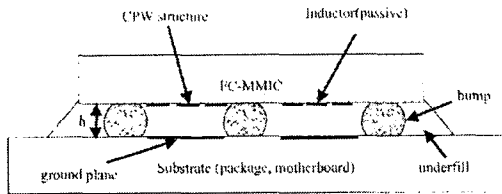
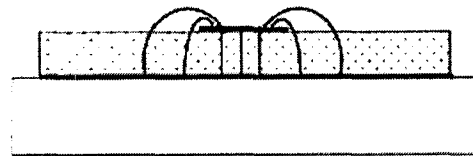


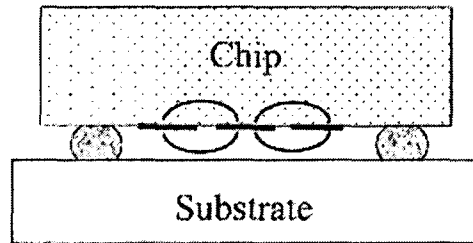
Fig. 5. Consideration factors for flip chip application of RF ICs

먼저 chip의 배선구조를 어떻게 설계하고 flip chip 구조가 배선의 전기적 특성이 미치는 영향등을 고려해야한다. 앞서 응용사례에서 언급한 것처럼, flip chip bonding을 사용하기 위해서는 기존의 wire bonding 용 GaAs chip과는 chip 내부 배선구조가 달라져야 한다. 그림6-a에서처럼 wire bonding용 GaAs chip은 전자기장이 ground plane에 충분히 한정(confined)되어 배선간의 기생인자를 줄이고 배선밀도도 높이기 위해 wafer grinding후에 via 가공과 Au ground plane층을 형성하여 microstrip 배선구조를 사용하게 된다. 반면에, flip chip의 경우는 microstrip 구조보다 CPW 배선구조가 많이 연구되고 있다.[30,31] 왜냐하면, flip chip은 CPW 배선구조가 wafer back-side grinding하지 않고 625 m 두께의 chip을 그대로 사용하여 제조비용을 줄이는 효과를 얻고 동시에 기판 배선구조에 전기적 영향을 적게 받기때문이다.[32] GSG(ground-signal-ground) 구조의 CPW 배선은 그림6-b에서 보인 것처럼 신호선과

ground사이에 전자기장이 잘 한정되고 신호선의 폭과 신호선/ground 사이의 gap을 적절히 조합하면 원하는 특성임피던스를 갖는 배선 설계가 자유롭다. 또한, chip 내의 내장형 inductor는 ground면에 의해 Q(quality factor)값이 작게 되므로 inductor 밑의 기판에는 ground plane이 없는 것이 좋다. 다른 한편으로는 Hughes[22], Raytheon[28]등에서는 polymer(BCB or Polyimide)/Cu 층을 이용하여 chip의 active plane의 최상층에 ground plane을 형성하여 microstrip 배선구조를 flip chip RF 소자가 개발하였는데 [33], CPW보다 미세한 배선설계가 가능하다고 기판의 배선상태에 영향을 거의 받지 않는 장점을 갖게 된다.



(a) conventional MMIC with microstrip transmission line



(b) flip chip MMIC with CPW transmission line

Fig. 6. Field approximation according to transmission line structures

RF 소자에서 flip chip interconnection을 적용하는 경우 또 하나의 이슈는 bump 높이에 대한 것이다. CPW 배선을 사용하는 flip chip에서는 기판 배선에 존재하는 ground 나 power 면에 의해 RF 소자 특성이 전기적 영향을 받게 될 수 있다 즉, flip chip의 bump 높이에 따라 RF 소자내의 배선의 특성임피던스의 영향을 받게 된다. 따라서, 적절한 bump

높이를 설정하는 것이 중요한데, 이에 대한 논란은 아직 정리 되지 않고 있다. Alcatel사에 의하면, chip과 기판의 간격이 20 ~ 39 m 정도가 적절하다고 하는데 비해, TRW사에 의하면 102 m 간격이면 기판의 배선배열에 영향을 받지 않는다고 한다.[6] 그런데, 지금까지의 연구보고에 의하면 Au stud bump를 사용한 flip chip은 주로 20 ~ 25 m 높이의 bump를 사용하여 양호한 결과를 보여주고 있다. 또한, flip chip interconnection의 신뢰성 개선을 위해 사용되는 underfill이 RF 소자의 배선 특성에 영향을 미칠 수 있다. underfill은 epoxy 와 SiO₂ 입자들로 구성되어 균일한 dielectric 상수를 갖지 않아 chip 이나 기판의 배선 특성임피던스에 영향을 미칠 수 있다. 따라서, underfill이 chip과 기판의 배선특성에 미치는 영향을 분석하여 사용하여야 한다.[34,17]

마지막으로, 초고주파 RF 소자 및 시스템의 개발단계에 따른 적합한 적용기술을 제시하고자 한다. 대부분 RF 소자를 개발하는 설계자는 회로 시뮬레이션(circuit simulation) 프로그램을 많이 활용하지만 주파수 대역이 증가할수록 정확하지 않아 지금까지의 경험을 이용해야 시행착오를 줄여가게 된다. 이러한 상황에서 RF flip chip을 개발하고자 할 때 가장 중요한 것은 당연히 원하는 수준의 전기적인 특성을 얻을 수 있는 가를 검증하는 것이다. 따라서, RF flip chip의 초기 개발단계나 필요한 chip수량이 작을 경우에는 Au stud bump를 이용한 flip chip interconnection이 적합하다. chip의 on-wafer 특성평가 후에 bump제작을 위한 별도로 layout이나 추가공정 없이 flip chip 실장평가와 제품개발이 가능하기 때문이다. 그러나, 원하는 chip 특성을 갖는 RF flip chip을 대량생산하는 경우에는 전해도금이나 stencil screen printing 방법을 이용한 wafer bumping 기술과 solder reflow joining 방법이 제조비용을 낮추는 방법이 될 것으로 여겨진다.

2. 결 론

통신분야의 많은 업체에서 flip chip interconnection 기술을 RF 소자에 응용하려는 연구를 수행하고 있다. wire bonding을 사용한 plastic package에 비해 전기적 특성이 우수

할 뿐만 아니라 부품 소형화나 module 개발에 적합하여 주파수대역이 높아지면서 무선통신기기, Phased-array 안테나 시스템, 충돌방지 시스템등의 송수신(Rx/Tx) 모듈등에 수요증가는 확실하다. 지금까지 보고된 RF flip chip의 기술개발 방향을 요약하면 1) RF chip배선은 microstrip 대신에 CPW 구조를 선택하며, 2) CPW 배선구조를 택하므로써 wafer back-side grinding 공정이 필요하지 않아 제조비용과 wafer 파손에 의한 수율감소를 낮출 수 있고, 3) wire bonding 패키징에 비해 전기적인 특성이 우수하고 고집적의 송수신 모듈개발에 적합하다는 것이다. 그러나, CPW 배선구조의 RF flip chip 특성에 대한 연구결과가 대외적으로 충분히 보고되어 있지 않기 때문에 이에 대한 연구가 필요하며, 동시에 RF flip chip 개발 제품의 성격에 따라 적합한 bump 제조방법이나 flip chip bonding 공정을 선택하는 전략이 필요하다.

참 고 문 헌

1. Martin Oppermann. "Multichip modules(MCM) for micro and millimeterwave Applicationsa Challenge?". 1998 International Conference on Multichip Modules and High Density packaging, pp.279-284.
2. Barry K. Gilbert and G.W. Pan., "MCM packaging for present and next generation high clockrate digital and mixedsignal electronic systems: Areas for development", IEEE transactions on microwave theory and techniques, Vol.45(10), pp.1819-1 835, 1997.
3. E.Jan Vardaman, "Semiconductor packaging in 1999: Emerging trends", Advancing Microelectronics, Vol. 26 (2), pp.23-25, 1999.
4. Carl Chun, et.al., "Development of microwave package models utilizing onwafer characterization techniques", IEEE transactions on microwave theory and techniques, Vol.45(10), pp.1948-1954, 1997.

5. Chi-Taou Tsai, "package Inductance Characterization at High Frequencies", IEEE Transactions on components, packaging, and manufacturing technology-Part B, Vol.17(2), pp.175-181, 1994.
6. Katarina Boustedt, "GHz flip chip-an overview", 1998 Electronic Components and Technology Conference, pp.297-302, 1998.
7. Rao R. Tummala and Eugene J. Rymaszewski, "Microelectronics Packaging Handbook", Chapter 6, pp.361-391, Van Nostrand Reinhold, New York, 1989.
8. Leo Higgins, et.al., "Fast static RAM level two cache MCM with gold wire ball bumped flip chip assembly, 1997 Electronic Components and Technology Conference, pp.511-517, 1997.
9. T.Shimura, et.al., "76 GHz flipchip MMICs for automotive radars", 1998 IEEE Radio Frequency Integrated Circuits Symposium, pp.25-28, 1998.
10. Mark S. Hauhe and John J. Wooldridge, "High Density packaging of X-Band Active Array Modules", IEEE Transactions on components, packaging, and manufacturing technology-Part B, Vol.20(3), pp.279-291, 1997.
11. Charles L. Lassen, "Global Technical and Commercial Developments with Flip Chip Technology", 1996 Electronic Components and Technology Conference, pp.1056-1058, 1996.
12. Glenn A. Rinne, "Solder bumping methods for flip chip packaging", 1997 Electronic Components and Technology Conference, pp.240-247, 1997.
13. Peter Elenius, "Flex on Cap Solder Paste Bumping", 1997 Electronic Components and Technology Conference, pp.248-253, 1997.
14. K.Onishi, et.al., "A 1.5 GHz-band SAW filter using flip-chip bonding technique", 1993 Japan International Electronics Manufacturing Technology Symposium, pp.109-112, 1993.
15. Bill Potter, "Flip chip : Trends and technology issues", Advanced packaging, pp.26-29, Feb.1999.
16. Robert T.Crowley T.W.Goodman, and E.Jan Vardaman, "Chip-Size packaging Developments", pp.17, Tech Search International, Inc., August 1995.
17. H.Kusamitsu, et.al., "The flip-chip bump interconnection for millimeterwave GaAs MMIC", 1998 International Conference on Multichip Modules and High Density packaging, pp.47-52, 1998.
18. John H. Lau, "Solder joint reliability of flip chip and plastic ball grid array assemblies under thermal, mechanical, and vibrational conditions", IEEE Transactions on components, packaging, and manufacturing technology-Part B, Vol.19(4), pp.728-735, 1996.
19. D.O.Powell and A.K.Trivedi, "Flip-chip on FR-4 integrated circuit packaging", 1993 Electronic Components and Technology Conference, pp.182-186, 1993.
20. Jon B. Nysaether, et.al., "Measurements of solder bump lifetime as a function of underfill material properties", IEEE Transactions on components, packaging, and manufacturing technology-Part B, Vol.21(2), pp.279-291, 1998.
21. Michael G. Petch, et.al., "Electronic packaging : Materials and their properties", Chapter 2~3, CRC Press, New York, 1999.
22. Michael Case, "SiGe MMICs and flip-chip MICs for low-cost microwave systems", 1997 IEEE Radio Freq-

- uency Integrated Circuits Symposium, pp.117-120.
23. K.Marubishi, et.al., "RF performance of a 77 GHz monolithic CPW amplifier with flip-chip interconnects", 1998 IEEE MTT-S Digest, pp. 1095-1098.
 24. T.Hirose, et.al., "A flip-chip MMIC design with CPW technology in the W-band", 1988 IEEE MTT-S Digest, pp. 525-528.
 25. P.Cameron, et.al., "A flip-chip high efficiency X-Band HPA", 1987 IEEE MTT-S Digest, pp. 889-892
 26. S.D.Wadsworth, et.al., "Flip-chip GaAs MMICs for microwave MCM-D applications", 1998 International Conference on Multichip Modules and High Density Packaging, pp.273-278.
 27. F.Steinhausen, et.al., "Microwave performances of coplanar transmission lines and filters on diamond from 1-120 GHz", 1998 IEEE MTT-S Digest, pp. 1065-1068.
 28. Thomas Budka, et.al., "An embedded transmission line micro-ball grid array X-Band power amplifier", 1998 IEEE MTT-S Digest, pp. 1293-1296.
 29. H.Asano, et.al., "A 900 MHz HBT power amplifier MMICs with 55% efficiency, at 3.3 V operation", 1998 IEEE MTT-S Digest, pp.205-208.
 30. T.Krems, et.al., "Advantages of flip chip technology in millimeter-wave packaging", 1988 IEEE MTT-S Digest, pp. 987-990.
 31. Cheng.P.Wen, et.al., "Coplanar waveguide based, dielectric coated flip chip monolithic microwave integrated circuit, a paradigm shift in MMIC technology", 1995 IEEE Microwave and Millimeter-wave Monolithic Circuits Symposium, pp.123-126.
 32. Robert W. Jackson and Ryosuke Ito, "Modeling millimeter-wave IC behavior for flipped-chip mounting schemes", IEEE transactions on microwave theory and techniques, Vol.45(10), pp.1919-1925, 1997.
 33. Thomas Budka, et.al., "Embedded transmission line MMIC 1-W flip chip assembly using a Z-axis interconnect", IEEE Microwave and Guided Wave letters, Vol.8(6), pp. 238-240., 1998.
 34. Wenge Zhang, et.al., "Study of RF flip-chip assembly with underfill epoxy", 1998 International Conference on Multichip Modules and High Density Packaging, pp.53-57.