

전도성 유전기판을 이용한 다층기판에서의 Simultaneous Switching Noise 감소 기법

김성진, 전철규, 이해영

아주대학교 전자공학부
E-mail: hylee@madang.ajou.ac.kr / sjk@madang.ajou.ac.kr

Simultaneous Switching Noise Reduction Technique in Multi-Layer Boards using Conductive Dielectric Substrate

Sung-Jin Kim, Chul-Gyu Chun, Hai-Young Lee

School of Electronics Engineering, Ajou University
E-mail: hylee@madang.ajou.ac.kr / sjk@madang.ajou.ac.kr

초 록 : 본 논문에서는 고속 디지털 회로에서 발생하는 Simultaneous Switching Noise (SSN)를 감소하기 위한 다층 기판 구조를 제안하고 시간 영역 시간 차분법 (Finite Difference Time Domain Method)을 이용하여 그 효과를 확인하였다. 제안된 구조는 전원 평면과 접지 평면 사이에 전도성 유전체를 전체 또는 부분적으로 삽입한 구조로 혼신 전압파의 크기를 각각 최대 85%, 55% 까지 줄일 수 있어 고속, 고성능 디지털 시스템 구현에 효과적으로 적용될 수 있다.

Abstract : In this paper, we proposed a simultaneous switching noise (SSN) reduction technique in multi-layer boards (MLB) for high-speed digital applications and analyzed it using the Finite Difference Time Domain (FDTD) method. The new structure using conductive dielectric substrates is effective for the reduction of SSN couplings and resonances. The uniform insertion of the conductive layer reduced the SSN coupling and resonance by 85% and the partial insertion only around the edges reduced by 55%, respectively.

1. 서 론

정보 통신 시스템이 대용량, 고속화되면서 사용되는 신호의 주파수 대역폭이 크게 증대되고 사용 주파수 또한 급속히 높아지고 있다. 이에 따라, 통신 기기 및 컴퓨터에 사용되는 인쇄회로기판 (Printed Circuit Board: PCB)은 고속화, 고밀도, 다층화가 빠르게 이루어지고 있다. 특히, 고속 고밀도 디지털 회로에서 클럭 주파수 및 내부 회로 신호의 주파수가 증가함에 따라서 다층 기판의 접지 평면과 전원단에서의 과도 전류가 급속히 증대되어 주요 잡음 원인이 되고 있다. 디지털 회로의 동시 다발적인 고속 스위칭으로 인하여 접지 평면과

전원단에서 발생하는 잡음을 Simultaneous Switching Noise (SSN)라 하며 현재 고속 고밀도 디지털 회로의 오동작을 일으키는 주요 원인이 되고 있다^[1]. SSN은 동일 인쇄회로 기판상의 주변 회로 소자에 결합되어 주변소자의 오동작을 일으킨다. 또한, 인쇄회로 기판의 크기가 유한하므로 접지평면과 전원 평면을 반파장으로 하는 고조파 성분이 공진을 일으켜 SSN의 직접적인 혼신보다 심각한 잡음 결합 특성을 발생시킬 수 있다^[2]. 이러한 혼신 (Crosstalk) 특성을 감소시키기 위하여 Decoupling capacitor를 사용하거나 주요 소자 및 회로 블록의 접지 평면과 전원단을 분리하는 PCB 설계 기법을 널리 사용하고 있다. 이러한 기법들은 SSN의 직접적인 결합으로

로 인한 혼신을 감소시킬 수 있으나 SSN의 공진은 제거하지 못하며 공진 주파수를 사용 주파수 영역보다 높게 만들기 때문에 수백 MHz에서 1 GHz 이상의 초고속 디지털 회로에는 보다 효과적인 방법이 필요하다⁽³⁾.

본 연구에서는 고속 디지털 회로의 고밀도 다층 기판에서 발생하는 SSN의 결합 및 공진 특성을 감소시키기 위하여 접지평면과 전원평면 사이에 전도성 유전체를 삽입 또는 형성하는 방법을 제안하고 그 특성을 시간 영역 유한 차분 (Finite Difference Time Domain: FDTD)법을 이용하여 해석하였다⁽⁴⁾. 전도성 유전체의 형성은 기판 전체에 대한 경우와 다층기판의 Via 배치를 고려하여 기판의 외곽 가장자리에만 배치한 두 가지 경우에 대하여 해석하였다.

2. SSN 감소 기법

그림 1에서는 고속 다층기판에서 발생하는 SSN을 줄이기 위한 기존의 방법을 설명하였다. 그림 1(a)는 가장 널리 사용되는 Dec-

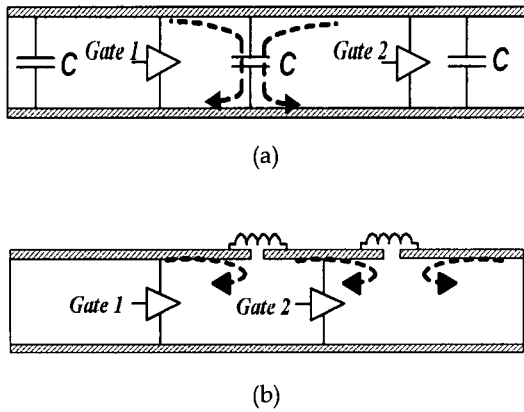


Fig. 1. Conventional techniques for the reduction of SSN (a) using decoupling capacitor (b) using slot and inductor

coupling Capacitor를 이용한 방법이다. 고속 디지털 소자에서 동시 다발적인 스위칭 동작으로 SSN이 발생되며 전원 평면과 접지 평면의

사이에서 전압파 형태로 진행한다. 이때 SSN 공급원에 해당하는 소자에 위치한 Decoupling capacitor는 고주파 잡음 형태의 SSN을 접지 평면으로 결합시켜 소멸시키게 된다. 그러나, SSN의 공진 특성은 Decoupling capacitor로 인하여 감소되는 것은 아니며 보다 높은 주파수로 이동되는 것이므로 고주파 대역에서의 공진 특성은 여전히 전체 회로의 특성을 저해할 수 있다. 또한, 실제 capacitor는 기생 인덕턴스로 인하여 고주파에서 capacitor로 동작하지 못한다는 단점이 있다⁽⁵⁾⁽⁶⁾. 그림 1(b)에서는 전원 평면을 슬롯(Slot)을 이용하여 분리하고 DC 성분만 인덕터를 이용하여 연결하는 방법이다. 슬롯으로 전원 평면이 분리되므로 외부의 SSN이 슬롯으로 분리된 회로에 결합되는 것을 방지할 수 있다. 그러나, 슬롯으로 분리된 영역 내부에서 보다 큰 공진 특성이 발생할 수 있다는 단점이 지적되고 있다⁽³⁾.

그림 2는 본 논문에서 제안한 방법으로 전도성 유전체를 이용하여 전원평면과 접지



Fig. 2. SSN reduction technique using conductive dielectrics

평면 사이에 손실층을 형성한 구조이다. 전도성 유전체로 인한 손실 성분은 G_{lossy} 의 회로 모델로 표시되었다. 또한, 전도성 유전체로 인한 정전 용량은 C_{lossy} 로, 손실층이 채워지지 않은 부분의 정전용량은 $C_{insulator}$ 로 각각 표시하였다. Gate 1에서 발생하는 SSN은 손실층에서 저항 손실로 소멸되게 되므로 인접회로로의 결합 특성 및 기판 전체에서의 공진 특성이 효과적으로 제거 될 수 있다. 또한, 손실층이 채워지지 않은 부분은 전원 평면과 접지 평면의 DC 결합으로 인한 전력 누설을 방지한다. 전도성 유전체를 접지 평면과 전원 평면 사이에 균일하게 삽입하는 경우에는 다층 기판에서 널리 이용되는 Via가 전도성 유전체와 연결되므로 신호의 누설과 혼신 특성이 발생할 수 있다. 그러므로 손실층을 기

판의 가장자리에만 삽입하여 SSN의 공진 특성은 감소시키고 Via의 사용을 자유롭게 할 수 있다. 그러나, SSN이 매우 인접한 회로와 직접 결합되는 특성은 방지할 수 없다는 단점이 있다.

3. 해석 구조 및 방법

전원평면과 접지 평면 사이에 전도성 유전체를 삽입한 구조와 기존의 전원, 접지 평면구조에 대하여 SSN의 결합 특성과 공진 특성을 해석하였다. 해석은 시간영역 유한차분 (Finite Difference Time Domain: FDTD)법을 이용하였다. FDTD는 시간영역에서 Maxwell Equation을 이용하여 전자기적인 현상을 예측하는 알고리즘으로써 그 결과 값이 매우 안정적이고, 계산 시간이 매우 빠른 장점을 가지고 있다. 특히, 시간 영역에서 펄스를 인가하고 그에 대한 응답을 주파수 영역에 대해서 푸리에 변환을 수행함으로써 손쉽고 빠른 시간 내에 넓은 주파수 대역에 대한 응답을 구할 수 있다⁽⁷⁾. 본 논문에서는 독일 IMST사의 상용 FDTD 시뮬레이션 툴인 Empire를 사용하였다⁽⁸⁾. 각 경계 면은 흡수 경계조건(Absorbing Boundary Condition) 중에서 가장 뛰어난 특성을 보이는 PML(Perfect Matched Layer)를 이용하였으며, 전원 평면과 접지 평면은 완전도체 (Perfect Electric Metal)로 가정하였다.

그림 3은 일반적인 4층 기판 구조의 측면도이다. 전원 평면과 접지 평면이 삽입되어 있으며 최상단과 최하단은 신호층으로 할당되어 있다. 신호층에 배치되는 고속 디

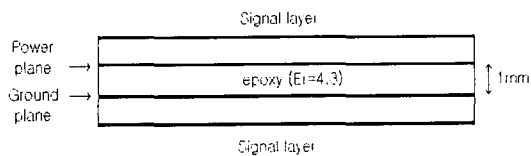


Fig. 3. Multi-layer board stack-up

지 회로는 중앙의 전원 접지 평면으로부터 전원을 공급받으며 고속 스위칭 동작으로 SSN을 발생시키며 발생된 SSN은 전원 평면과 접지 평면을 통하여 진행된다. 그림 4는 FDTD 해석에 사용된 다층기판의 접

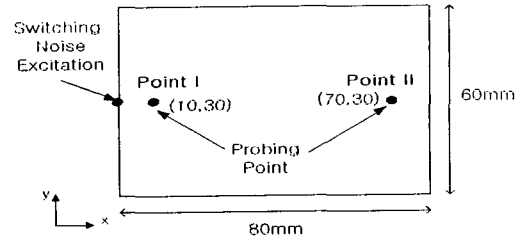
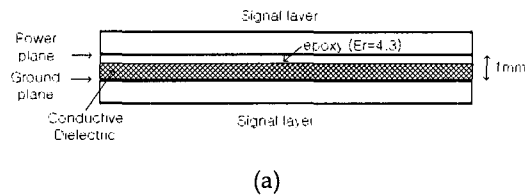
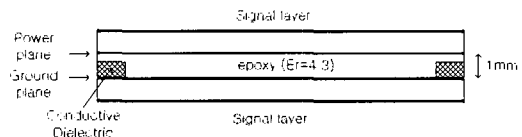


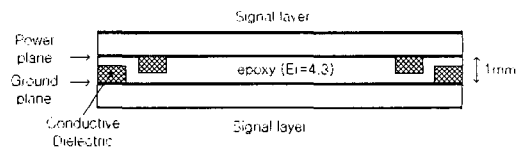
Fig. 4. PCB structure for FDTD simulation



(a)



(b)



(c)

Fig 5. PCB stack-ups using conductive dielectrics: (a)uniform distribution, (b)only on ground plane edges, (c)both on ground and power plane edges.

지 평면과 전원 평면의 구조로서 가로 80 mm, 세로 60 mm를 가지며 SSN 발생 지점과 SSN 결합 특성을 추출한 지점을 표시하였다. 사용된 기판의 비유전율은 FR-4 기판을 가정하여 4.3을 지정하였다.

SSN 발생지점의 좌표는 (0 mm, 30 mm)이다. 또한, 결합된 SSN의 추출지점 I, II의 좌표는 각각 (10 mm, 30 mm), (70 mm, 30 mm)이다. 그림 5는 전도성 유전체를 접지 평면과 전원 평면 사이에 배치한 구조의 측면도이다. 전도성 유전체의 두께는 0.8 mm 이고 전도도는 0.1 과 1.0 S/m의 두 종류를 각각 해석하였다. 그림 5(a)는 전도성 유전체를 균일하게 배치한 경우이다. 이 경우는 실제 구현에 있어서 Via를 통하여 부품을 연결할 때 전도성 유전체와 완전한 절연상태를 유지하기 어렵다는 문제점이 있다. 그림 5(b), (c)는 폭 2mm, 두께 0.8 mm의 전도성 유전체를 기판의 가장자리에 배치한 구조로 Via와 전도성 유전체와의 전기적 결합 문제를 해결하였다. 제안된 그림 5의 모든 구조는 전도성 유전체가 접지평면과 전원평면을 완전히 연결하지 않으며 0.2 mm의 간격으로 분리되어 있다. 이는 완전 연결시 도전성 기판으로 인한 접지 평면과 전원 평면의 단락으로 인한 전력 손실을 방지하기 위함이다.

4. 해석 결과 및 고찰

우선 일반적인 PCB의 접지 평면과 전원 평면의 공진 특성을 해석하고 그 특성을 도전성 유전체를 배치하여 해석한 결과와 비교하였다. 도전성 유전체를 균일하게 배치한 구조에서는 도전율이 0.1 S/m와 1 S/m의 두 가지 경우에 대하여 해석하였다. 가장자리에만 도전성 유전체를 배치한 경우는 도전율 1 S/m에 대하여 해석하였으며 각각 접지 평면 쪽에만 배치한 구조와 전원 평면까지 양쪽에 배치한 두 가지 구조를 해석하였다.

1. 기존의 PCB 구조

그림 6에서 기존의 PCB 구조에 대한 SSN 결합 및 공진 특성을 해석한 결과를 나타내었다. (0 mm, 30 mm) 지점에서 인가한 SSN은 10 GHz의 대역폭을 가지는 가우시안 (Gaussian) 펄스를 사용하였으며 I과 II 지점에서 정규화된 전압파형의 크기를 10 GHz 까지 추출하였다. 약 2.4 GHz 및 4.8 GHz 지점에서 SSN의 공진

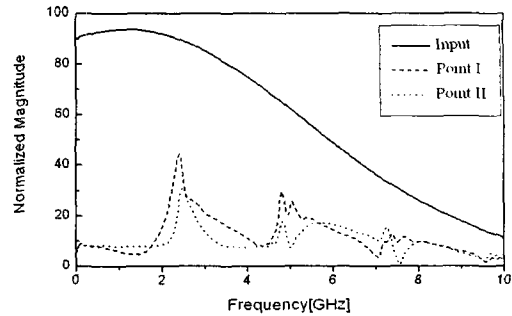


Fig. 6. SSN coupling and resonance in conventional PCB

특성이 나타남을 확인할 수 있으며 지점 I, II에서 SSN의 공진으로 인한 심각한 혼신 특성이 발생할 수 있음을 의미한다.

2. 도전성 유전체를 균일하게 배치한 구조

도전성 유전체를 균일하게 배치한 경우 SSN 공진 특성이 크게 감소되는 결과를 그림 7에서 확인할 수 있다. 도전율이 0.1 S/m의 경우에는 약 15%로 감소됨을 볼 수 있으며 도전율이 1 S/m일 때는 1

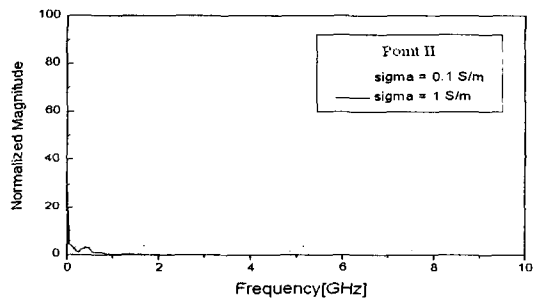


Fig. 7. SSN coupling and resonance for uniform insertion of conductive dielectrics

GHz 이상의 주파수 성분에 대해서는 거의 모두 제거됨을 확인할 수 있다. 그러나, 실제 다층기판에서 Via를 사용할 때 전력 누설의 단점이 있다.

3. 도전성 유전체를 가장자리에 배치한 구조

그림 8에서는 접지 평면의 가장자리에만 1 S/m의 전도성 유전체를 사용한 경우의 정규화된 인가전압과 추출 전압을 표시한

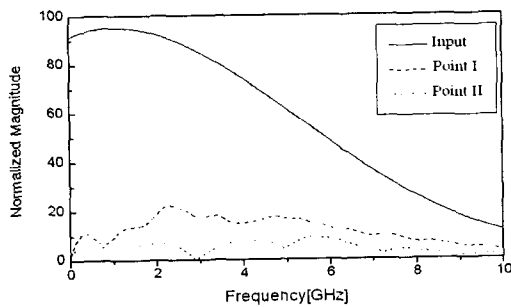


Fig. 8. SSN coupling and resonance for partial insertion of conductive dielectrics on the ground plane edges only

그림이다. 그림 6의 일반적 구조와 비교하여 I 지점에서의 SSN 공진 결합 특성이 약 60%로 감소되고 II 지점에서는 보다 크게 감소되는 것을 관찰할 수 있다. 그림 9는 접지평면과 전원평면 양쪽 가장자리에 전도성 유전체를 동시에 서로 어긋나게 사용한 구조의 결과이다. 그림 8의 결과와 비

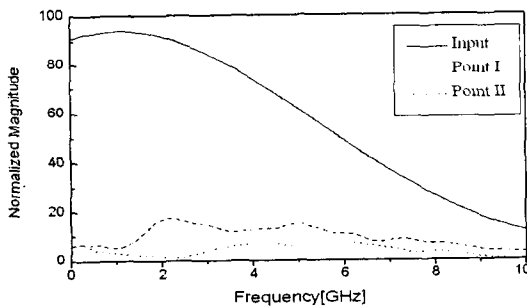


Fig. 9. SSN coupling and resonance for partial insertion of conductive dielectrics on the power and ground plane edges

교할 때 공진 주파수에서 15% 더 감소되는 것을 볼 수 있다. 전도성 유전체를 균일하게 배치한 경우 보다는 결합 특성이 크게 나타났지만, 실제 구현의 측면에서는 가장

자리에만 전도성 유전체를 사용하는 것이 보다 실용적이라 할 수 있다.

5. 결론

고속 고밀도 다층기판에서 발생하는 SSN 결합 특성을 감소시키기 위하여 접지 평면과 전원 평면 사이에 전도성 유전체를 삽입하는 방법을 제안하고 전도도와 배치 구조에 따른 SSN 결합 특성을 해석하였다. 해석 결과 기존의 PCB구조에서 유한 접지 평면과 전원 평면으로 인한 SSN 결합 및 공진 특성을 확인 할 수 있었다. 이러한 공진 특성은 전도성 유전체를 균일하게 접지 평면과 전원 평면사이에 배치할 경우 약 85% 까지 감소시킬 수 있음을 확인 하였다. 또한, 기판 가장자리에만 전도성 유전체를 배치한 경우에는 접지 평면에 배치했을 때는 약 40%, 전원 평면에까지 배치할 경우 약 55% 까지 SSN 결합 특성을 감소시킬 수 있음을 확인하였다. 접지평면과 전원평면을 가지는 다층기판에서 전도성 유전층의 배치를 통하여 고속 고밀도 디지털 회로의 성능을 크게 향상시킬 수 있으리라 기대된다.

참고 문헌

1. M. I. Montrose, Printed Circuit Board Design Techniques for EMC Compliance, IEEE PRESS, pp. 20-21, 1996.
2. Istvan Novak, "Reducing simultaneous switching noise and EMI on ground/power planes by dissipative edge termination," *Proceedings the 7th Topical Meeting on EPEP*, pp. 181-184, Oct. 1998
3. S. Van den Berghe, F. Olyslager, D. De Zutter, J. De Moerloose, and W. Temmerman, "Study of the ground bounce caused by power plane resonances," *IEEE Trans. Electromagnetic Compatibility*, vol. 40, pp. 111-119, May, 1998.
4. Allen Taflove, *Computational Elec-*

- rodynamics - The Finite-Difference Time-Domain method*, Artech House, pp. 59-80, 1995
5. Jong-Gwan Yook, P. B. Katehi, Kareem A. Sakallah, Ray S. Martin, Lilly Huang, and Tim A. Schreyer, "Application of system-level EM Modeling to high-speed digital IC packages and PCBs," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-45, No. 10, pp. 1847-1856, Oct. 1997.
 6. Howard W. Johnson, Martin Gra-
ham, High-speed digital design, Prentice Hall, Inc., 1993.
 7. David M. Sheen, Sami M. Ali, Mohamed D. Abouzahra, and Jin Au Kong, "Application of the three-dimensional Finite-Difference Time-Domain method to the analysis of planar microstrip circuits," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-38, pp.849-857, July 1997.
 8. EMPIRE, User and Reference manual, IMST GmbH, 1999