

이동통신용 적층형 칩 대역통과 필터의 설계 및 제작

윤중락*, 박종주*, 이석원**, 이현용***

*삼화콘덴서공업(주), **호서대학교 전기전자공학부, ***명지대학교 전기전자공학부

Design and Fabrication of Multilayer Chip Band Pass Filter for Mobile Communication

Jung Rag Yoon*, Jong Joo Park*, Serk Won Lee**, Heun Young Lee***

*Samwha Capacitor Co. **Department of Electrical and Electronics Engineering, Hoseo University.

***Department of Electrical and Electronics Engineering, Myoungji University.

(1999년 7월 19일 접수, 1999년 8월 9일 게재승인)

초 록 : 이동통신 부품용으로 이용되는 적층 칩 대역통과 필터를 설계, 제작하였으며 설계된 칩 필터의 크기는 $4.5 \times 4.4 \times 1.8$ (mm)이고 중심주파수 및 통과대역은 700 (MHz) \pm 15 (MHz), 삽입손실은 3.0 (dB) 이하이다. 적층 칩 필터의 제조는 BiNbO_4 에 CuO $0.06\text{wt}\%$, V_2O_5 $0.1\text{wt}\%$ 를 첨가한 조성을 이용하였으며 테이프 캐스팅 후 Ag 전극을 스크린 프린팅하여 제작하였다. 제작된 칩 필터의 삽입손실과 중심주파수 및 통과대역은 2.58 (dB)와 692.5 ± 15 (MHz)로서 중심주파수는 설계 결과보다 7.5 (MHz) 낮았으나 그외의 특성은 설계 결과와 유사함을 볼 수 있었다.

Abstract : The multilayer chip band pass filter for mobile communication is fabricated and designed. The size, insertion loss, center frequency and band width of multilayer chip filter are $4.5 \times 4.4 \times 1.8$ (mm), 3.0 (dB) and 700 (MHz) \pm 15 (MHz) respectively. The chip filter using BiNbO_4 with CuO $0.06\text{wt}\%$ + V_2O_5 $0.1\text{wt}\%$ was fabricated by screen printing with Ag electrode after tape casting. Insertion loss and center frequency of the fabricated chip filter are 2.58 (dB) and 692.5 ± 15 (MHz) respectively. The center frequency was lower 7.5 (MHz) than design result, but other characteristics of chip filter were similar to the results of design result.

1. 서 론

정보 산업사회의 발전과 정보화시대로의 빠른 진입으로 인하여 음성 및 데이터등 정보통신의 신속한 교환이 요구되는 이동통신, 위성통신의 필요성이 점점 고조되고 이 분야에 대한 통신시스템이 현저하게 발전되고 있다. 이동통신기기의 경우 휴대용 단말기의 소형, 경량화가 요구됨에 따라 고주파 단을 구성하는 고주파 필터, 듀플렉서, VCO(Voltage Controlled Oscillator)와 같은 부품의 소형화 및 SMD(Surface Mounted Device)화가 필수적이다. 특히, 이동통신 단말기의 핵심부품인 필터, 듀플렉서, VCO, 안테나등의 공진 소자는 소형화가 곤란한 부품이었으나 은(Ag)과 동(Cu)과 같은 전극과 동시 소성이 가능한 고주파용 저온 소결원료가 개발됨에 따라

green sheet에 도체 패턴을 인쇄하여 적층, 소결시켜 회로기능을 모듈화시킨 적층형 소자의 개념이 도입되어 기존의 부품보다 소형화된 부품의 제조가 가능하게 되었다.^{1,2)} 특히, 이동통신 단말기 부품중에서 비교적 큰 부피를 차지하는 고주파 필터의 경우 적층형 소자의 개념을 도입하여 유전체 공진기를 이용한 대역통과 필터보다 크기 및 무게가 현저히 줄어든 적층형 칩 필터의 제작이 가능하며 이를 이용한 단말기들이 사용되고 있으나 제조 방법과 설계 방법등에 관한 연구 결과가 미흡한 실정이다.^{2,3)} 따라서 본 논문에서는 저온소결이 가능한 고주파 유전체재료로 알려진 BiNbO_4 에 저온소결 촉진을 위하여 CuO , V_2O_5 를 첨가한 조성을 이용하였으며⁴⁾ 적층형 칩 필터의 설계는 저역통과 필터를 설계한 후 J-인버터 및 결합스트립선로이론을 이용하여 설계하였다. 실제 칩 필터의 구조는 고주파용 전자장 simulator인 HFSS

(High Frequency Structure Simulator, Ansoft社)를 이용하여 설계하였으며 그 결과를 이용하여 칩 필터를 제작하였다. 적층형 칩 필터의 제작은 칩 부품의 대표적인 구현 방법인 테이프 캐스팅법을 이용하여 유전체 sheet를 제작하였으며 스크린 프린팅법을 이용하여 은(Ag) 전극을 인쇄하고 적층, 압착, 절단공정을 거쳐 바인더를 탈지 후 900℃에서 소결하였다. 소결된 적층 칩을 연마 후 은(Ag)전극을 이용하여 입, 출력단자 및 접지단자를 형성하였으며 Network Analyzer (HP 8510C, HP社)를 이용하여 측정된 후 설계 결과와 비교 분석하였다.

2. 실험 방법

본 실험에서 사용된 기본물질은 Bi₂O₃, Nb₂O₅, CuO, V₂O₅를 사용하였으며 원료 및 칩 필터의 제조공정은 그림 1과 같다. Bi₂O₃와 Nb₂O₅를 몰비로 1:1이 되도록 평량한 후 순수물을 이용하여 24시간 습식 혼합하였다. 혼합 완료된 원료를 건조한 후 800℃에서 2시간 하소하였다. 하소한 분말에 소결조제로 0.06wt% CuO, 0.1wt% V₂O₅를 첨가한 후 하소와 동일한 조건으로 24시간 습식 재분쇄한 후 건조하였다. 본 조성의 고주파 유전특성을 조사하기 위해 5wt% PVA수용액을 결합제로

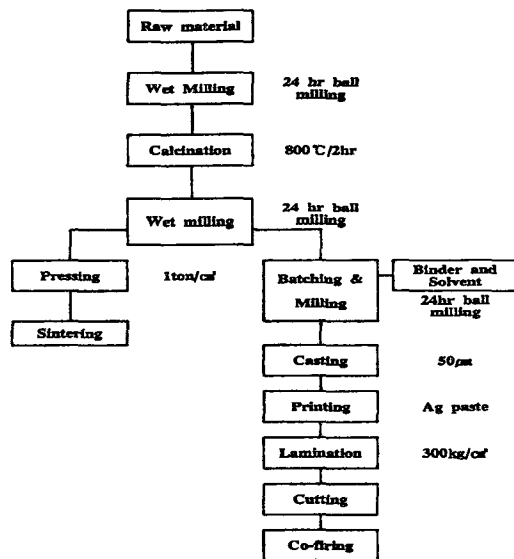


Fig. 1. Flow chart of experimental procedure of multilayer chip filter

첨가 한 후 직경이 15mm인 원통형 금형을 이용하여 1 ton/cm²의 압력으로 성형한 후 900℃에서 소결하였다. 적층 칩 필터는 일반적인 적층 칩 공정을 이용하였으며 세라믹 원료와 바인더의 배합비는 63: 38로 하여 slurry를 제조한 후 green sheet를 doctor blade법으로 약 50µm의 두께로 tape casting하였으며 원료 분말의 particle size 분포는 Laser Scattering Particle Size Distribution Analysis (LA-910, Horiba社)로 측정하였다. Ag전극을 이용하여 15-20µm로 인쇄한 후 적층, 압착하였으며 이때 압착조건은 60℃에서 200Kg/cm²의 압력으로 8분 동안 압착하였다. 소성조건은 300℃에서 24시간 binder burnout한 후 900℃에서 2시간 소결하여 필터를 제작하였다. 적층 칩 필터를 제작한 후 Network Analyzer (8510C, HP社)를 이용하여 필터의 특성을 측정하여 평가하였다.

3. 적층 칩 필터의 구조 및 등가회로^{5,6)}

그림 2는 본 논문에서 구현한 적층 칩 필터의 구조로서 다섯층의 세라믹 유전체와 도체전극으로 구성되어 있다. 그림 3은 적층형 칩 필터의 등가회로이다. 그림 2에서 전극의 구성을 보면 맨 윗층과 아래층이 접지 전극이고 a, a'는 결합 스트립선로 공진기이고 b, b'는 입, 출력 커플링 캐패시터를 위한 도체전극으로서 a와 b사이의 커플링에 의해 입력 캐패시터 C₀₁

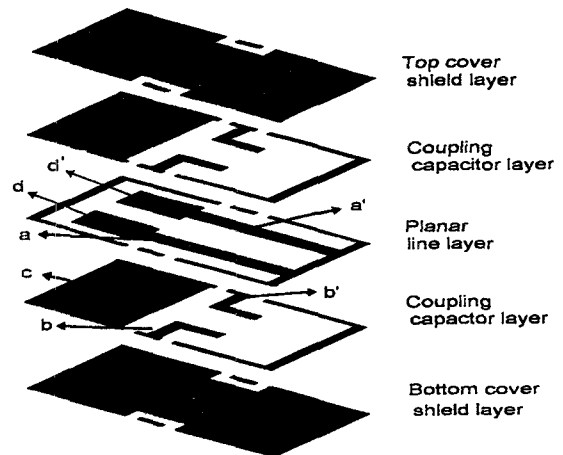


Fig. 2. Structure of multilayer chip filter

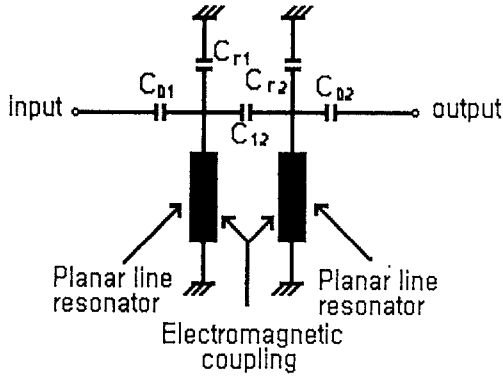


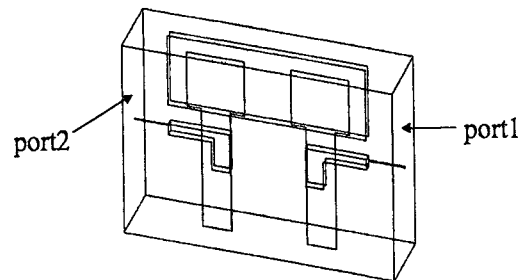
Fig. 3. Equivalent circuit of multilayer chip filter

성하고 a'와 b'사이의 커플링에 의해 출력 캐패시터 C02를 형성한다. 도체전극 c는 접지에 연결된 loading 캐패시터로서 Comb line filter⁵⁾에서와 같이 공진기의 길이를 줄이기 위한 것으로서 Cr1, Cr2의 역할을 한다. 도체전극 d, d'는 감쇄극을 위한 것으로 커플링 캐패시터 C12의 역할을 한다.

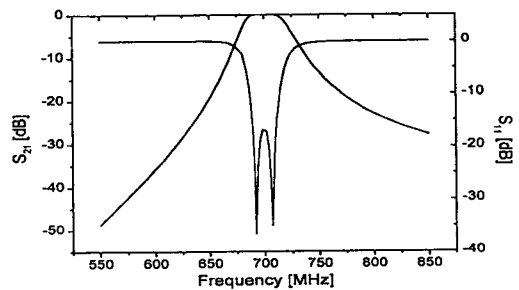
4. 적층 칩 필터 설계 및 패턴 구현

본 논문에서는 스트립라인 공진기를 이용한 적층 칩 필터를 설계하였으며 설계방법으로는 저역통과 필터를 설계한 후 주파수변환을 통하여 집중 소자화한 대역통과 필터를 설계하였으며 J-인버티론⁵⁾을 적용하여 마이크로파 대역에서 제작 가능한 필터를 설계하였다. J-인버티론을 이용하여 필터를 설계한 후 결합 스트립선로 이론을 적용하여 결합스트립라인 공진기용 적층 칩 필터를 설계하였다. 결합 스트립라인 공진기의 등가소자값 결정을 결정한 후 적층 칩 필터에서 최종적으로 구하고자 하는 공진기폭 W와 공진기간의 간격 g로서 결합스트립선로의 우모드 임피던스(Z_{oe})와 기모드 임피던스(Z_{oo})의 임피던스비를 이용하여 계산하였다.⁷⁾ 스트립라인 적층 칩 필터 설계이론으로부터 필터의 중심주파수가 700(MHz)이고 통과대역 리플이 0.2(dB), 통과대역이 30(MHz), 삽입손실이 2.0(dB)이하인 적층 칩 필터를 설계하였다. 설계시 유전율은 40.2이고 공진기의

우모드 임피던스는 17.5(Ω), 공진기 길이 3.4(mm), 공진기와 ground간의 거리 t=0.8(mm)로 하여 시뮬레이션 하였다. 시뮬레이션 결과 g=1.3(mm), W=0.9(mm), 입력, 출력 캐패시턴스 C_{o1}=3.46(pF), loading 캐패시턴스 Cr₁=38.8(pF), 공진기간의 결합 캐패시턴스 C₁₂=3.47(pF)를 얻었다. 그림 4의 (a)는 설계된 회로소자값 및 구조 파라미터값으로 부터 도체전극 크기와 sheet의 두께를 정한 후 Ansoft社의 마이크로파 전자장 해석프로그램인 HFSS를 이용하여 시뮬레이션한 필터의 구조로서 외부를 도체로 하고 내부는 유전을 40.2로 지정한 후 양쪽면에 입출력포트를 지정하였다. 그림 4의 (b)는 시뮬레이션 결과로서 중심주파수가 700(MHz)이고 대역폭이 30(MHz)임을 볼 수 있다. 그림 5는 실제 필터 제작에 필요한 전극패턴으로서 (a)는 접지 패턴 (b)는 스트립 라인 공진기 패턴 (c)는 입출력 및 loading 캐패시터 패턴이다.



(a)



(b)

Fig. 4. Simulation result of multilayer chip filter (a) Configuration of multilayer chip filter (b) Simulation result

5. 스트립라인 적층 칩 필터 제작 및 검토

본 실험에서 사용한 조성의 마이크로파 유전 특성은 900℃의 소결온도에서 유전율 40.2, 품질계수($Q \times f_0$) 11,800, 공진주파수의 온도 계수 -1.2 [ppm/℃]였다. 그림 6에 sheet 제조에 이용한 분말의 particle size 분포를 나타낸 그림으로서 불밀을 이용하여 D_{50} 을 $1.2(\mu\text{m})$ 로 조절하였다.

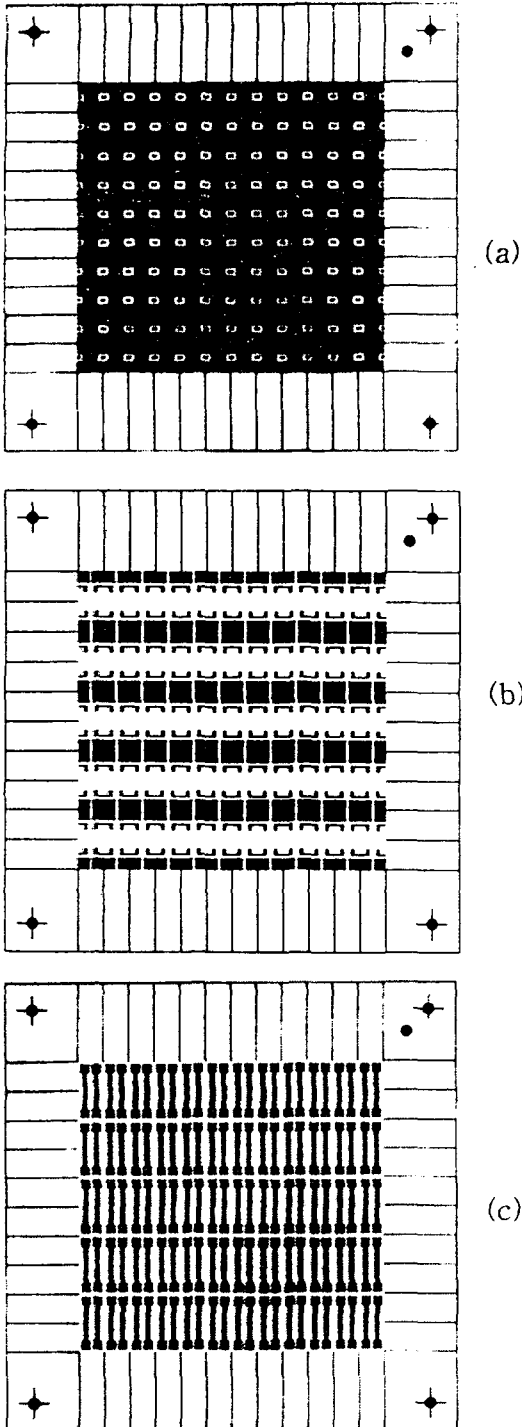


Fig. 5. Electrode patterns of multilayer chip filter. (a) ground pattern (b) input and output capacitor and loading capacitor (c) strip line resonator pattern

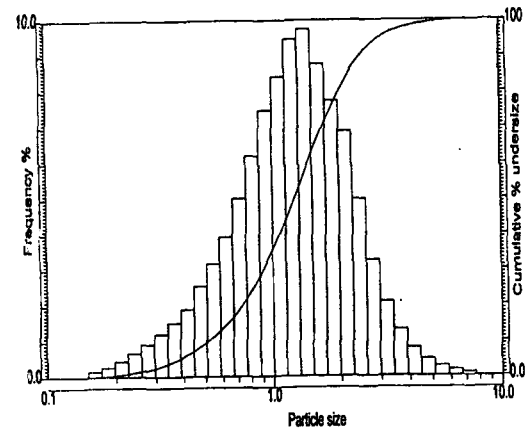


Fig 6. The particle size distribution of powder.

그림 7은 적층 칩 필터 제조 공정시 전극과 전극의 위치가 정확히 일치하지 않으면 필터의 특성에 큰 영향을 끼치므로 이를 배제하기 위해

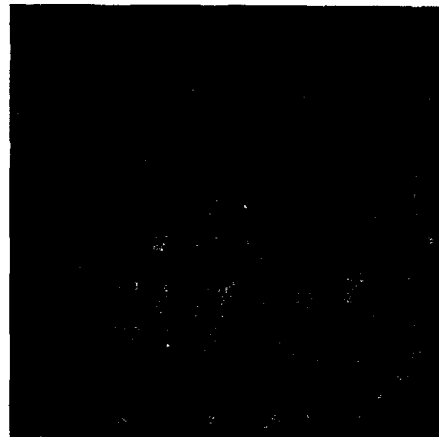


Fig. 7. The laminated photograph of multilayer chip filter.

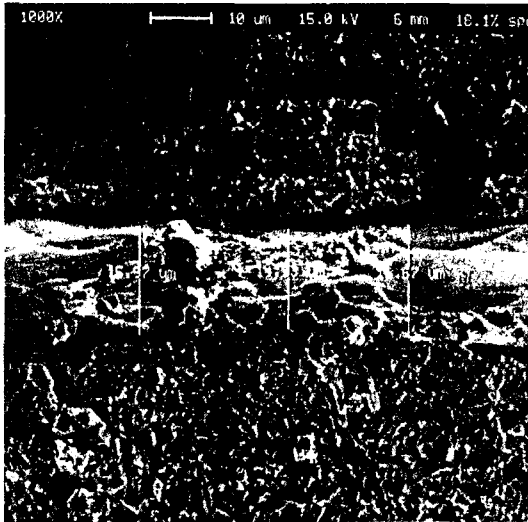
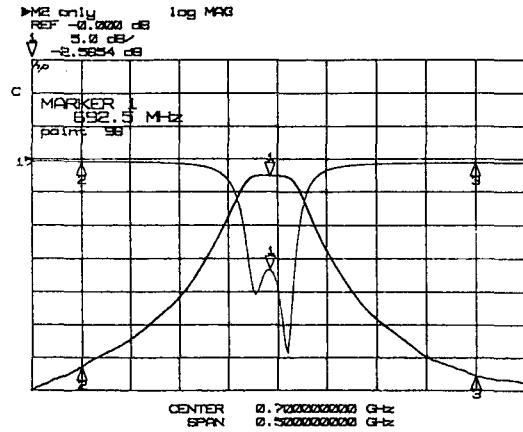


Fig. 8. Microstructure of Ag electrode between ceramic

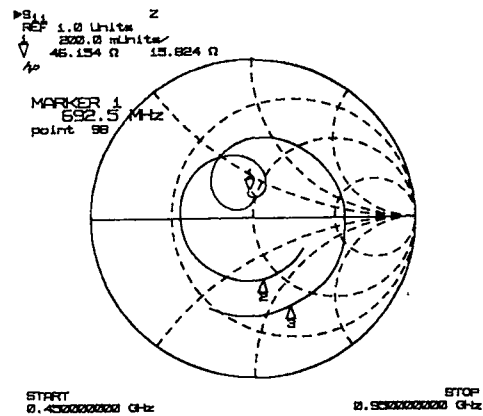
전극 패턴을 적층한 후 X-ray 투시기를 이용하여 전극의 내부구조를 확인한 것으로서 적층이 정확하게 되었음을 확인 할 수 있다.

그림 8은 적층 칩 필터의 소성 후 Ag전극과 세라믹간의 계면층의 미세구조로서 소성 후 전극의 두께는 약 16(μm)임을 볼 수 있으며 전극과 세라믹과의 밀착상태가 양호함을 볼 수 있다. 마이크로파 대역에서는 금속도체의 경우 표피효과로 인한 손실을 줄이기 위해서는 금속도체의 표면의 평탄성과 표피두께(skin depth) 이상이 필요하다. 그림 8의 결과로 보아 전극의 두께가 약 16(μm)로서 700(MHz)대역의 주파수에서는 충분한 두께임을 알 수 있으며 전극두께의 편차도 ± 1(μm)로 양호함을 볼 수 있다.

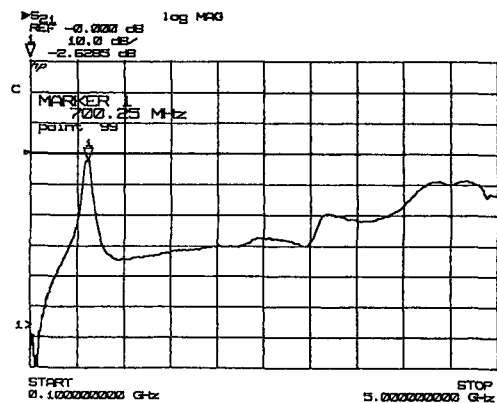
그림 9의 (a)는 제작된 적층 칩 필터를 Network Analyzer를 이용하여 측정한 결과로서 중심주파수는 692.5(MHz)이고 통과대역내의 삽입손실은 2.58(dB), 대역폭이 30(MHz)임을 알 수 있다. 통과대역의 반사손실은 -15.6(dB)이고 중심주파수보다 120(MHz) 낮은 주파수에서의 감쇄량은 26(dB)로 측정되었다. 시뮬레이션 결과와 비교하여 보면 중심주파수가 설계값보다 7.5(MHz) 낮게 측정되었지만 대역폭은 시뮬레이션 값과 유사한 값을 얻을 수 있었다. 설계값보다 중심주파수가 낮게 측정된 원인으로는 소결과정 중에서 중심주파수를 결정하는 파라미터인 C₁₁층이 설계된 것보다



(a)



(b)



(c)

Fig. 9. The measured results of multilayer chip filter. (a) Pass band characteristics (b) Characteristic Impedance (c) Spurious characteristics

10(μm)정도 얇아져 나타난 현상으로 중심주파수 결정에 캐패시터를 형성하는 층이 매우 민감함을 볼 수 있었다. 그림 9의 (b)는 적층 칩 필터의 특성 임피던스 특성곡선으로서 특성 임피던스가 약 $46.15 + j15.8(\Omega)$ 으로서 설계시 특성 임피던스인 $50(\Omega)$ 과 유사한 값을 나타내고 있으며 다소 차이가 있는 것은 측정시 측정 지그 단자와 설계시 고려하지 못한 입력 및 출력단자의 기생용량 및 두께에 의한 결과로 예상된다. 그림 9의 (c)는 적층 칩 필터의 스푸리어스 주파수특성으로서 중심주파수의 약 3배 되는 주파수에서 발생하는 스푸리어스 공진에 의한 삽입손실을 측정한 결과 28(dB)이하로 우수한 특성을 얻을 수 있었다.

6. 결 론

$\text{BiNbO}_4 + \text{CuO}$ 0.06wt% + V_2O_5 0.1wt%를 첨가하여 유전율이 40.2이고 900°C 에서 소결가능한 유전체를 얻었으며 이를 이용하여 700(MHz)대역에서 동작하는 스트립라인 공진기 적층형 칩 필터를 제작하였다. 적층형 칩 필터 설계결과 원하는 특성을 얻을 수 있었으며 HFSS프로그램을 이용하여 설계의 타당성을 확인할 수 있었다. 실제 제작결과와 비교하면 중심주파수는 7.5(dB) 낮게 나타났으며 반사손실, 대역폭, 삽입손실의 경우 시뮬레이션 결과와 유사한 결과를 나타내었다. 본 연구결과 소형화되고 우수한 필터특성을 나타내는 적층 칩 필터의 제작 가능성을 볼 수 있다.

참 고 문 헌

1. 西滬顯, "移動體通信單末部品の 技術動向," 電子技術, pp.23-28, Feb. (1995)
2. Ryoji Imai, "Dielectric Filter Technology Strives to Shrink Components, Retain Characteristics," JEE October, pp. 24-26, (1994)
3. Toshio Ishzaki, "A Very Small Dielectric Planar Filter for Portable Telephone," IEEE Trans. on Microwave Theory and Techniques, vol. MTT-42, pp. 2017-2022, (1994)
4. 윤중락, "저온소결 세라믹 유전체를 이용한 이동통신용 적층 스트립라인 칩 대역통과 필터 설계 및 제작", 박사학위논문, 명지대학교, pp.38-75, (1998)
5. Sumio Kobayashi, Kohki Satio, "A Miniaturized Band Pass Filter for Cordless Phone System," IEEE MTT-S Digest, pp.391-394, (1995)
6. A. D. Vincze, "Practical Design Approach to Microstrip Combine type Filter," IEEE Trans. on Microwave Theory and Techniques, vol. MTT-22, pp.1171-1181, December (1974)
7. G.L.Matthaei, L.Young, and E.M.T. Jones, Microwave Filters, Impedance Matching Networks, and Coupling Structures, Artech House, (1980)