

## 실리콘 팁 전계 방출 소자의 제조 및 동작 특성 평가

주병권 · 이상조 · 박재석 · 이윤희 · 전동렬\* · 오명환

한국과학기술연구원 정보재료소자연구센터, 서울, 136-791

\*명지대학교 물리학과, 용인, 449-728

### Fabrication and Characterization of Si-tip Field Emitter Array

B. K. Ju, S. Lee, J. S. Park, Y. H. Lee, D. Jeon\*, M. H. Oh

Electronic Materials and Devices Research Center, KIST, Seoul, 136-791

\*Dept. Physics, Myong Ji Univ., Yongin, 449-728

(1999년 2월 7일 접수, 1999년 3월 24일 게재승인)

초 록 : Lift-off 공정에 의하여 Si-tip FEA를 제조하고 그 동작 특성을 평가하였다. 게이트 및 양극 전압에 따른 방출 전류의 변화, 최대 방출 전류, 히스테리시스 현상, MOSFET 형 특성, 전류 변동, 방출된 전자에 의한 형광체 발광, 그리고 소자의 파괴 메커니즘 등이 실험 결과를 토대로 하여 폭 넓게 평가, 분석되었다.

Abstract : Si-tip FEAs were fabricated by a lift-off based process and their operating properties were evaluated. The dependence of emission current on applied gate and anode voltages, maximum emission current, hysteresis phenomena, MOSFET-type curves, current fluctuation, light emission from the emitted electrons, and failure mechanism of the device were widely discussed based on the experimental results.

#### 1. 서 론

Si-tip FEA(Field Emitter Array : 전계 방출 소자 어레이)의 경우, 금속에 비해 낮은 전기 및 열 전도도, 팁 표면의 재료-화학적 불안정성, 상대적으로 높은 에너지 장벽 등의 원인에 의하여 동작 개시 전압, 방출 전류 밀도, 그리고 안정성 등에서 여러 문제점들을 지니고 있다는 한계에도 불구하고, 이미 확립된 반도체 공정을 배경으로 한 일괄 공정, tip 형상의 제어 및 고밀도화, 회로와의 능동/집적화의 가능이라는 매력적인 요소들로 인하여 특히 초소형-고 해상도 FED(Field Emission Display)의 응용을 향한 연구 개발이 여전히 의욕적으로 이루어지고 있다<sup>1,3</sup>. 본 연구에서는 진공 마이크로 전자 및 FED 응용 소자로서 제조된 Si-tip FEA의 제 동작 특성들을 광범위하게 분석, 평가하여 기반 데이터를 제시하고자 한다.

#### 2. Si-tip FEA의 제조 공정

제조하고자 하는 Si-tip FEA 단위 소자의 규격

은 그림 1과 같다. 즉,  $300 \times 300 \mu\text{m}^2$  영역 내에  $60 \times 60$ 개의 에미터들이 형성되어 있으며, 게이트 홀의 직경은  $1.5 \mu\text{m}$ 이고 tip 간의 거리는  $5 \mu\text{m}$ 이다.

Si-tip FEA의 제조 공정은 lift-off 공정을 이용한 자기 정렬 방식을 따랐으며 그림 2(a)를 이용하여 설명하면 다음과 같다. 즉,  $n^+$ 형 (100) Si 기판을 세척하고  $3000 \text{ \AA}$  두께의 열 산화막을 성장시킨 다음, 사진 식각과 반응성 이온 식각 공정(RIE : Reactive Ion Etching, oxide :  $\text{CHF}_3 + \text{Ar}$ , Si :  $\text{SF}_6$ )을 거친 뒤 산화 sharpening을 행한다. 이때 Si RIE 공정에 의해 Si-tip의 neck 직경이  $0.12 \mu\text{m}$ 에 이르도록 하였으며, 산화 sharpening에 의해 tip의 뾰족함과 높이를 조절하였다.

다음으로 전자선 증착법에 의하여 게이트 절연막으로 사용될 산화막을 증착시키고  $950^\circ\text{C}$ -wet 산화에 의해 고밀도화(densification)를 행한 뒤, 게이트 전극에 해당하는 Mo 막을  $3000 \text{ \AA}$  정도의 두께로 순차적으로 증착시킨다. 마지막으로 buffered HF 용액에 의해 열 산화막을 제거하게 되면 Si-tip FEA가 완성된다. 1회의 공정에 의해

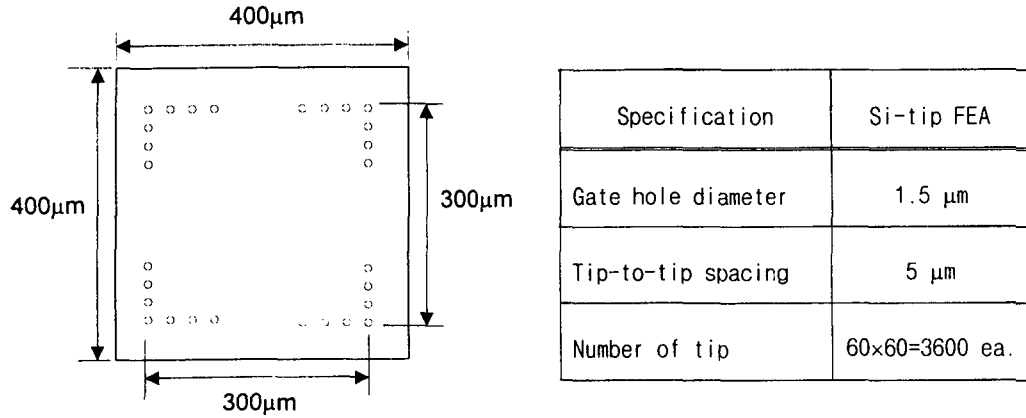


Fig. 1. Specification of the fabricated Si-tip FEA

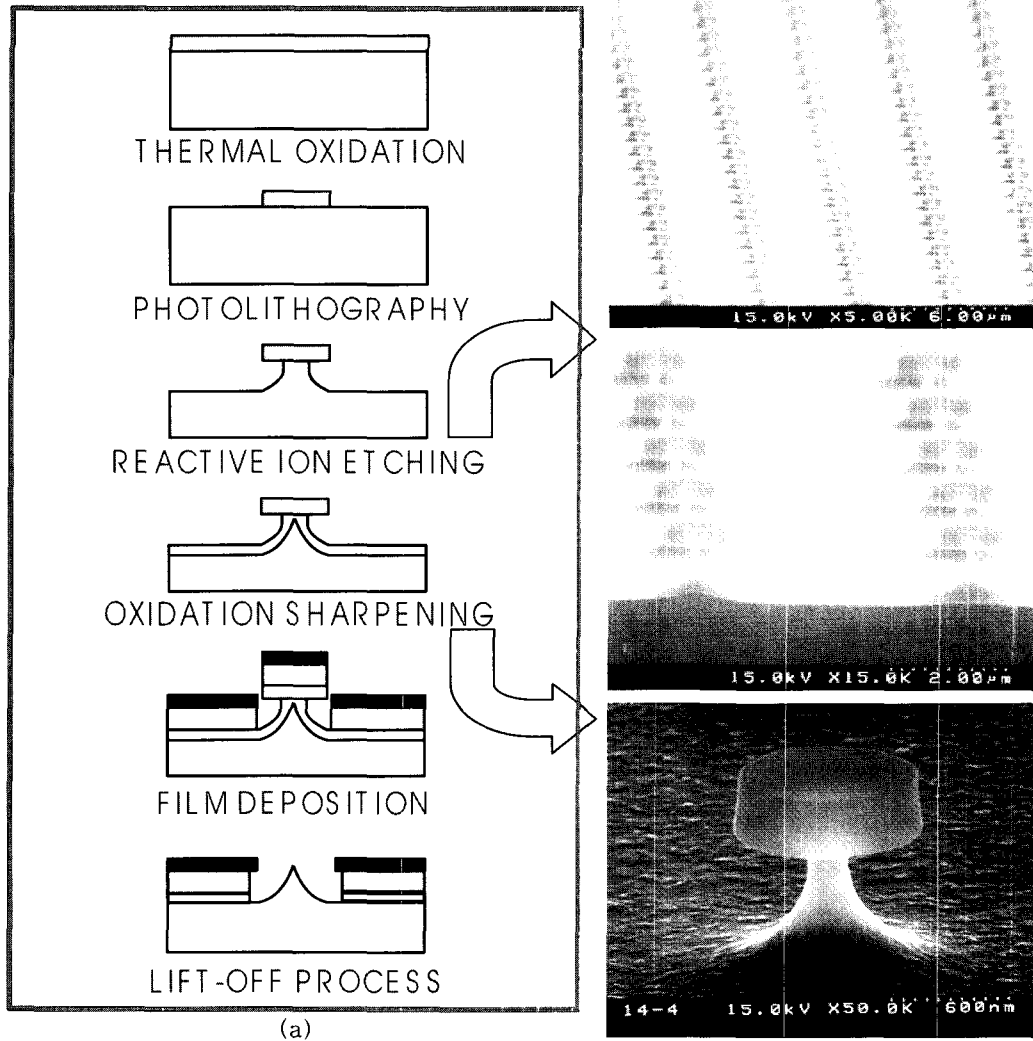
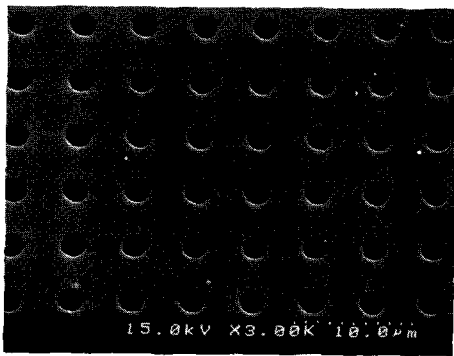
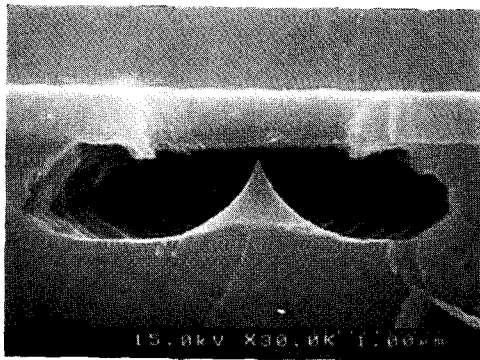


Fig. 2. Process steps(a) and structures(b) for self-aligned Si-tip FEA using lift-off process (b)

총  $6 \times 6 = 36$ 개의 단위 소자들이 일괄 제조되며, 각각의 단위 소자들에 해당하는 게이트 전극을 분리하기 위하여 사진 식각 공정에 의해 게이트 전극을 <인산(80vol%)+질산(5vol%)+초산(5vol%)+물(10vol%)>로 이루어진 Mo 식각액으로 패터닝하였다. 그림 2(b)는 RIE-산화 sharpening 이 완료된 후의 Si 구조물의 모양들을 어레이 및 확대 상태로 보인 일례들이다. 최종적으로 공정 완료된 Si-tip FEA의 모양을 그림 3에 나타내었는데, 게이트 aperture의 직경은 약  $1.6\mu\text{m}$ , tip의 높이와 직경은 각각 약  $0.6\mu\text{m}$ 와  $500\text{\AA}$  이하로 나타났다.



(a)



(b)

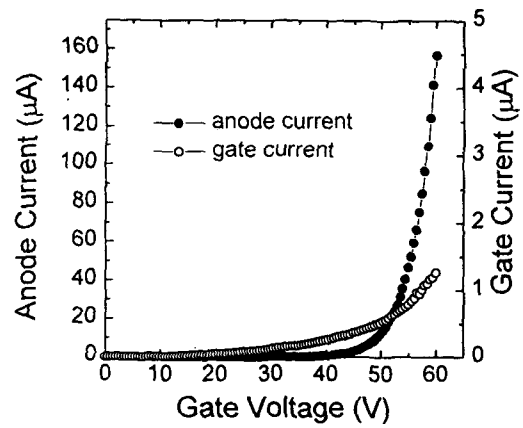
Fig. 3. Structures of the fabricated Si-tip FEA(a) and cross-sectional view of one emitter(b)

### 3. Si-tip FEA의 동작 특성

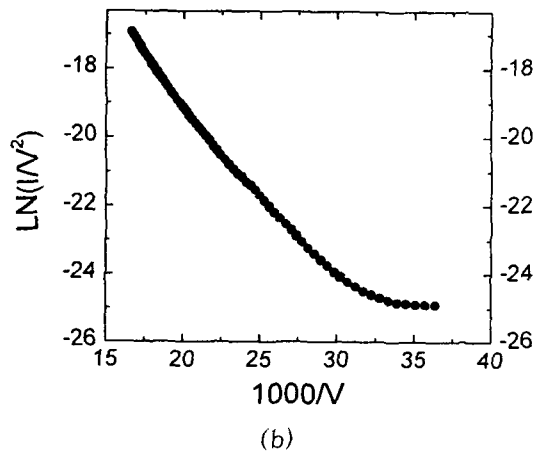
제조된 Si-tip FEA들에 대하여 컴퓨터와 연결된 Keithley 237 SMU-고진공 측정 장치를 이용하여  $4 \sim 6 \times 10^{-8}$  torr의 진공도에서 전계 방출과 관련한

제 특성들을 평가하여 보았다<sup>4)</sup>. 이때 tip의 끝 부분과 양극과의 거리는 스페이서를 사용하여 1mm로 고정하였다. 평가 이전에 소자의 안정화 과정을 거치는데, 이는 게이트 전압을 0~110V의 범위에서  $\Delta 1V$  간격으로 반복적으로 스위칭해 주거나, 혹은 3600개의 tip에 대해 초기 10~30 $\mu\text{A}$  정도의 방출 전류가 얻어지는 전압을 전류가 안정화될 때까지 2~3시간 동안 지속적으로 인가해주는 방식을 취하였다. 후자의 경우, 전자 방출에 의해 tip의 표면이 세정 되면서 초기에는 전류가 증가하다가 일정 시간이 지나면 안정화되는 성향을 보이는데, 이는 일반적인 현상으로 보고되고 있다<sup>5)</sup>.

그림 4(a)는 안정화 과정을 거친 소자에 대해 양극 전압( $V_a$ )을 300V로 고정시킨 상태에서 게이트



(a)

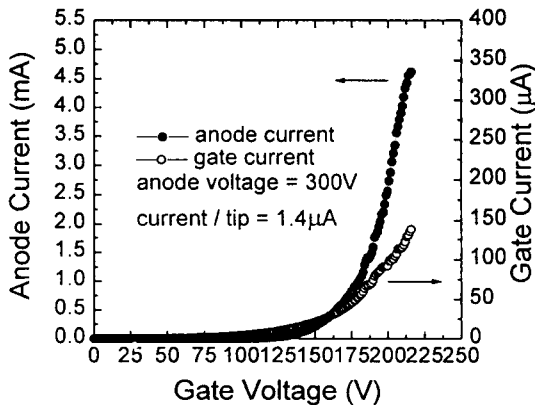


(b)

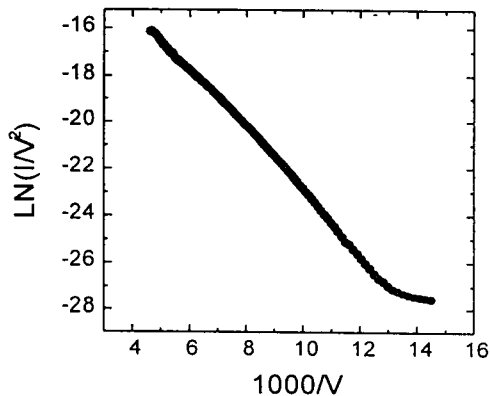
Fig. 4. (a)I-V curve and (b)Fowler-Nordheim plot of Si-tip FEA in the  $V_g$  range of 0~60V

전압( $V_g$ )을 0V에서 60V까지 증가시키면서 방출 전류( $I_a$ )와 게이트 누설 전류의 변화를 측정된 결과이며, 그림 4(b)는 이에 대한 Fowler-Nordheim plot(F-N plot)에 해당한다. F-N plot으로부터 동작개시 전압은 약 30V 정도로 나타났으며, 이의 직선성으로부터 전계 방출에 의한 전류임을 확인할 수 있다.

아울러 그림 5에 보인 바와 같이 게이트 전압을 220V에 이르기까지 증가시켜 본 결과 3600개의 tip에 대해 5mA의 전류가 얻어졌으며, 단일 tip으로부터 얻을 수 있는 최대 전류는 약  $1.4\mu\text{A}/\text{tip}$ 으로 환산되었다. 5mA의 방출 전류  $I_a$ 에 대해 게이트 누설 전류  $I_g$ 는  $150\mu\text{A}$ 로 이는  $I_a/I_g \sim 3.3\%$ 에 해당한다. 이 이상의 게이트 전압, 즉 방출 전류 증가



(a)



(b)

Fig. 5. (a)I-V curve and (b)Fowler-Nordheim plot of Si-tip FEA in the  $V_g$  range of 0~220V

시에는 게이트 절연막의 손상 및 tip과 게이트 전극간의 아크로 추정되는 원인 등에 의해 게이트 누설 전류가 급격히 증가함으로써 소자가 파괴되는 양상을 보였다.

히스테리시스를 평가하기 위하여  $V_g$ 를 0V에서 60V까지  $\Delta 1\text{V}$  간격으로 증가시켰다가(forward bias) 다시 감소시키면서(reverse bias)  $I_a$ 의 변화량을 측정하여 보았다. 이러한 히스테리시스 곡선을 그림 6에 보였는데, 순방향 전압 인가시  $I_a$ 가 약간 증가하는 것으로 관찰되었으나, 전체적인 curve 모양을 볼 때 전기장에 의한 히스테리시스는 무시될 정도로 작았다.

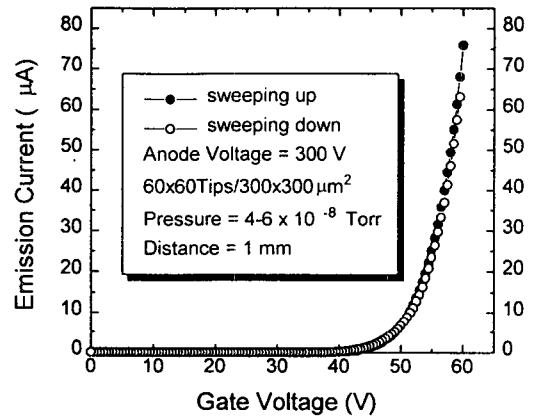
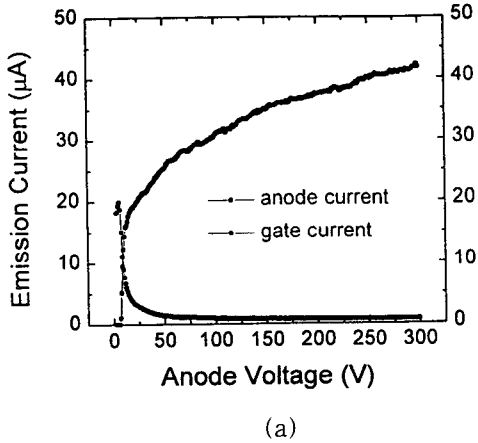


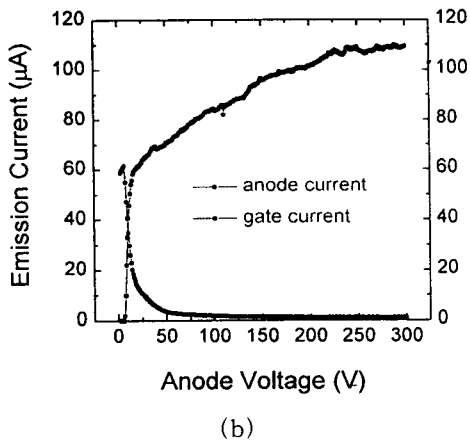
Fig. 6. The hysteresis curve of Si-tip FEA

$V_g$ 를 55V와 60V로 일정하게 유지한 상태에서  $V_a$ 의 변화에 따른  $I_g$ 와  $I_a$ 의 변화를 측정하여 보았다. 그림 7(a)는  $V_g=55\text{V}$ 인 경우로  $V_a$ 가 0V일 때에는 tip으로부터 방출 전류들이 게이트 쪽으로 흘렀으나,  $V_a$ 가 증가하면서  $I_g$ 가 지속적으로 감소함과 동시에  $I_a$ 가 급격히 증가하는 것으로 나타났으며,  $V_a=50\text{V}$  이상에서는 대부분의 전류가 양극 쪽으로 집중됨을 볼 수 있다.  $V_g=60\text{V}$ 로 고정된 경우에도 유사한 성향을 보였으며,  $I_g$ 의 peak치도 상대적으로 컸으며 이에 따라  $I_a$ 도 큰 값을 지님을 알 수 있었다. 이를 통하여  $V_g$ 에 비해  $V_a$ 가 작을 때는 tip으로부터 방출된 전자들의 상당수가 게이트 쪽으로 경로를 형성하나  $V_a$ 가 임의의 값 이상으로 증가함에 따라 전자들이 양극 쪽을 지향하는 것을 알 수 있으며, 본 실험의 경우  $V_a \approx V_g$ 만 만족하여도 게

이트 쪽으로의 전자 흐름이 무시될 정도로 작아지는 것으로 나타났다. 이와 같이  $V_a < V_g$  일 경우  $I_a$ 에 비해  $I_g$ 가 상대적으로 우세하나  $V_a \approx V_g$ 가 되면서  $I_a$ 가 급격히 증가하는 현상은 앞서 보고된 바 있다<sup>6,7)</sup>.



(a)



(b)

Fig. 7. The change of anode and gate current as a function of applied anode voltage at (a)  $V_g=55V$  and (b)  $V_g=60V$

이와 같이  $V_g$ 를 매개변수로 한  $I_a-V_a$  특성 곡선은 그림 8에 보인 바와 같은 MOSFET 형의 특성 곡선을 형성하는데, 이는  $V_g$ 를 45V에서 60V의 범위 내에서 일정한 값으로 유지시키면서  $V_a$ 의 변화에 따른  $I_a$ 의 변화를 측정함으로써 선형 영역과 포화 영역이 명확히 구분됨을 볼 수 있다. 이때,  $I_a$ 가 낮은 영역에서는  $I_a$ 가  $V_a$ 에 지수적으로 비례하며 이때 전류에 제한을 주는 요인은 양극과 tip간의 공

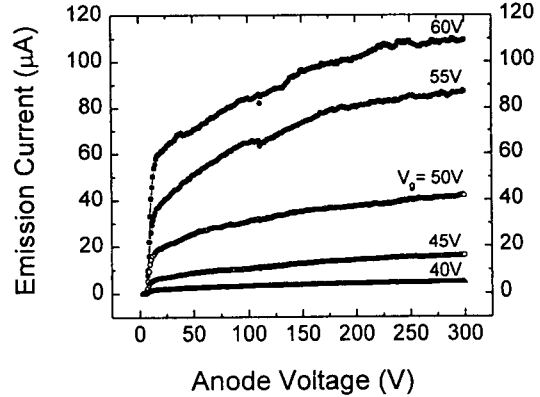


Fig. 8. MOSFET curves obtained from Si-tip FEA

간 전하 효과인 반면에,  $I_a$ 가 높은 영역에서는  $I_a$ 가 tip으로부터의 방출 전류에 의해 제한된다는 점이 앞서 보고된 바 있다<sup>5)</sup>.  $V_g$ 의 변화, 즉  $I_a$ 의 크기에 따른 11분 동안의 전류 변동 특성을 평가한 결과를 그림 9에 보였다. 방출 전류  $I_a$ 의 값이 증가할수록 전류 변동이 감소하는 성향을 보였다.  $I_a$ 가 증가할수록 전류 변동이 증가한다는 보고들이 있으나<sup>8,9)</sup>, 본 실험에서는 전류 변동을  $I_a / I_{average} [\%]$  향으로 나타낸 결과 전류 변동률이 전류치에 반비례하는 것으로 나타났다.

아울러, 전계 방출된 전자들에 의해 Indium Thin Oxide (ITO)상에 도포된 ZnO:Zn 형광체가 발광되는 과정을 관찰한 결과를 그림 10에 보였다.  $V_a=300V$ 일 때,  $V_g=42V$  정도에 이르면서부터 가시적인 발광이 관찰되었으며,  $V_g$ 에 비례하여 휘도가 증가하였고  $V_g=60V(I_a=82\mu A=23nA/\text{tip})$ 에 이르면 매우 밝은 광을 얻을 수 있었다. 단위 픽셀 내에서 전체적으로 균일한 광이 발생하는 점으로 미루어보아 각각의 에미터들로부터 비교적 균일한 양의 전류가 방출됨을 짐작할 수 있다.

Si-tip FEA의 파괴 현상을 알아보기 위하여  $V_g$ 를 130V로 하여 단위 tip 당  $0.1\mu A$ 에 상당하는 전류를 흐르도록 한 뒤 시간에 따른 전류 변화를 측정하였다. 그림 11에 보인 바와 같이 초기  $350\mu A$ 에 이르던 전류치가 약 1시간 이내에  $100\mu A$  이내로 감소하며, 이후로  $100\sim 50\mu A$ 에 이르는 전류를 6시간 이상 지속적으로 방출하고 있는 것으로 나타

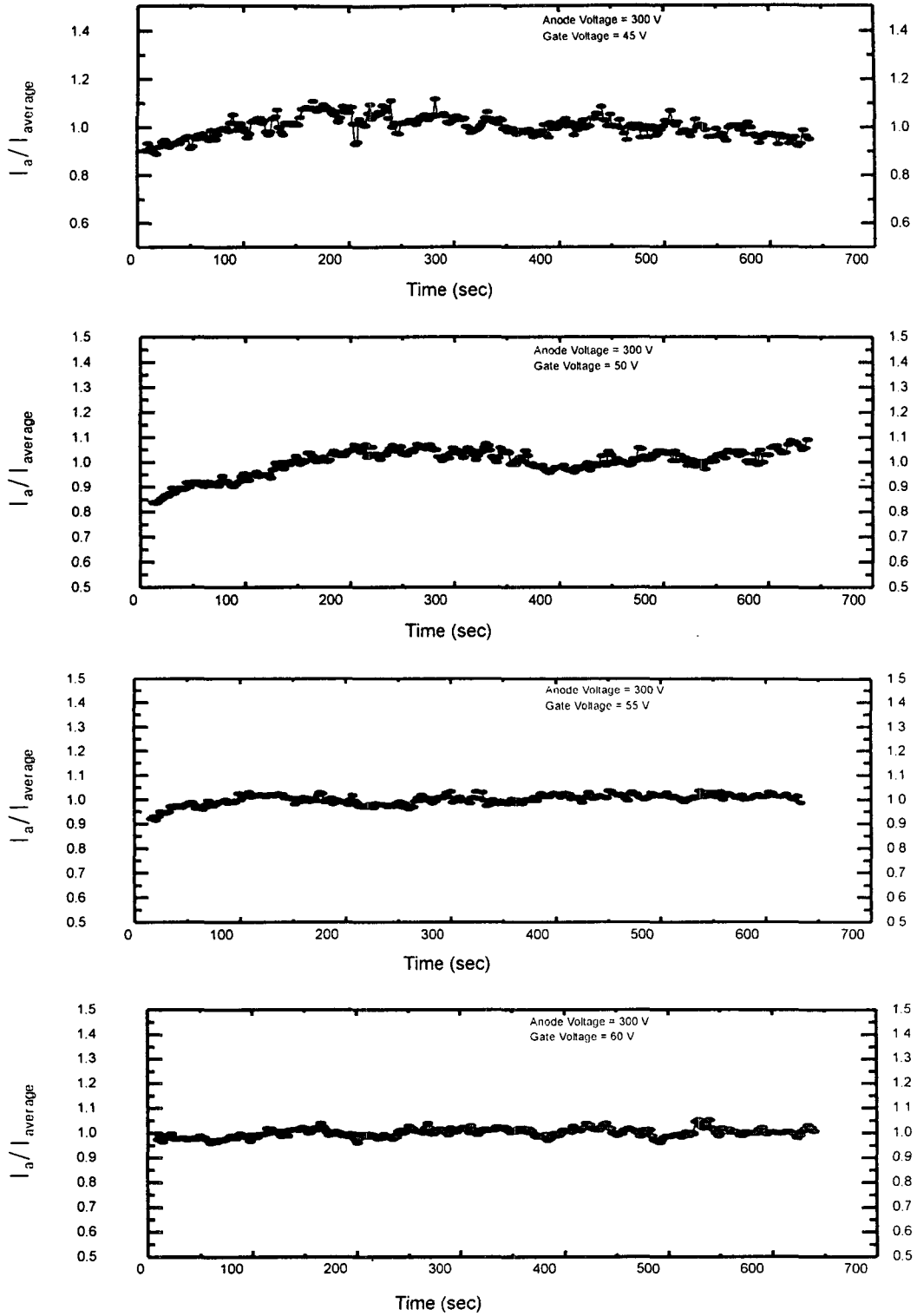


Fig. 9. Fluctuation of  $I_a$  according to  $V_g$  variation ( $V_a = 300\text{V}$ )

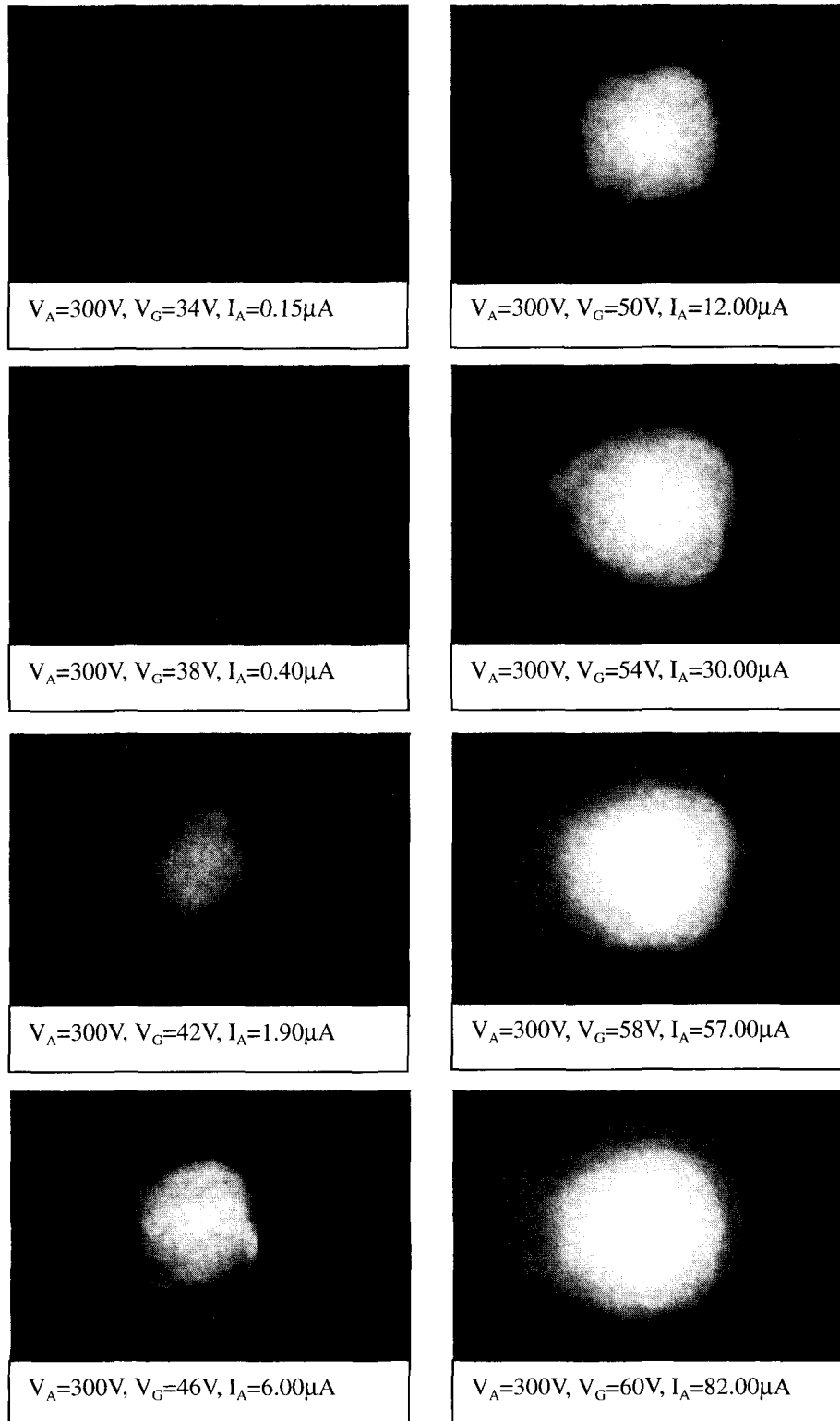


Fig. 10. The light emission of ZnO:Zn phosphors excited by electrons emitted from the fabricated Si-tip FEA

났다. 이와 같이 시간이 증가함에 따라 방출 전류의 값이 1/3~1/4 이하로 감소하는 현상은 앞서 보고된 바 있다<sup>10)</sup>.

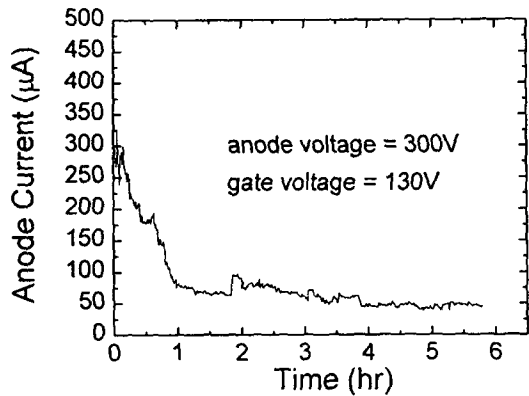


Fig. 11. Dependence of emission current upon operating time for over-emission current operating mode

이와 같이 과도한 전류 방출에 의해 손상된 Si-tip 에미터들을 SEM을 통하여 관찰한 결과 그림 12에 나타난 모양들을 보였는데, 대부분의 경우 게이트 홀이 파괴·확장되고 이의 내부에 tip이 소멸된 것으로 보아 tip의 Joule 열에 의한 tip과 게이트 전극간의 아크가 주 원인으로 추측된다. Si-tip의 경우, 방출 전류가 1.5µA 이상이 되면 tip이 용융되면서 구조적으로 파괴되고 이에 따라 방출 전류가 불안정하게 된다는 실험 결과는 앞서 보고된 바 있다<sup>10)</sup>. 아울러 이러한 경우 게이트 전극이 게이트 절연막으로부터 분리된 형상을 보였으며, 게이트 홀의 파괴가 심하지 않은 경우에도 tip의 끝 부분이 상당히 무디어진 것을 알 수 있다. 방출 전류가 시간 경과에 따라 점차적으로 감소하는 점으로 미루어보아 시간에 따라 아크가 일어나는 영역이 점점 증가하고, 이러한 아크 과정을 거치면서도 일부 tip의 형상을 유지하고 있는 영역으로부터

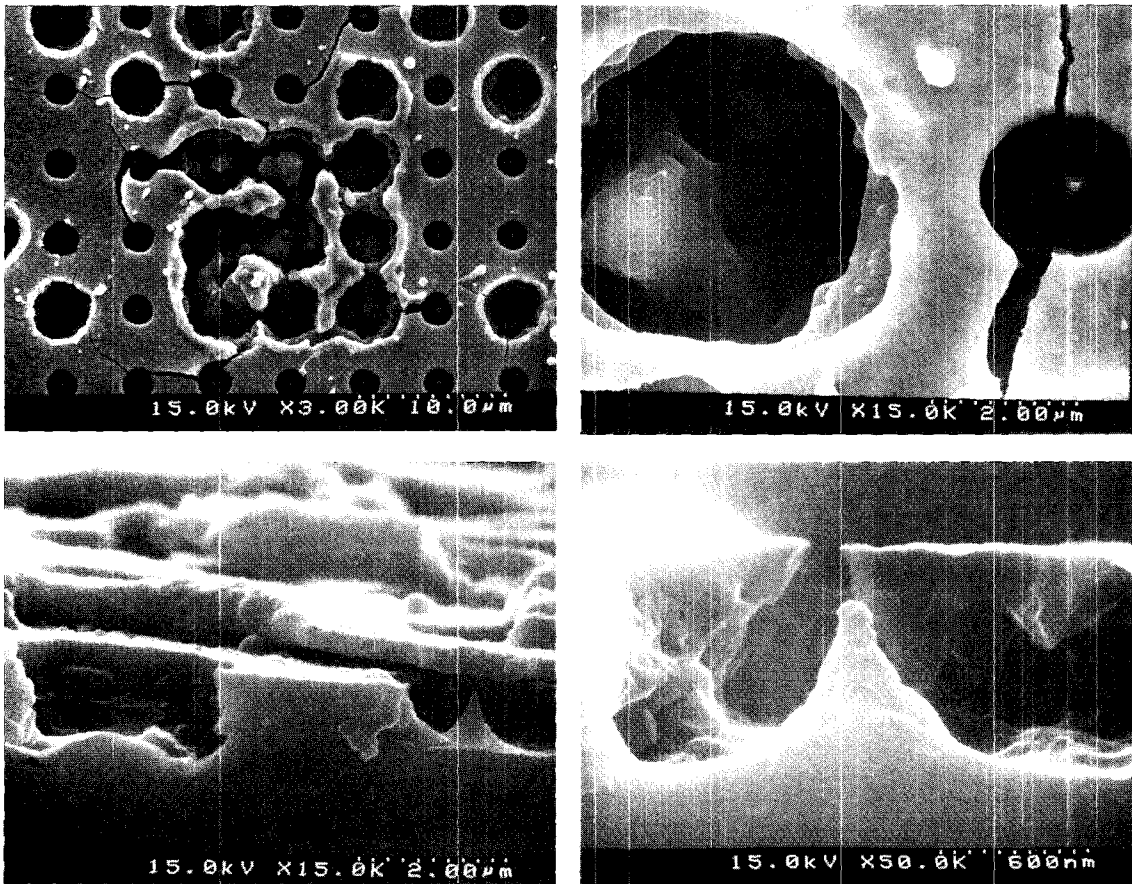


Fig. 12. Failure mode of Si-tip FEA



일부 전자 방출이 지속적으로 일어나고 있거나 그 정도가 점차적으로 감소해 감을 추측할 수 있다.

## 1. 결 론

Lift-off 공정을 이용하여 Si-tip FEA를 제조하고 그 동작 특성들을 실험적으로 평가한 결과 다음과 같은 점들이 확인되었다.

1) Si-tip의 전계 방출 전류는 규격에 따라 다소 차이는 있을지라도 약  $1.5\mu\text{A}/\text{tip}$  정도로 제한되며, 이 이상을 초과할 경우 게이트 절연막의 손상, tip의 melting 및 게이트 전극과의 arcing 등에 의해 방출 전류가 감소하며 불안정하게 된다.

2) 히스테리시스 현상은 무시될 수 있을 정도로 작은 편이며,  $V_a < V_g$  일 경우 방출 전류는 게이트 전극 쪽으로 경로를 형성하나  $V_a \sim V_g$  를 임계점으로 하여 양극 쪽을 지향하게 된다.

3) Si-tip FEA를 사용하여 선형 영역과 포화 영역으로 구분되는 MOSFET 형 특성 곡선을 얻을 수 있으며, 이는 고속-능동 소자로서의 응용 가능성을 제시한다.

4) FED에 응용될 수 있는 수준의 밝기는, FEA의 규격 및 형광체의 성능에도 의존하겠지만,  $10 \sim 20\text{nA}/\text{tip}$  정도의 전류로부터 충분히 얻을 수 있다.

5) 전류 변동은  $I/I_{\text{average}}[\%]$ 로 표기할 경우 방출 전류치에 비례하는 것으로 나타났으나 이러한 현상에 대한 메카니즘을 규명하기 위해서는 보완 연구가 필요하다.

6)  $1.5\mu\text{A}/\text{tip}$  이상의 전류를 도출할 때 tip과 게이트 전극의 손상에 의해 수 시간 내에 방출 전류가 20% 이하로 감소되는 것으로 나타났으며, 이의 원인은 게이트 절연막의 손상, tip의 용융 및 게이트 전극과의 아크 등으로 보여진다.

다음 단계로 유사 다이아몬드(diamond-like carbon : DLC), 금속 및 금속 실리사이드 막 등의 코팅을 통한 전계 방출 성능 향상과 관련한 연구가 진행될 예정이다.

## 참고 문헌

1. 박홍우, 주병권, 정재훈, 이윤희, 박정호, 오명

환, "몰리브데넘이 코팅된 다이오드형 실리콘 전계방출소자의 제작 및 전기적인 특성평가," 전기학회논문지, 46(4) 636 (1997)

2. 주병권, 고창기, 이윤희, 정재훈, 이병호, 김철주, 오명환, "휘스커형 단면을 갖는 실리콘 냉전자 방출원의 제조 및 성능 향상," 전기학회논문지, 46(6) 985 (1997)

3. 주병권, 맹인영, 이윤희, 전덕영, 오명환, "크롬이 코팅된 실리콘 팁 어레이의 전계 방출 특성," 전기학회논문지, 46권(10) 1557 (1997)

4. B.K.Ju, *Characterization of field emitter devices*, private communication (1996)

5. K.Betsui, "Fabrication and characteristics of Si field emitter arrays," Proc. IVMC'91, pp.26-29 (1991)

6. J.Itoh, S.Kanemaru, N.Nichimura, T.Watanabe, S.Itoh, "Lateral triode with metal-film-edge emitter array," Proc. IVMC'91, pp.158-159 (1991)

7. H.H.Busta, B.J.Zimmerman, J.E.Pogemiller, M.C.Tringides, C.A.Spindt, "Temperature dependence of I-V characteristics of vacuum triodes from 24 to 300K," J.Vac. Sci. Technol, B11(2) 400 (1993)

8. J.Ishikawa, H.Tsuji, Y.Gotoh, T.Sasaki, Kaneko, M.Nagao, and K.Inoue, "Influence of cathode material on emission characteristics of field emitter for microelectronics devices," B11(2) 403 (1993)

9. D.Liu, R.B.Marcus, "Characterization of silicon field emission microtriodes," J.Vac. Sci. Technol., B12(2) 672 (1994)

10. H.S.Uh, J.D.Lee, "New fabrication method of silicon field emitter arrays using thermal oxidation," J.Vac. Sci. Technol., B13(2) 456 (1995)

11. D.Peters, I.Paulus, and D.Stephani, "Oxidized amorphous silicon as gate insulator for silicon tips," J.Vac. Sci. Technol., B12(2) 652 (1994)