

# EMI영향을 고려한 PCB 해석 및 설계 기법

심 환 우

한국전자통신연구원

## I. 서 론

저주파 신호가 중심이 되던 초기의 PCB 제작에는 주로 전기적인 연결을 구현하는 것이 주요한 목적이었으나 부품의 집적도가 높아지고 고주파 신호의 사용이 증가되면서 전자기적인 결합이나 복사 전자파의 증가로 인한 전자파 장애 문제가 중요한 요소로 등장하였다. 제품의 경박단소화와 대량생산에 대한 요구등으로 인하여 PCB 설계 제작에서 CAD의 활용도 일반화되어 있는 상태이다. 또한, 최근에는 전자 제품의 다양화로 인하여 PCB의 소량/다품목화 되는 특징을 나타내고 있다. 상기한 PCB의 특성으로 인하여 제품 개발시에 경쟁력 확보를 위해서는 설계 단계에서 CAD데이터로부터 예상되는 각종 EMI 문제를 예측하고 이에 대한 대책기술을 적용하여 개발기간을 단축시키고 가격 경쟁력을 확보해야 한다.

현재, 제품의 개발단계에서부터 EMI를 해석할 수 있도록 지원하는 도구들이 개발되어 있으며 보급이 급격히 증가되고 있다. 그러나, EMI문제는 여러 가지 현상이 복합적으로 나타나는 것으로써 모든 영향을 파악하는 것이 현실적으로 불가능하며 도구를 활용한 해석이나 적용만으로 대책을 강구할 수 없다. PCB에서 발생하는 각종 EMI문제에 효과적으로 대응하기 위해서는 각종 문제를 발생시키는 요소를 파악하고 이를 물리적으로 분석하고, 원인을 제거하기 위한 기본적인 원리를 이해하는 것에서 출발해야 한다.

본 글에서는 PCB상에서 주로 발생 가능한 EMI 문제의 발생원인을 분석하고 이를 방지하기 위해

서 필요한 설계 방법과 이를 해석할 때 사용되는 기법등을 간단히 살펴보도록 한다.

## II. 본 론

### 2-1 EMI현상의 발생원리

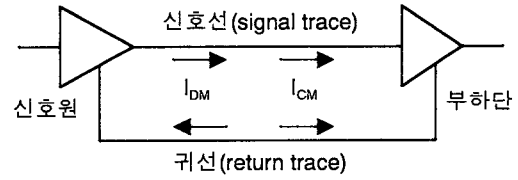
EMI 현상이 나타나기 위해서는 반드시 신호발생원, 전달경로, 신호를 받는 수신단 등 3가지 요소가 필요하다. 이들 중 어느 한가지만이라도 제거할 수 있으면 EMI 문제는 해결할 수 있다. 신호발생원이나 수신단은 회로 설계자들이 특정한 기능을 구현하기 위해서 지정한 것으로 PCB 레이아웃 설계자들의 작업 범위를 벗어난 것이다. 따라서 신호의 전달경로에 대한 특성을 최적화 시키는 작업이 PCB설계자들의 몫이라고 볼 수 있다.

일반적으로 EMI 문제를 해석하기 위해서 고려해야할 요소로는 다음의 다섯가지를 꼽을 수 있다.

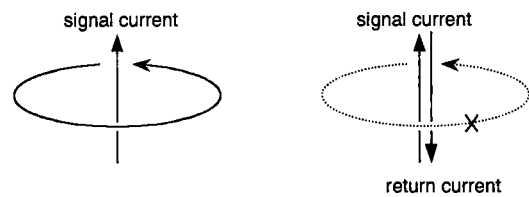
- 주파수(Frequency) : 신호의 주파수 대역
- 강도(Amplitude) : 소스원에 흐르는 전류량이나 여기되는 전압의 크기
- 시간(Time) : 신호의 시간적인 변화
- 임피던스(Impedance) : 신호 발생원, 수신단 또는 전달 매체의 임피던스
- 크기(Dimension) : 구현되는 보드의 물리적인 크기나 선로의 길이

이러한 요소들에 의하여 특성이 결정되는 EMI를 분석하기 위하여 PCB상에서 가장 문제가 되는 자속상쇄(flux cancellation)에 대해 살펴보기로 한다.

[그림 1]의 회로와 같이 모든 전기회로는 신호를 발생시키는 신호원, 신호가 전달되는 부하단, 신호 전류를 전달하는 신호선과 전달된 전류가 되 돌아오는 귀선(return path)등으로 구성된 폐루프를 이루고 있다. 이러한 폐루프는 루프의 형태와 흐르는 전류의 크기에 따라서 결정되는 자속을 발생시킨다. 이러한 자속은 이웃한 선로들간의 신호를 결합시켜서 누화현상을 일으키는 원인일 뿐만 아니라, 외부로 복사되는 전자파의 강도를 증가시키는 원인이 된다. 자속을 감소시키는 가장 기본적인 방법은 [그림 2]와 같이 반대 방향으로 흐르는 전류를 바로 이웃에 배치시켜서 자속을 상쇄시키는 것이다.

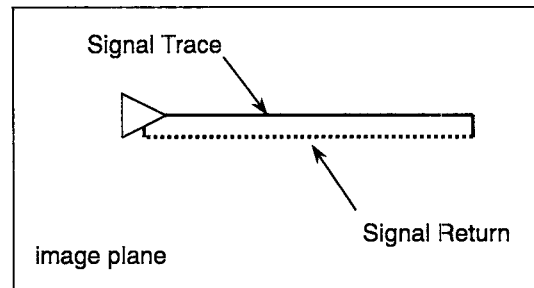


[그림 1] 폐 루프 회로의 예



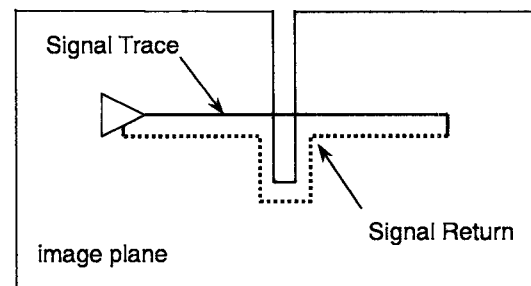
[그림 2] 자속 상쇄

귀선에는 신호전류와 위상이 반대되는 전류가 흐르므로 귀선이 지나는 구간의 저항을 최소화시키고 귀로(return path)를 신호선에 근접시켜서 발생하는 자속을 상쇄시켜야 하며 이를 자속상쇄라 한다. 자속상쇄를 이루는 가장 간단한 방법은 영상 평면을 이용하는 것이다.



(a) 불연속이 없는 영상 평면의 귀전류 경로

복사 전자파의 강도에 대한 분석을 위해 차동모드(DM : Differential Mode)와 동차모드(CM : Common Mode) 전류에 의한 복사파의 강도를 살펴보기로 한다. 폐루프에 흐르는 전류는 신호선과 귀선 전류의 위상차를 기준으로 차동모드와 동차모드로 구분할 수 있다. 차동모드 전류는 두 전류의 위상이 반대되는 성분으로 복사파의 강도에 미치는 영향은 크지 않으며, 최대 복사파의 강도는 공동모드 전류에 의해 결정된다<sup>[1]</sup>. 따라서 복사파의 강도를 줄이기 위해서는 공동모드 전류를 최소화 시켜야 한다.



(b) 불연속 영상 평면의 귀전류 경로

[그림 3] 신호전류의 경로와 귀전류의 경로

귀선에 유기되는 전류는 신호선의 전류와 크기가 같고 위상만 반대인 경우가 가장 이상적인 경우로 볼 수 있다. 따라서 귀선의 전류 흐름을 방해하는 모든 성분은 결과적으로 공동모드 전류를 발생시키는 원인이 된다.

[그림 3]은 이상적인 귀선의 형태와 잘못된 귀선의 형태를 나타내고 있다. [그림 3](a)의 경우에

는 불연속이 없는 영상평면을 이용한 경우이다. 영상평면에 유기되는 전류는 신호선과 최단거리에 귀전류를 형성하고 전류 흐름에 방해받지 않으므로 최적의 자속 상쇄효과를 기대할 수 있다. [그림 3](b)의 경우에는 귀선의 전류가 불연속적인 경로 특성으로 인하여 자속 상쇄가 나타나지 않는 경우이다. [그림 3](b)의 경우에는 복사 EMI의 문제를 야기시킬 뿐만 아니라 귀로의 추가적인 인덕턴스 성분으로 인하여 전달신호의 파형을 왜곡시키는 원인이 된다. 영상평면을 설치하는 것만으로 EMI 문제를 해결할 수 있는 것은 아니며, 이를 활용할 때에는 세심한 주의가 필요하다. 이와 관련된 내용은 다음 절에서 다루기로 한다.

## 2-2 다층 기판의 PCB 레이어 설계

### 2-2-1 단층, 양면 기판

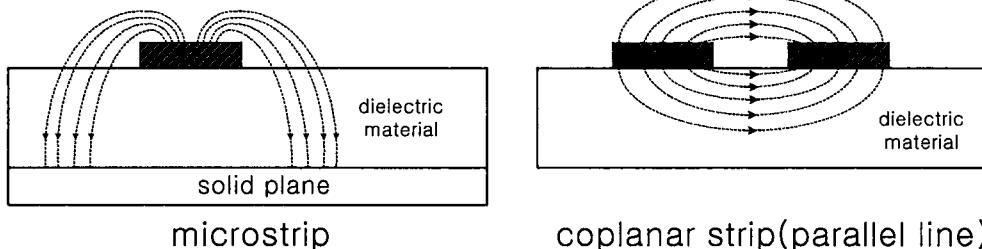
단층 기판이나 양면 기판을 이용할 경우에는 귀전류를 흐르게 하기 위한 전용 도전(solid plane)층이 없다. 따라서 클럭신호나 중요한 디지털 신호가 흐르는 선로는 반드시 근접한 위치에 귀전류가 흐르는 접지선을 따로 지정해 주어야 한다. 따라서 귀전류의 경로를 형성해 주기 위한 guard 선로를 설치해주는 것이 일반적이다. [그림 4]에서와 같이 도전층이 없는 경우에는 전기장의 집중이 일어나지 않으므로 자속상쇄가 어렵다. 또한 얻을 수 있

는 선로의 임피던스에도 한계가 있으며 양면기판 등에서 얻을 수 있는 임피던스는 110~130 Ω 정도로써 50 Ω 부하가 일반적인 회로에서 적용하는데에는 한계가 있다. 사용도는 클럭 주파수가 10 MHz 이상인 경우에는 양면기판 사용시 심각한 문제를 야기시킬 수 있다. 또한 기능적인 면에서 양면기판을 이용하여 구현이 된 경우에도 자속 상쇄에 한계가 있으며 복사 EMI를 막기 위해서 별도의 차폐장치를 필요로 한다. 이를 위해서는 별도의 제작비로 소요된다. 따라서 클럭 주파수가 높을 경우에는 다층기판을 이용하는 것이 양면기판으로 제작하는 경우보다 더 경제적인 것으로 알려져 있다<sup>[2]</sup>.

### 2-2-2 다층 기판의 적층(stackup)

PCB 설계에서 EMI를 줄이기 위해서는 도전층(solid plane)을 전원면과 접지면으로 이용하는 다층 기판을 사용해야 한다. 이는 [그림 4]에서와 같이 전자기장이 집중되어 영상평면 효과를 이용하여 자속 상쇄효과를 이용할 수 있기 때문이다.

도전층을 이용할 경우에는 전원층과 접지층을 독립적으로 구성해야 한다. 또한 고속 신호가 흐르는 신호층을 도전층(특히 접지층)에 가깝게 설정해야 한다. 여러 개의 신호층들이 집중될 경우에는 신호 선로간의 결합량이 증가한다. 이러한 결합은 선로간의 누화량을 증가시키고 회로의 오동작을 불러 일으키는 원인이 된다. 이를 방지하기 위하여

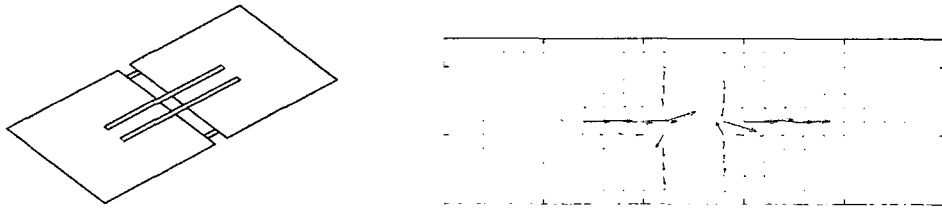


[그림 4] 선로의 전기장 분포

〈표 1〉 다층 기판의 적층 순서

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
4층기판	S	G	P	S										
6층기판	S	S	G	P	S	S								
8층기판	S	G	P	S	S	G	P	S						
	S	G	S	P	G	S	P	S						
10층기판	S	S	G	P	S	S	G	P	S	S				
12층기판	S	S	G	P	S	G	P	S	G	P	S	S		
	S	G	P	S	S	G	P	S	S	G	P	S		
14층기판	S	S	G	P	S	S	G	P	S	S	G	P	S	S

S : Signal Layer, G : Ground Layer, P : Power Layer



[그림 5] 접지면의 불연속에 의한 귀전류의 경로 증가

4층 이상의 다층 기판을 배치할 경우에는, 모든 전도층들 사이에는 2층 이하의 신호층만이 오도록 층을 배치한다.

이러한 특성을 고려하여 4층이상의 다층기판을 이용한 PCB의 적층은 〈표 1〉과 같은 형태를 가지도록 배치한다.

### 2-2-3 도전층(solid plane)의 조건

영상평면을 효과적으로 이용하기 위해서 도전층은 전원면과 접지면 전용으로 활용해야 한다. 신호선이나 전원선 등의 선로를 별도로 도전층내에 설치할 경우에는 도체면을 단절시켜서 귀전류가 흐르는 경로를 최단거리로 확보할 수 없기 때문이다.

귀전류의 경로를 최단거리로 확보하지 못할 경우에는 자속 상쇄효과가 나타나지 않고 이로 인하여 공통모드 전류가 발생하여 복사파의 강도를 증가시킨다. 버스와 같은 여러 개의 선로로 구성된 선로를 via를 통하여 연결될 경우에는 나란한 via hole들에 의해서 귀전류 경로가 방해 받기도 한다. 이를 'swiss cheese synthrome'이라고 하며 이는 도전층을 절단한 것과 같은 효과를 나타내어 귀전류 경로의 증가를 가져온다.

### 2-3 고속 신호선로의 라우팅

오실레이터와 연결된 선로, 버퍼 등으로 구성된 클럭 신호는 기판에서 가장 큰 고주파 신호를 포

함하고 있으며, 복사 전자파를 방사시키는 소스원이다. 클럭 신호는 짧은 천이시간(rising/falling time)으로 인하여 부정합이나 지연에 의한 파형의 변화가 가장 두드러지게 나타나는 선로이기도 하다. 따라서 클럭신호는 다른 선로의 레이아웃에 앞서서 EMI를 방지하기 위하여 여러가지 조건을 고려하여 수동적으로 설계한다. 클럭신호에 대한 레이아웃이 완성된 후에는 일반적인 자동화된 레이아웃도구를 이용하여 나머지 선로를 디자인한다. 본 절에서는 클럭신호의 배선에 필요한 고려사항을 살펴보도록 한다.

### 2-3-1 부품의 위치선정

클럭신호를 발생시키거나 받는 부품은 PCB의 가운데 부분에 배치하고 가장자리를 피한다. 또한 빈번한 천이신호가 발생하는 I/O 데이터 선로들로부터 일정한 거리를 두어서 배치한다. 클럭 신호는 종단을 개방시키지 않도록 주의해야 한다. 개방된 선로는 모노폴 안테나와 같은 역할을 하게 되어 복사파를 발생시키는 원인이 된다. 적절한 부하로 종단되지 않은 클럭 선로는 복사파뿐만 아니라 신호의 왜곡을 일으켜서 파형의 품질을 떨어뜨리는 원인이 되기도 한다. 따라서 모든 클럭신호는 종단의 부하를 연결할 수 있도록 공간을 확보하여야 한다.

클럭신호 발생기는 별도의 소켓을 사용하지 않고 바로 기판에 실장하도록 한다. 리드선에 의한 인덕턴스 성분은 ground bounce를 통하여 회로를 불안정하게 하고, 공통모드 전류를 발생시켜서 복사파를 증가시키는 원인이다. 따라서 오실레이터 등은 표면 실장형 패키지를 활용한다.

### 2-3-2 선로의 길이

고주파 신호의 선로 설계에 있어서 항상 적용될

수 있는 규칙은 선로 길이를 최소화하는 것이다. 선로가 길수록 복사파 발생과 파형왜곡의 가능성이 그만큼 증가하며, 신호의 지연도 증가한다.

전류는 선로를 통하여 유한한 속도로 전달되므로 전기적인 길이는 전달속도를 이용하여 표현할 수 있다. 일반적으로 전기적으로 짧다고 볼 수 있는 최대 선로 길이는 식 (1)과 같이 주어진다.

$$L_{\max} = \frac{t_r}{2t_{pd}} \quad (1)$$

$t_{pd}$ 는 전파속도를 나타내며,  $L_{\max}$ 는 발생원에서 수신단까지의 거리를 왕복하는데 걸리는 시간과 클럭신호의 상승시간과 일치하는 경우의 거리를 나타낸다.

식 (1)에 주어진 거리보다 짧은 선로의 경우에는 일반적인 EMI문제를 위한 조치를 필요로 하지 않는다. 그러나 이를 넘어서는 모든 클럭 선로는 신호 파형의 왜곡이 발생할 가능성이 있으며 전송 선로로 보아 설계해야 한다.

### 2-3-3 다층 레이어 간의 라우팅

다른 층간의 전기적인 연결을 위하여 필요한 via는 일반적으로 1-3nH의 인덕턴스 값을 가진다. via를 통과하는 수만큼의 기생적인 파라미터가 직렬로 연결되므로 신호의 왜곡을 가져오고 복사파를 증가시키는 원인이 된다. 빈번한 via의 사용은 귀전류의 경로를 적절히 형성시키는 못하는 문제를 동반한다. 이러한 원인으로 via의 사용은 최소한으로 자제해야 한다. 피할 수 없는 경우는 부품이 위치한 핀의 바로 근접한 위치에 via를 설치하여 귀전류의 경로를 확보하고 1층만을 이용하여 클럭 선로를 배치한다.

일반적으로 PCB설계자들이 실수하는 부분은 도층에 인접한 신호층을 통한 선로의 배치만으로

EMI문제를 극복할 수 있다는 것이다. 그러나 신호 선로는 2개 이상의 도전층을 통과하는 신호층에 via를 통해 연결할 경우 심각한 문제를 일으킬 수 있다. [그림 6](a)는 잘못된 클럭 선로의 배치 예를 나타낸다. 전도층에 인접한 신호층으로 클럭신호를 배치하였으나 귀전류의 경로 확보가 되지 않을 경우 귀전류에 의한 큰 공통모드 전류가 발생할 수 있다.

레이어 간의 연결로 인한 귀전류 경로의 확보는 접지 via를 이용하여 해결할 수 있다. [그림 6](b)는 접지 via를 이용하여 귀전류의 경로를 확보한 경우이다. 접지 via는 신호선로의 인접한 위치에 배치해야 한다.

#### 2-4 고속 디지털 신호의 SI해석

근래의 디지털 제품은 PCI, GTL, BTL 등 동작에 사용되는 신호가 100 MHz 이상의 고속신호를 사용한다. EMI 문제를 사전에 예방하기 위하여 상기한 여러가지 조건을 적용하여 레이아웃과 적층을 하더라도 고속신호의 디지털 회로는 신호의 파형을 구체적으로 예측하는 시뮬레이션이 필요하다.

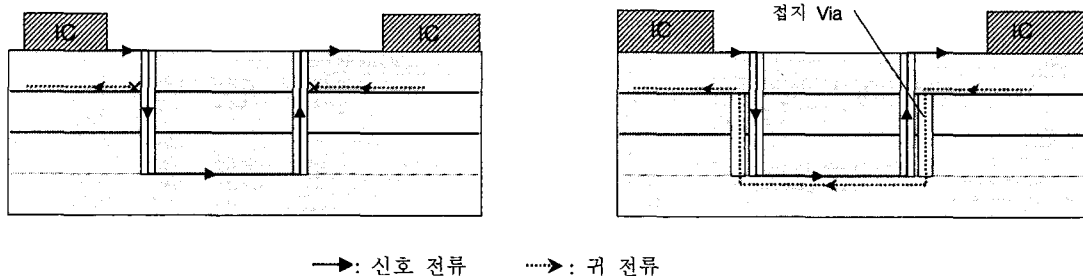
SI(Signal Integrity)는 고속 디지털 신호를 사용하는 경우, 드라이버 회로에서 리시버 회로로 전달된 파형을 시간영역에서 관찰한 펄스의 충실도를 나타낸다. PCB상의 SI해석을 위해서는 선로의 파

라미터, 불연속점의 등가모델, 패키징의 기생 파라미터등을 추출하고 드라이버 포트와 리시버 포트의 모델등이 필요하다. 이러한 파라미터와 모델들은 SPICE와 같은 일반적인 회로 시뮬레이터를 이용하여 시간영역의 파형을 해석한다. [그림 7]은 SI해석을 포함한 EMI해석기의 일반적인 구성형태를 나타낸다.

선로의 파라미터 추출에서는 전송선로의 경우에는 종단효과를 무시하고 2차원적인 해석을 통하여 RLGC 파라미터를 추출하고 이를 이용하여 다중전송선로로 모델링하는 것이 일반적이다. 드라이버 회로와 리시버 회로의 모델은 pull-up/pull-down시의 동적인 특성을 구체적으로 모델링하는 것이 중요하며, 부품의 패키징 효과도 동시에 고려하는 것이 중요하다. 이를 위해서 디지털 부품의 SI해석에 활용할 수 있도록 각 포트의 전기적인 특성을 모델링하는 표준에 대한 필요성이 나타났다.

부품의 설계에 활용된 SPCIE회로를 사용하는 것이 가장 이상적인 경우가 될 수 있으나 회로도 자체는 부품 제작회사의 지적 재산에 속하는 것으로 PCB설계자들이 활용할 수 없는 문제점이 있다.

이에 대한 대체 모델로써 intel사에서 제안된 IBIS모델이 사용되어지고 있으며 미국의 전자산업협회(IEA : Industrial Electronic Associate)를 중심으로 표준화 작업이 이루어지고 있다.



[그림 6] 다층 레이어 간의 라우팅

## 2-4-1 전달경로의 모델링

신호원에서 수신단으로 신호를 전달하는 모든 매개체를 포함하는 전달 경로를 Interconnect라고 한다. PCB상에 구현되는 interconnect는 대부분 전송선로로 모델링 가능한 선로와 굴곡부분, via 등의 불연속부분과 부품 리드선과 패키징 핀 등으로 구성된다.

전송선로는 Interconnect 모델링에서 가장 중요한 부분으로 선로간의 결합량을 표현할 수 있는 다중 전송선로의 모델링이 필요하다. 일반적으로 PCB 기판의 두께는 전기적으로 얇은 구조이다. [그림 4]에서와 같이 도전층이 활용될 경우, 대부분의 전자기장은 유전매질 내부에 집중되어지고 진행방향에 대해 수직인 성분이 대부분이므로 SI 해석에서는 선로를 Quasi-TEM 모드로 가정하여 모델링한다.

다중전송선로는 서로 결합된 선로이다. SPICE 등의 일반 회로 시뮬레이터는 결합전송선로를 해석할 수 없으므로 다중전송선로의 SI 해석을 위해서는 비결합 전송선로 변환 과정이 필요하다<sup>[3]</sup>. 다중 전송선로를 비결합 전송선로로 decoupling 시킬 경우에는 선로 자체의 모델링에 많은 노드들이 추가되므로 계산량을 증가시킬 수도 있다.

## 2-4-2 IBIS 모델

IBIS(I/O Buffer Information Specification) 모델은 회로의 시뮬레이션이나 직접적인 측정치로부터 I/O단의 입출력 특성을 V-I 특성곡선으로 표현하는 부품 모델링 방법이다. 부품 자체의 전기적인 특성뿐만 아니라 패키징 등으로 인한 기생적인 효과까지 모두를 포함하여 표현할 수 있다. 디바이스의 특성을 시뮬레이션에 의하지 않고 특성을 나타내는 표로부터 직접 값을 구하므로 계산속도가 빠르며 기생적인 효과를 동시에 고려하는 특성들로

인하여 시스템의 SI(Signal Integrity) 해석에 가장 효과적인 부품 모델로 알려져 있으며 다음과 같은 특성을 가진다.

- 제작사에서 제공하는 회로에 대한 데이터를 필요로 하지 않으며 디바이스 제작사로부터 공급받은 데이터가 없어도 디바이스 모델을 구성할 수 있다.

- 비선형성이나 구조적으로 나타나는 기생소자에 의한 효과등을 고려한 모델로 정확한 디바이스의 특성을 표현할 수 있다.

- 동작특성을 모델링(behavioral model)한 것이므로 시뮬레이션 속도가 구조적인 모델링(structural model) 데이터를 활용하는 SPICE 모델보다 25배정도 빠르며 발산으로 인한 문제점이 발생하지 않는다.

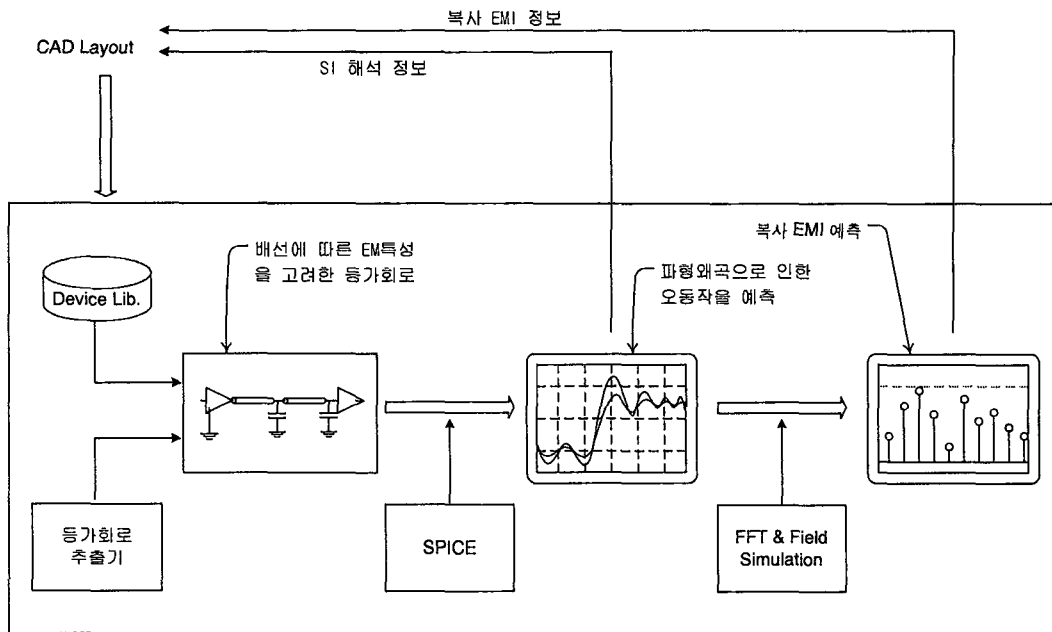
- 플랫폼에 무관하게 상용 EDA 도구와 호환성을 가진다.(cf. SPICE 모델은 버전에 따른 모델의 차이로 인한 문제점이 있음.)

- 측정된 특성 데이터나 시뮬레이션 결과로부터 쉽게 디바이스의 모델을 만들 수 있다.

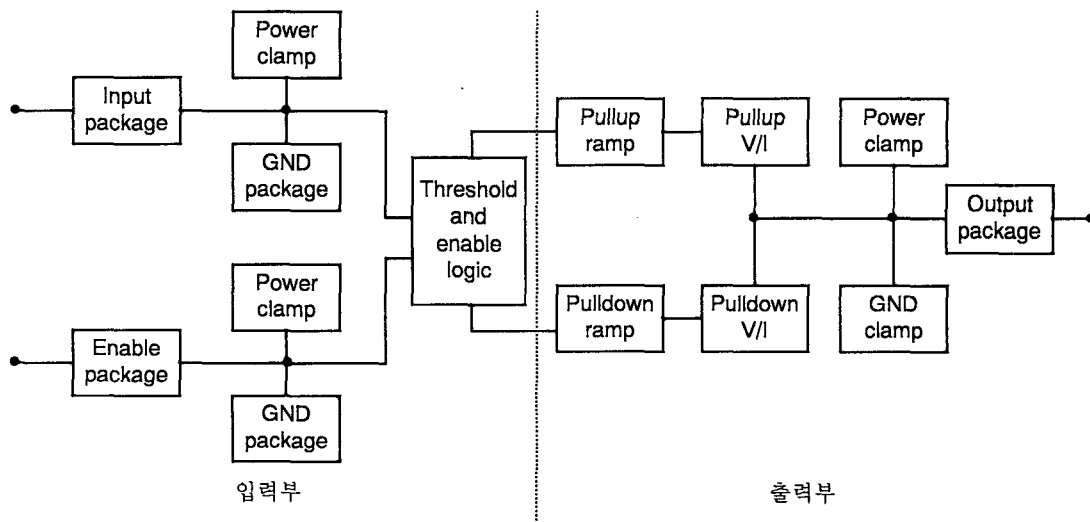
[그림 8]은 IBIS 모델에서 부품을 모델링하는 블록 다이어그램이다.

디바이스 모델은 측정 결과로부터 직접 생성하거나 SPICE 모델로부터 변환하여 얻을 수도 있다. IBIS 포맷의 모델은 시뮬레이션이나 실험을 통하여 얻은 데이터를 이용하여 텍스트 형태의 파일을 직접 작성하거나, 변환 프로그램을 이용하여 SPICE 모델에서 얻는 방법이다.

IBIS 모델에 대한 중요성이 대두됨에 따라서 이를 공급하는 반도체 제작사들의 수가 최근에 급속히 증가하고 있다. 그러나 모든 부품의 모델을 구하는 것은 현실적으로 불가능하므로 실험적인 데이터로부터 IBIS 모델을 구현하는 기술도 동시에 습득할 필요가 있다.



[그림 7] EMI 분석기의 일반적인 구성형태



[그림 8] IBIS모델의 블럭 다이어그램

### III. 결 론

고속 신호의 사용 증가로 인한 PCB의 EMI문제

는 최근에 많은 언급이 되고 있으며 여러가지 해석 도구들이 발표되어 활용되어지고 있다. 그러나 EMI현상은 복합적인 현상으로 어느 한가지만의



영향만으로 분석될 수 없는 경우가 많고 PCB설계 시에 문제가 되는 요소를 전반적으로 파악하는 것이 필요하다. 본 글에서는 PCB를 설계시에 가장 중요한 요소인 자속 상쇄를 중심으로 설계시의 고려사항을 살펴보고, SI해석에 필요한 기술과 부품의 모델에 대하여 살펴 보았다.

일반적으로 전자회로 설계에서는 시뮬레이션 도구를 이용한 작업에 의존하는 경우가 크다. EMI문제의 해석에는 소스원을 파악하고 이들의 경로를 파악하는 것이 중요하며 이러한 전반적인 이해가 있는 후에 시뮬레이션 도구를 효과적으로 활용할 수 있다. 다층 PCB의 경우에는 접지층의 구조에 대한 정확한 해석이 중요한 요소이다.

부품이 모듈화가 진행됨에 따라서 PCB설계시에는 각 부품 모듈의 포트에 대한 정확한 전기적인 모델이 필요하다. 이에 대한 모델로써 IBIS모델에 대하여 살펴 보았다. 특히 IBIS모델의 경우에는 앞으로 PCB설계나 반도체 패키징 설계시에 고려해야 할 표준화 모델로 발전할 가능성이 높으며 이에 대한 이해와 모델 작성 방법 및 이를 활용한 해석 기술의 확보에 대한 연구가 있어야 될 것으로 생각된다.

≡필자소개≡

심 환 우

1991년: 경북대학교 전자공학과(공학사)

1994년: 한국과학기술원 전기 및 전자공학과(공학석사)

1994년~현재: 한국전자통신연구원 전자파환경연구팀 연구원

[주 관심분야] 전자장 수치해석, EMI/EMC, EDA용 CAD, 부품 패키징 및 interconnect 해석



## 참 고 문 헌

- [1] Clayton Paul, A Comparison of Common-Mode and Differential-Mode Currents in Radiated Emissions, *IEEE Trans. On EMC*, vol. 31, pp. 189-193, May 1989.
- [2] Mark I. Montrose, EMC Suppression Concepts for Printed Circuit Boards-Routing Clock Traces, *IEEE EMC Society Newsletter Issue no. 173*, pp. 25-29, Fall 1998.
- [3] Antonije R. Djordjevic, etc..., *MULTILIN for Windows*, Arterch House Inc. 1996.
- [4] Syed B. Huq, Easy System Simulation With IBIS Device Models, *Electronic Design*, pp. 93-108, Dec. 1996.
- [5] Syed B. Huq, Understanding and Using IBIS models for Signal Integrity Analysis, URL : <http://www.eia.org/eig/ibis/hesdcccvr.htm>
- [6] Howard Johnson, Planning For Signal Integrity, *Electronic Design*, pp. 135-136, Dec. 1996.
- [7] Don White, *EMI Control in the Design of Printed Circuit Boards*, The *IEEE Press*, 1996.
- [8] Mark I. Montrose, *Printed Circuit Board Design for EMC Compliance*, *IEEE Press*, 1996.