

論文99-36D-5-7

# RF 적용을 위한 MOS 트랜지스터의 매크로 모델링 (Macro Modeling of MOS Transistors for RF Applications)

崔鎮榮 \*

(Jin-Young Choi)

## 요 약

SPICE MOS 모델에 외부 다이오드를 추가하는 방식을 사용하여, 기판 분포저항을 고려한 MOS 트랜지스터의 매크로 모델 형태를 제안하였다. 본 매크로 모델을 사용하여  $W=200\mu\text{m}$ ,  $L=0.8\mu\text{m}$ 의 NMOS 트랜지스터를 기준으로 시행한 s-파라미터의 시뮬레이션치를 s-파라미터 측정치에 fitting하는 과정을 통해 RF 영역에 적용 가능한 모델 세트를 확보하고 RF 영역에서의 기판 저항의 분포 효과를 분석하였다. s-파라미터로부터 환산된 AC 저항 및 커패시턴스와 같은 물리적 파라미터의 시뮬레이션치를 측정치와 비교함으로써 시뮬레이션된 s-파라미터의 신빙성을 확인하였다. 10GHz 이하의 주파수 영역에 대해서는 접합 다이오드가 포함되어 있는 기존 SPICE의 MOS 모델을 그대로 사용하고 게이트 노드와 기판 노드에 적절한 lumped 저항 한 개씩을 추가하는 간단한 형태의 매크로 모델을 사용하는 것이 적절하다고 판단된다.

## Abstract

We suggested a macro model for MOS transistors, which incorporates the distributed substrate resistance by using a method which utilizes external diodes on SPICE MOS model. By fitting the simulated s-parameters to the measures ones, we obtained a model set for the  $W=200\mu\text{m}$  and  $L=0.8\mu\text{m}$  NMOS transistor, and also analyzed the effects of distributed substrate resistance in the RF range. By comparing the physical parameters calculated from simulated s-parameters such as ac resistances and capacitances with the measured ones, we confirmed the validity of the simulation results. For the frequencies below 10GHz, it seems appropriate to use a simple macro model which utilizes the existing SPICE MOS model with junction diodes, after including one lumped resistor each for gate and substrate nodes.

## I. 서 론

RF IC 분야에서는 동작 속도의 우월성으로 인해

MESFET이 주된 소자로 사용되어 왔다. 하지만 실리콘 CMOS 기술의 발전에 따라 최근에는 MOS 트랜지스터를 이용한 RF IC 개발에 관한 연구도 활발히 진행되고 있다. MESFET을 사용하는 RF IC 설계에서는 MESFET 소자의 고주파 s-파라미터의 측정치에 기반을 두는 소신호 및 대신호 모델링<sup>[1]</sup>이 설계의 근간이 되어 왔다. 하지만 소스, 드레인, 게이트로 이루어지는 3 단자의 MESFET과 달리 MOS 트랜지스터는 추가의 기판 단자가 존재하는 4 단자 소자이므로 2-포트 s-파라미터의 측정치에 기반을 두는 모델링에 추가의 복잡성이 수반된다. 반면에 MOS 분야에

\* 正會員, 弘益大學校 電子電氣컴퓨터工學部  
(School of Electronics, Electrical and Computer Eng.,  
Hongik University)

※ 본 연구는 서울대학교 반도체공동연구소의 교육부  
반도체분야 학술연구조성비(과제번호 : ISRC 97-E-  
2308)에 의해 수행되었습니다.

接受日字:1998年12月2日, 수정완료일:1999年4月22日

서는 SPICE와 같은 회로 시뮬레이터의 오랜 사용에 힘입어 소자의 기본 물리적 파라미터에 기반을 두는 물리적 모델링 분야의 발전이 지속되어 왔으며 저주파 영역에서의 이러한 모델링에 의존하는 회로 시뮬레이션의 정확성에 대한 입증이 어느 정도 되어있다고 할 수 있다. 하지만 RF 영역의 시뮬레이션에 대한 정확도는 아직 증명되지 않은 상황이며, 최근에는 기판 저항의 고려가 s-파라미터의 예측에 매우 중요하다는 주장이 제기되고 있다<sup>[2,3]</sup>.

본 논문에서는 게이트 저항과 기판 저항을 고려한 MOS 트랜지스터의 적절한 매크로 모델링을 통해 기판 저항의 효과 및 기판 저항의 분포 효과를 분석하고 RF IC 설계에 기존 회로 시뮬레이터의 적용 가능성을 검토함으로써 CMOS RF IC 회로 시뮬레이션에 관한 방법론을 제시하고자 한다.

## II. 매크로 모델링

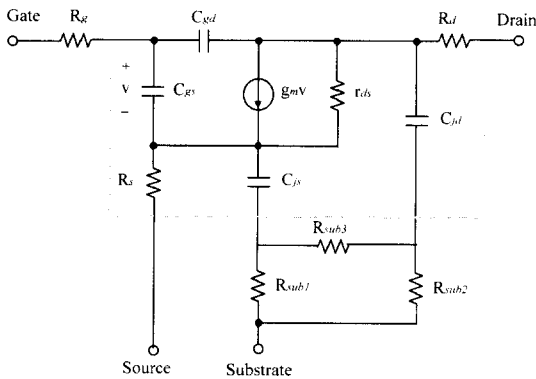


그림 1. NMOS 트랜지스터의 간략화된 소신호 등가회로

Fig. 1. Simplified small-signal equivalent circuit of an NMOS transistor.

그림 1은 게이트 저항( $R_g$ )과 기판 분포저항( $R_{sub}$ )을 고려한 NMOS 트랜지스터의 간략화된 소신호 등가회로이다. 그림 1의  $C_{gs}$ 와  $C_{gd}$ 는 각각 소스/기판(n<sup>+</sup>p) 다이오드의 커패시턴스와 드레인/기판(n<sup>+</sup>p) 다이오드의 커패시턴스를 의미한다.  $R_g$ 는 폴리실리콘 게이트 저항을 하나의 lumped 저항으로 대변한 것이며 기판 저항은 기판(또는 웰) p 영역의 분포저항으로서 그림에서와 같이 소스 접합과 기판 콘택간의 lumped 저항  $R_{sub1}$ , 드레인 접합과 기판 콘택간의 lumped 저항

$R_{sub2}$ , 소스 접합과 드레인 접합간의 lumped 저항  $R_{sub3}$ 으로 모델링 할 수 있다.

그림 1의 점선 사각형 내부는 회로 시뮬레이터 SPICE에서 MOS 트랜지스터 모델에 포함되어 있는 부분을 의미한다. SPICE 모델에는 그림 1에서 볼 수 있듯이 트랜지스터 게이트 저항과 기판(또는 웰) 저항이 포함되어 있지 않으므로 회로 시뮬레이션시 일반적으로 이러한 요소들을 무시하지만 RF 영역의 시뮬레이션을 위해서는 게이트 저항과 기판 저항이 트랜지스터의 고주파 특성에 큰 영향을 줄 수 있으므로 이러한 기생성분들을 추가한 트랜지스터의 매크로 모델을 사용하여야 한다. SPICE에서 MOS 트랜지스터는 4 단자 소자로 정의되며 게이트 저항은 게이트 단자에 lumped 저항을 달아줌으로써 처리할 수 있으나, 기판 분포저항을 고려하기 위해 기판 노드에 lumped 저항한 개를 달아서 처리할 경우 그림 1의  $R_{sub3}$ 이 생략되는 결과를 초래하며 이러한 단순화가 적절한지의 여부가 검토되어야 한다.

소스 접합과 드레인 접합 사이의 기판 분포저항(그림 1의  $R_{sub3}$ )을 고려하기 위해서는 추가의 노드가 필요하다. 추가의 노드를 제공하기 위한 방편으로 SPICE 입력 리스트 중 MOS 트랜지스터의 소자 입력란에 소스 및 드레인 접합의 면적과 주변둘레에 해당되는 파라미터 AS, PS, AD, PD를 0으로 입력하여 실질적으로 모델 내부의 접합 다이오드(그림 1의  $C_{gs}$ 와  $C_{gd}$ )를 제거하고, 대신에 동일한 모델 파라미터를 갖는 소스 접합과 드레인 접합 다이오드를 모델 외부 소자로서 소스-기판 단자 사이와 드레인-기판 단자 사이에 각각 달아주는 방식을 사용함으로써 기판의 분포저항들을 추가할 수 있다<sup>[2]</sup>. 그러나 이러한 경우 SPICE MOS 트랜지스터 모델에 포함되어 있는 소스와 드레인 영역의 직렬저항(그림 1의  $R_s$ 와  $R_d$ )이 다이오드에 흐르는 DC 및 AC 전류 경로에서 제외되는 문제가 발생한다. 이러한 문제를 해결하기 위해  $R_s$ ,  $R_d$ 에 관련되는 SPICE 모델 파라미터 값을 0으로 지정하고, 해당 소자의  $R_s$ 와  $R_d$  값을 모델 파라미터로부터 계산하여 모델 외부 저항  $R_s$ 와  $R_d$ 로 소스 및 드레인 단자에 각각 직렬로 연결해 줌으로써 해결하였다. 얻어진 매크로 모델의 적합성은 3개 기판 저항( $R_{sub1}$ ,  $R_{sub2}$ ,  $R_{sub3}$ ) 값을 모두 0으로 지정하고 얻은 s-파라미터 시뮬레이션치와, 외부 다이오드 및 소스와 드레인 직렬저항 없이 MOS 트랜지스터 소자 입력란에

외부 다이오드와 동일한 AS, PS, AD, PD 값을 지정하고 시뮬레이션한 s-파라미터 결과치가 완전히 일치함을 조사함으로써 확인하였다. 참고로,  $R_s$ 와  $R_d$ 를 모델 외부저항으로 처리한 경우와 그렇지 않은 경우에는 s-파라미터 시뮬레이션 결과에서 주로  $S_{22}$ 와  $S_{12}$ 에 차이가 발생하며 특히  $S_{22}$ 에 큰 차이가 나타남을 확인할 수 있었다.

### III. 모델 검증

Network analyzer를 이용하여 측정된 트랜지스터의 s-파라미터와 앞서 언급한 매크로 모델을 이용하는 시뮬레이션에 의한 s-파라미터를 비교함으로써 모델의 실용성을 검증하였다. 본 모델링은 LG 0.8 $\mu$ m CMOS 공정을 기준으로 하였으며 시뮬레이션은 LG에서 제공되는 0.8 $\mu$ m BSIM1 모델 파라미터를 사용하였다. AC 파라미터는 LG에서 제공하는 공정 파라미터를 참고로 하여 일차적으로 사용하고 트랜지스터의 s-파라미터 시뮬레이션 결과치를 s-파라미터 측정치에 fitting하는 과정에서 tuning하였다. 시뮬레이션 툴로는 Silvaco사의 SmartSpice<sup>[4]</sup>를 사용하였다.

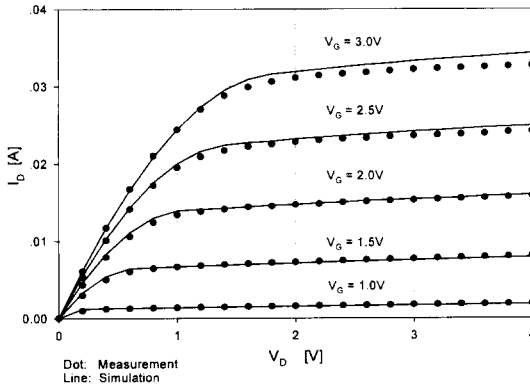


그림 2. NMOS 트랜지스터의 DC  $I_D$ - $V_D$  곡선( $W=200\mu$ m,  $L=0.8\mu$ m)

Fig. 2. DC  $I_D$ - $V_D$  curve of the NMOS transistor ( $W=200\mu$ m,  $L=0.8\mu$ m)

그림 2는  $W=200\mu$ m,  $L=0.8\mu$ m인 NMOS 트랜지스터(Finger당 소자폭=10 $\mu$ m, Finger 수=20)의 DC  $I_D$ - $V_D$  특성곡선이며, 그림에서 점들은 측정치를 나타내고 선들은 시뮬레이션치를 나타낸다.  $R_s$ 와  $R_d$  값을 다소 조정하여 DC 시뮬레이션치를 측정치에 fitting 하였으나 BSIM1 모델의 한계에 의해 약간의 차이가

있음을 알 수 있다.

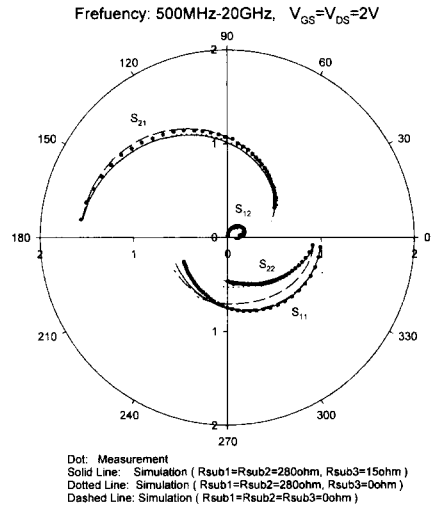


그림 3. 그림 2의 트랜지스터에 대한 s-파라미터 측정치와 시뮬레이션치 비교; 주파수 범위: 500MHz-20GHz

Fig. 3. Comparison of s-parameter data for the transistor in Fig. 2; Frequency range: 500MHz-20GHz.

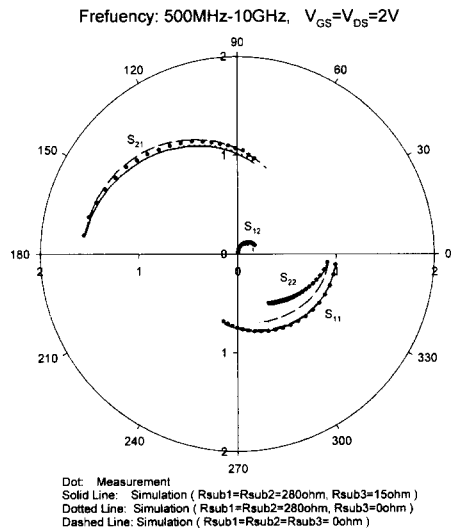


그림 4. 그림 2의 트랜지스터에 대한 s-파라미터 측정치와 시뮬레이션치 비교; 주파수 범위: 500MHz-10GHz

Fig. 4. Comparison of s-parameter data for the transistor in Fig. 2; Frequency range: 500MHz-10GHz.

극좌표를 이용하여 도시한 그림 3은 그림 2의 NMOS 트랜지스터에 대한 500MHz에서 20GHz까지

의 s-파라미터 측정치와 시뮬레이션치의 비교이다. 바이어스 조건은  $V_{GS}=V_{DS}=2V$ 이다. 그림 4는 그림 3과 동일한 데이터나 주파수가 낮은 부분의 fitting 결과를 좀더 알아보기 쉽도록 하기 위해 500MHz에서 10GHz까지의 s-파라미터만을 도시하였다. 여기에서 s-파라미터 측정치는 패드 기생성분의 영향을 제거하기 위해 트랜지스터를 제거한 dummy open 패턴의 s-파라미터 측정치를 y-파라미터로 변환하여 deembedding<sup>[5]</sup>을 시행한 후 다시 s-파라미터로 변환한 데이터이다. 측정치와의 fitting을 위해 조정된 파라미터는 게이트 저항  $R_g$ , 기판저항  $R_{sub}$ , 게이트 overlap capacitance인 CGS0와 CGD0였다. 또한 패드와 소자 사이의 금속배선에 의한 직렬 인덕턴스  $L_g$ ,  $L_s$ ,  $L_d$ 를 0.01nH 미만의 작은 값으로 고려하여 조정하였다. 조정해야 할 파라미터가 다소 많았으나 참고 문헌<sup>[6]</sup>의 파라미터 값 증감에 따른 s-파라미터의 변화 추이를 참고로 하여 시행할 수 있었다. 표 1에는 본 분석에서 추출된 모델 세트의 파라미터 값들을 정리하였다. 표 1에 제시하지 않은 LG 0.8 $\mu$ m CMOS 공정의 BSIM1 모델 파라미터 세트는 IDEC을 통해 제공받을 수 있다.

표 1. 모델 세트의 주요 파라미터  
Table 1. Principal parameters of the model set.

파라미터	값	파라미터	값
$R_g$	5 $\Omega$	$L_d$	0.04nH
$R_s$	6 $\Omega$	CGS0	5.8E-10
$R_d$	5 $\Omega$	CGD0	3.0E-10
$L_g$	0.07nH	$R_{sub1}, R_{sub2}$	280 $\Omega$
$L_s$	0.05nH	$R_{sub3}$	15 $\Omega$

기판 저항 모델링의 중요성을 설명하기 위해 그림 3과 그림 4에는 3가지 서로 다른 경우의 시뮬레이션치를 측정치와 함께 도시하였다. s-파라미터 측정치(dot)와 그림 1의 3개 기판 저항을 모두 0으로 하여 기판저항을 무시하고 시뮬레이션한 경우(dashed line:  $R_{sub}=0$ )를 비교해 보면 데이터의 시작점인 500MHz에서는 일치하나 주파수가 증가함에 따라 특히  $s_{22}$ 의 값에 큰 차이가 나타남을 볼 수 있다. 기판 저항을 고려한 경우(solid line과 dotted line)에는 이 차이가 크게 감소하여 측정치와 유사해짐을 볼 수 있다. 따라서 기판 저항의 고려가 매우 중요함을 알 수 있으나 앞서

언급한대로 기판 저항은 분포저항이므로 1개의 lumped 저항으로 모델링하는데 문제가 있을 수 있다. 기판 저항을 3개의 lumped 저항으로 모델링한 경우(solid line:  $R_{sub1}=R_{sub2}=280\Omega$ ,  $R_{sub3}=15\Omega$ )와 1개의 lumped 저항으로 모델링한 경우(dotted line:  $R_{sub1}=R_{sub2}=280\Omega$ ,  $R_{sub3}=0$ )를 비교해보자. 기판 저항의 값은 레이아웃의 특성상  $R_{sub1}$ 과  $R_{sub2}$ 가 개략적으로 같다는 가정 아래 s-파라미터 측정치에의 fitting 과정에서 얻어진 수치이다. 그림 1의 기판저항을  $R_{sub1}=R_{sub2}=280\Omega$ ,  $R_{sub3}=0$ 로 처리한 경우는 외부에 다이오드를 추가하지 않고 4단자 소자인 MOS 트랜지스터의 기판노드에 간단히 140 $\Omega$ 의 저항 1개만을 연결한 경우와 동일함을 주목하자. 그림 4의 결과를 보면 10GHz이하의 주파수에서는 두 경우(solid line과 dotted line)의 시뮬레이션 결과에 차이가 매우 작음을 알 수 있다. 그림 3에서 보면 주파수가 높아지면 서 주로  $s_{22}$ 와  $s_{12}$ 에 다소 차이가 나타나며, 기판 저항을 3개의 lumped 저항으로 모델링한 경우(solid line)에 보다 나은 fitting 결과가 얻어짐을 알 수 있다. 다른 바이어스 조건에서 모델의 적합성을 확인하기 위해  $V_{GS}=1V$ ,  $V_{DS}=2V$ 의 바이어스 조건과  $V_{GS}=3V$ ,  $V_{DS}=2V$  바이어스 조건에서의 그림 3과 4에 상응하는 s-파라미터 비교 그래프를 조사한 결과, 그림 3, 4와 거의 유사한 수준의 fitting 결과가 얻어짐을 확인하였으며 기판 저항을 3개로 모델링한 경우 세 가지 바이어스 조건에서 모두 비교적 양호한 fitting 결과를 얻을 수 있음을 알 수 있었다.

$R_{sub3}=0$ 으로 처리하는 경우는 외부에 다이오드를 추가하지 않고 4단자 소자인 MOS 트랜지스터의 기판 노드에 간단히 140 $\Omega$ 의 저항 1개만을 연결한 경우와 동일하므로 시뮬레이션 입력파일의 작성이 간단하다. 3개의 lumped 저항으로 모델링하는 경우, 보다 정확한 시뮬레이션 결과를 얻을 수 있으나 트랜지스터의 매크로 셀 형태가 복잡해진다. 또한 앞서 언급한 바와 같이  $R_s$ ,  $R_d$ 와 관련된 모델 파라미터를 제거하고 이들을 외부 직렬저항으로 처리해야 하는 문제가 있다. 시뮬레이션 시간 면에서는 3개의 lumped 저항으로 모델링하는 경우 한 주파수당 iteration 회수가 1.8배로 증가하는 정도의 차이가 있음을 확인하였다. 지금까지의 분석 결과, 그림 4에서 볼 수 있듯이 본 분석에 사용된 소자의 경우 10GHz까지의 시뮬레이션에는 기판저항을 1개의 lumped 저항으로만 모델링하여도 충분하

다고 판단되며 그 이상의 주파수 대역에 대해서는 3개의 lumped 저항을 사용하는 것이 타당하다고 판단된다. 이 경우 보다 수월한 시뮬레이션 작업을 위해서는 기판 분포저항의 연결을 위해 2개의 내부 노드와 3개의 모델 파라미터( $R_{sub1}$ ,  $R_{sub2}$ ,  $R_{sub3}$ )를 추가하는 SPICE 코드의 수정이 불가피할 것으로 판단된다. 한 가지 더 주목할 부분은, 그림 3의  $S_{11}$ 을 보면 10GHz 이상의 주파수에서 측정치와 시뮬레이션치 사이의 오차가 커짐을 알 수 있다. 이러한 추이는 주파수가 높아짐에 따라 실질적인 게이트 저항이 증가함을 의미하며<sup>[6]</sup> 이는 10GHz 이상의 주파수에서는 BSIM1 모델에서 가정하는 채널 전하 형성의 quasi-static 모델<sup>[7]</sup>에 오류가 있음에 기인한다고 판단된다. 따라서 10GHz 이상에 대한 정확한 시뮬레이션을 위해서는 채널 전하 형성의 non-quasi-static 현상<sup>[7]</sup>에 대한 정확한 모델의 추가도 동시에 이루어져야 할 것으로 판단된다. Non-quasi-static 현상에 대한 정확한 모델이 포함되어 있지 않은 시뮬레이터에서는 10GHz 이상의 주파수 대역에 대한 정확한 시뮬레이션의 시도가 무의미하며 앞서 언급한 바와 같이 접합 다이오드가 포함되어 있는 기존 SPICE의 MOS 모델을 그대로 사용하고 게이트 노드와 기판 노드에 적절한 lumped 저항 한 개씩을 추가하는 간단한 형태의 매크로 모델을 사용하는 것이 적절하다고 판단된다.

그림 3에서 볼 수 있듯이 500MHz의 비교적 낮은 주파수에서는 기판 저항의 값을 0으로 처리한 경우와 그렇지 않은 경우  $S_{22}$ 의 값에 차이가 매우 작다. 이는 드레인 노드에서 볼 때 낮은 주파수에서는 그림 1의 드레인 접합 커패시터가 거의 Open으로 보이기 때문이라고 추정되며 이 경우 기판 저항의 영향은 나타나지 않을 것이다. 주파수가 증가하면 접합 커패시턴스는 더 이상 Open이 아닌 상태로 보이게 되므로 AC 드레인 저항인  $r_{ds}$ 와 병렬의 저항 경로가 생겨나 출력 저항의 감소가 나타나고 이에 관련된  $S_{22}$ 의 크기가 감소할 것임을 추측할 수 있다. 그렇다면 접합 커패시턴스 값이 감소할 경우 RC 시정수가 감소하므로 기판 저항의 영향이 나타나는 주파수가 증가하게 될 것임을 예측할 수 있다. 이를 확인하기 위해 소스 및 드레인 접합 다이오드의 면적과 주변둘레의 값을 1/5로 감소 시킴으로써 접합 커패시턴스의 값을 1/5로 줄인 경우를 시뮬레이션해 보았다. 그림 5에는 접합 다이오드의 면적과 주변둘레의 값을 1/5로 감소시키고 앞에서와

같이 3개의 기판 lumped 저항을 고려한 경우와 기판 저항을 0으로 무시한 경우를 비교하여 보았다. 바이어스 조건은 그림 3에서와 같이  $V_{GS}=V_{DS}=2V$ 이며 주파수 범위는 500MHz에서 20GHz까지이다. Solid line은  $R_{sub1}=R_{sub2}=280\Omega$ ,  $R_{sub3}=15\Omega$ 인 경우이고 dashed line은  $R_{sub1}=R_{sub2}=R_{sub3}=0\Omega$ 인 경우이다. 그림 5에서 볼 수 있듯이 예측한대로 그림 3과 비교하여 볼 때 두 가지 경우에서  $S_{22}$ 의 차이가 나타나는 주파수(약 6GHz)가 크게 증가하였음을 알 수 있다. 이는 위와 같이 접합면적을 줄일 경우 6GHz 이하의 주파수에서는 기판 저항에 의한 출력저항의 감소가 나타나지 않으며, 또한 최대전력이득은 출력저항에 비례하므로 상대적으로 높은 전력이득을 얻을 수 있음을 의미한다. 실제로 드레인 접합의 면적을 줄여 제작함으로써 900MHz 저잡음증폭기의 전력이득이 향상되었다는 연구 발표<sup>[8]</sup>도 있었다.

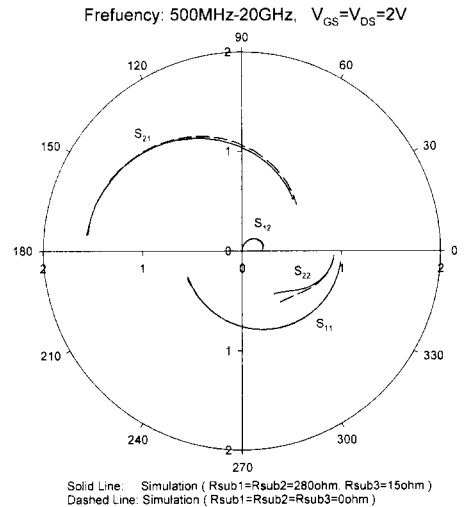


그림 5. 접합면적을 1/5로 감소시킨 경우 s-파라미터 시뮬레이션치 비교

Fig. 5. Comparison of s-parameter data for the transistor with junction areas reduced by 5 times.

그림 5와 관련하여 설명한 효과는 기판 저항을 줄여 RC 시정수를 감소시킴으로써도 얻을 수 있다. 기판 저항 값의 변화에 따른 영향을 확인해 보기 위해 그림 6에는 기판저항의 값을 5배로 증가시킨 경우의 s-파라미터 시뮬레이션치를 비교하여 보았다. 바이어스 조건은  $V_{GS}=V_{DS}=2V$ 이고 주파수 범위는 500MHz

에서 20GHz까지이다. Solid line은  $R_{sub1}=R_{sub2}=280\Omega$ ,  $R_{sub3}=15\Omega$ 인 경우이고 dotted line은  $R_{sub1}=R_{sub2}=1400\Omega$ ,  $R_{sub3}=15\Omega$ 인 경우이다. 두 번째 경우는 실제적으로는 기판 접지 콘택을 상대적으로 적게 한 경우라 할 수 있다. 이러한 경우에도 소스 접합과 드레인 접합의 거리에는 변화가 없으므로  $R_{sub3}$ 의 값은 변화시키지 않았다. 예측한대로 그림 6에서 기판 저항의 증가로 인해 낮은 주파수에서 두 경우의  $S_{22}$  값에 확인한 차이가 보인다. 이는 dotted line의 경우 기판저항 값의 증가로 인해 상대적으로 낮은 주파수에서 기판 저항의 효과가 나타나기 때문이다. 하지만 높은 주파수에서는 그림 1의  $C_{jd}$ ,  $R_{sub3}$ ,  $C_{js}$  경로에 의해 출력임피던스가 지배되므로 두 경우의  $S_{22}$  값이 거의 일치하는 것으로 판단된다.

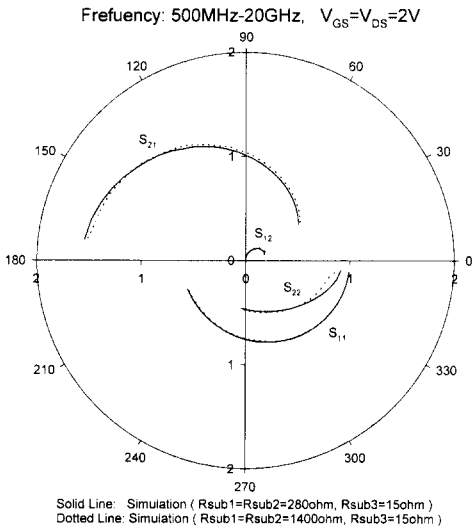


그림 6. 기판저항 증가에 따른 s-파라미터 시뮬레이션 결과의 변화  
 Fig. 6. Variation of s-parameter simulation results with increased substrate resistance.

다음에는 좀더 물리적 의미를 알 수 있는 파라미터들을 조사하여 보았다. 그 첫 번째로 그림 7에는  $V_{GS}=V_{DS}=2V$ 에서의 s-파라미터 데이터로부터 환산된  $h_{21}$ 과 최대전력이득 MSG/MAG (Maximum available gain/Maximum stable gain)<sup>[9]</sup> 값을 비교하여 보았다. 점들은 측정치로부터 환산된 데이터이고 선들은 시뮬레이션치로부터 환산된 데이터이다. s-파라미터의 fitting 결과에서와 마찬가지로 solid line의 경우 측정치를 상대적으로 양호하게 예측하는 것을

알 수 있다. 기판저항이 증가함에 따라 나타나는 주된 특성 변화는 10GHz이하의 주파수에서 전력이득(MSG)이 감소하는 것이라 할 수 있다(solid line과 dotted line 비교).

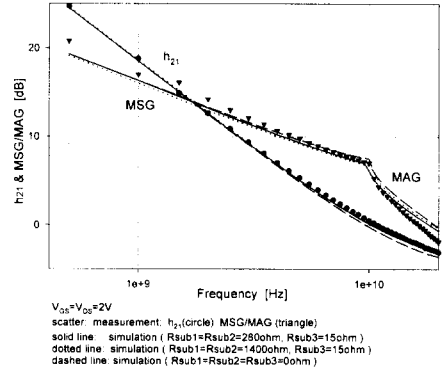


그림 7. 그림 2의 트랜지스터에 대한  $h_{21}$ 과 전력이득 MSG/MAG 주파수 특성 비교  
 Fig. 7. Comparison of  $h_{21}$  and MSG/MAG frequency characteristics for the transistor in Fig. 2.

다음에는 그림 7에 사용한 s-파라미터 데이터들로부터 식 (1)로 정의되는  $r_{out}$ ,  $r_{in}$ ,  $c_{out}$ ,  $c_{in}$ ,  $g_m$ 을 산출하여 보았다.

$$\begin{aligned} r_{out} &= 1/\text{Real}(y_{22}), & c_{out} &= \text{Imaginary}(y_{22}), \\ r_{in} &= \text{Real}(h_{11}) & c_{in} &= -1/\text{Imaginary}(h_{11})/\omega, \\ g_m &= \text{Real}(y_{21}) \end{aligned} \quad (1)$$

$r_{out}$ 은 입력 short시의 출력저항,  $c_{out}$ 은 입력 short시의 출력 커패시턴스,  $r_{in}$ 은 출력 short시의 입력저항,  $c_{in}$ 은 출력 short시의 입력 커패시턴스,  $g_m$ 은 출력 short시의 트랜스컨덕턴스이다.

그림 8-12에는 각 파라미터들의 주파수 특성을 도시하였다. 그림 8에서 기판 저항을 0으로 하여 무시한 경우에는 출력저항 값이 실제보다 매우 크게 나타나며 본 모델링에서 추출한  $R_{sub1}=R_{sub2}=280\Omega$ ,  $R_{sub3}=15\Omega$ 을 사용한 경우(실선)에 측정치와 비교적 근사한 결과가 얻어졌음을 알 수 있다. 그림 5, 6과 관련하여 설명한대로 기판 저항증가에 따라 출력저항에 기판저항의 효과가 나타나는 주파수가 점차 감소하여  $R_{sub1}=R_{sub2}=1400\Omega$ ,  $R_{sub3}=15\Omega$ 을 사용한 경우(점선)에는 50MHz에서도 출력저항의 감소가 심하게 나타나 있음을 알 수 있다. 그림 9의  $c_{out}$ 도 실선의 경우가 측

정치의 가장 근사한 결과를 보이고 있다.

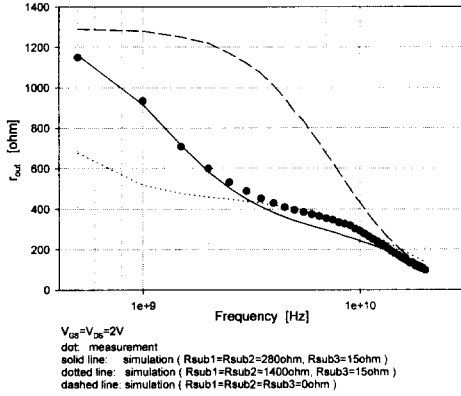


그림 8. 출력저항  $r_{out}$ 의 주파수 특성 비교  
Fig. 8. Comparison of the frequency characteristics of output resistance  $r_{out}$ .

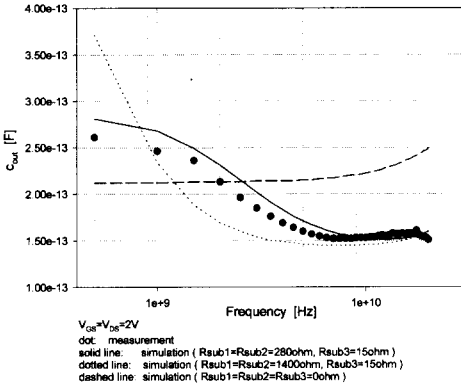


그림 9. 출력 커패시턴스  $C_{out}$ 의 주파수 특성 비교  
Fig. 9. Comparison of the frequency characteristics of output capacitance  $C_{out}$ .

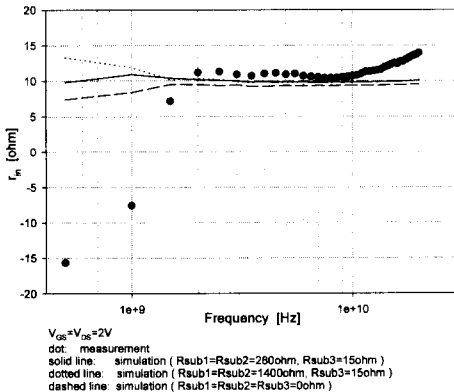


그림 10. 입력저항  $r_{in}$ 의 주파수 특성 비교  
Fig. 10. Comparison of the frequency characteristics of input resistance  $r_{in}$ .

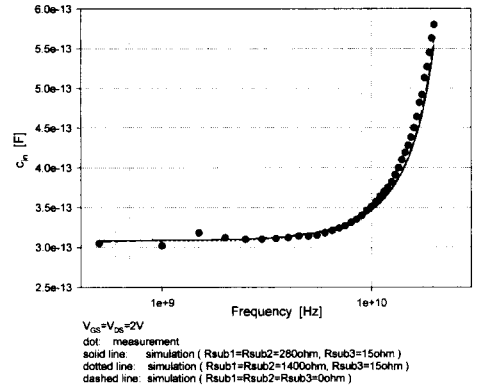


그림 11. 입력 커패시턴스  $C_{in}$ 의 주파수 특성 비교  
Fig. 11. Comparison of the frequency characteristics of input capacitance  $C_{in}$ .

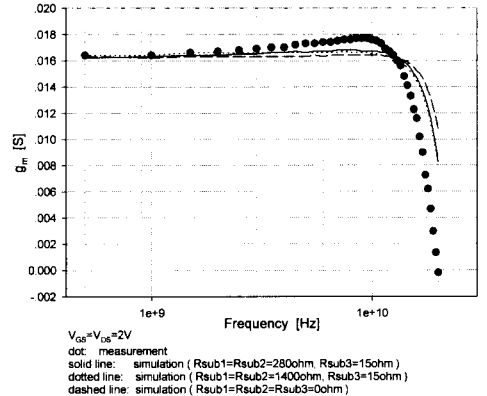


그림 12. 트랜스컨덕턴스  $g_m$ 의 주파수 특성 비교  
Fig. 12. Comparison of the frequency characteristics of transconductance  $g_m$ .

그림 10의 낮은 주파수에서 측정치로부터 계산된  $r_{in}$  이 음수가 나오는 부분은  $h_{11}$ 의 실수부가 0보다 작음을 의미하나 물리적으로 설명이 어려우며 아마도 deembedding시의 작은 측정오차에 의한 것이 아닌가 생각된다. 10GHz 이상에서 측정치로부터 계산된  $r_{in}$ 이 증가하는 것은 그림 3과 관련하여 설명한대로 채널 전하 형성의 non-quasi-static 현상에 의한 것으로 추정된다. 그림 11의  $C_{in}$ 에서는 세 가지 시뮬레이션 모두 유사한 결과를 보이고 있다. 그림 12에서 측정치로부터 계산된  $g_m$ 이 시뮬레이션 경우보다 낮은 주파수에서 감소하기 시작하는 것도 채널 전하 형성의 non-quasi-static 현상에 의한 것으로 추정된다.

기판 분포저항을 3개의 lumped 저항으로 모델링한 경우 s-파라미터 시뮬레이션 결과로부터 환산된 각

물리적 파라미터들이 측정치로부터 환산된 파라미터들의 변화추이를 비교적 양호하게 예측한다는 것을 확인할 수 있다.

#### IV. 결 론

게이트 저항과 기판 분포저항을 고려한 MOS 트랜지스터의 매크로 모델 형태를 제안하고  $W=200\mu\text{m}$ ,  $L=0.8\mu\text{m}$ 의 NMOS 트랜지스터를 기준으로 하여 시행한 s-파라미터의 시뮬레이션치를 s-파라미터 측정치에 fitting하는 과정을 통해 RF 영역에 적용 가능한 모델 세트를 확보하고 RF 영역에서의 기판 저항의 분포 효과를 분석하였다. 매크로 모델에 의한 s-파라미터 시뮬레이션 결과는 측정치를 비교적 정확하게 예측하였으며 AC 저항 및 커패시턴스들과 같은 물리적 파라미터를 비교함으로써 시뮬레이션된 s-파라미터의 신빙성을 확인하였다. s-파라미터 측정치에 s-파라미터 시뮬레이션치를 fitting하는 방법이 물리적 파라미터들을 fitting하는 방법보다 수월하다고 판단된다. Non-quasi-static 현상에 대한 정확한 모델이 포함되어 있지 않은 시뮬레이터에서는 접합 다이오드가 포함되어 있는 기존 SPICE의 MOS 모델을 그대로 사용하고 게이트 노드와 기판 노드에 적절한 lumped 저항 한 개씩을 추가하는 간단한 형태의 매크로 모델을 사용하는 것이 적절하다고 판단된다.

#### 참 고 문 헌

- [1] D. E. Root, "Technology independent large-signal non quasi-static FET models by direct construction from automatically characterized device data," in Proc. 21st European Microwave Conference, pp. 927-932, 1991.
- [2] W. Liu, R. Gharpurey, M. C. Chang, U. Erdogan, R. Aggarwal, and J. P. Mattia, "R. F. MOSFET modeling accounting for distributed substrate and channel resistances with emphasis on the BSIM3v3 SPICE model," in Tech. Dig. Int. Electron Devices Meet., pp. 309-311, 1997.
- [3] J.-J. Ou, X. Jin, I. Ma, C. Hu, and P. R.

Grey, "CMOS RF modeling for GHz communication IC's," in Dig. of Tech. Papers Symposium on VLSI Technology, pp. 94-95, 1998.

- [4] SmartSpice Utmost III 12.3.0, a general purpose data acquisition, extraction, and modeling program for device characterization and SPICE modeling of semiconductor devices, Silvano International, 1996.
- [5] P. J. van Wijnen, H. R. Claessen, and E. A. Wolsheimer, "A new straightforward calibration and correction procedure for on wafer high-frequency S-parameter measurements (45MHz-18GHz)," IEEE Bipolar Circuits and Tech. Meet., pp. 70-73, 1987.
- [6] John L. B. Walker, *High-power GaAs FET Amplifiers*: Artch House.
- [7] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*, New York: McGraw-Hill, 1987.
- [8] G. Hayashi, H. Kimura, H. Simomura, and A. Matsuzawa, "A 9mW 900MHz CMOS LNA with mesh arrayed MOSFETs," in Dig. of Tech. Papers Symposium on VLSI Technology, pp. 84-85, 1998.
- [9] G. G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, New Jersey: Prentice Hall, 1997.



## — 저 자 소 개 —



崔 鎮 榮 (正會員)

1956년 12월 10일생. 1979년 2월 서울대학교 전기공학과(공학사). 1986년 12월 University of Florida 전기공학과(석사). 1991년 5월 University of Florida 전기공학과(공학박사). 1991년 4월 ~ 1992년 8월 삼성전자 반도체부문 수석연구원. 1992년 8월 ~ 현재 홍익대학교 과학기술대학 전자전기컴퓨터공학부 조교수. 주관심 분야는 SOI 소자 기술, 반도체 소자 모델링, 집적회로 설계 및 신뢰성 연구 등임