

論文99-36D-3-6

선택적Si 확산을 이용한 저저항층을 갖는 이온주입 GaAs MESFET

(Fabrication of ion implanted GaAs MESFET with Si selectively diffused low resistive layer)

楊典旭 *

(Jeon Wook Yang)

요 약

SiN로부터 GaAs로 확산된 Si을 이용하여 소스와 드레인 영역에 고농도 Si 확산층을 갖는 GaAs MESFET를 제작하였다. 제작된 MESFET의 소스와 드레인 영역은 950°C, 30초의 열처리에 의해 Si 확산층이 표면에서부터 350Å 두께로 형성되어 확산층이 없을 때 1000Ω/sq. 정도였던 면저항이 400Ω/sq.로 내외로 감소하였다. 고농도로 확산된 Si은 AuGe/Ni/Au와 GaAs 기판 사이의 저항성 접촉 특성을 $2.5 \times 10^6 \Omega \cdot \text{cm}^2$ 로부터 $1.5 \times 10^6 \Omega \cdot \text{cm}^2$ 로 개선시켰다. 제작된 1μm 게이트 길이의 확산층을 갖는 MESFET는 최대 트랜스컨덕턴스가 260mS/mm이었으며, 이득과 최소잡음지수는 12GHz에서 각각 8.5dB와 3.57dB를 나타내 같이 제작된 표면 확산 층이 없는 MESFET에 비해 1.3dB와 0.4dB가 향상되었다.

Abstract

Ion implanted GaAs MESFET with low resistive layer was fabricated using Si diffusion into GaAs from SiN. During the thermal annealing at 950°C for 30s, Si diffused into ion implanted region of GaAs from SiN and they formed low resistive layer of 350Å thickness. The diffusion of Si decreased the sheet resistance of source and drain region from 1000Ω/sq. to 400Ω/sq. and the AuGe/Ni/Au ohmic contact resistivity from $2.5 \times 10^6 \Omega \cdot \text{cm}^2$ to $1.5 \times 10^6 \Omega \cdot \text{cm}^2$. The fabricated 1μm gate length MESFET with Si diffused surface layer shows the transconductance of 260ms/mm, 8.5dB of associated gain and 3.57dB of minimum noise figure at 12GHz. These performances are better than that of MESFET without Si diffused layer.

I. 서 론

GaAs는 빠른 전자이동도 특성을 나타내기 때문에 마이크로웨이브 대역에서 동작할 수 있는 금속-반도체 전계효과 트랜지스터(MESFET; metal semiconductor field effect transistor)의 제작에 이용되고

있으며 특히 이온주입과 활성화 공정을 이용하여 도전층을 형성함으로써 보다 용이하게 트랜지스터를 제작하여 널리 활용하고 있다^[1,2]. 그러나 초고주파 통신 시스템의 발달은 더 높은 주파수까지 동작이 가능한 트랜지스터의 특성을 요구하고 있어 트랜지스터의 허용 주파수 특성과 이득의 증가, 잡음 특성의 최소화에 대한 연구가 지속적으로 이루어지고 있다^[3,4].

이와 같은 MESFET의 특성을 개선하기 연구는 게이트 길이의 감소와 함께 게이트 저항, 소스저항의 감소, 소스-드레인 영역 금속-반도체간의 저저항 접촉 형성 등의 분야에서 많은 사람들에 수행되고 있으며 이들의 노력으로 0.2μm 내외의 짧은 게이트 길이와

* 正會員, 全北大學校 半導體物性研究所 / 半導體科學技術學科

(Semiconductor Physics Research Center / Semiconductor Science and Technology Dept., Chonbuk National University)

接受日字:1998年6月29日, 수정완료일:1999年2月26日

T-형상의 게이트 구조를 갖도록 하여 소자를 제작함으로써 특성을 개선시키거나 소스와 게이트 사이에 고농도의 Si를 갖는 표면 저저항 층을 형성하여 소스저항의 감소를 피하는 등 여러가지 구조의 소자들이 제작 발표된 바 있다^[5,6].

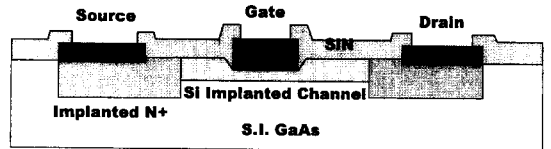
소스저항은 소스와 게이트 사이의 영역에 저저항층을 형성하여 줄일 수 있는데, 이 저저항층은 기판의 표면에 저저항 특성을 갖는 에피택셜 층을 성장시키거나 게이트와 소스 전극 사이의 영역에 고농도로 도펀트를 이온주입 하여 형성할 수 있다. 그러나 에피택셜 층의 성장은 성장 과정이 고 비용의 공정이라는 것과 기판 전체에 저저항층이 형성되기 때문에 소자 제작 과정에서 이를 제거하기 위한 공정이 수반되어야 한다는 점에서, 이온주입 방법은 게이트에 인접한 소스와 드레인 영역에 선택적으로 이온주입을 하여야 하는 데 따른 공정의 복잡성과 도펀트의 이온 주입시 깊이 방향으로 도펀트가 넓게 분포하여 소자의 특성을 저하시키는 등의 효과를 나타낼 수 있다는 점에서 문제점을 가지고 있다^[7]. 따라서 보다 용이하게 표면 가까이 저저항층을 형성하는 방법으로 도펀트인 Si를 확산시키는 방법을 고려할 수 있는데 보고된 바에 의하면 실리콘산화막(SiO₂; Silicon-oxide)를 보호막으로 GaAs 기판을 열처리 했을 때 Ga의 out-diffusion과 관련하여 Si의 확산이 일어나는 것으로 일반화 되어 있고 이를 이용한 여러가지 소자가 제안된 바 있으며 Lee 등에 의해 실리콘질화막(SiN; Silicon-nitride)으로부터 Si 확산에 대한 실험 결과가 발표되기도 하였다^[6, 8-12].

본 연구에서는 SiN을 보호막으로 한 GaAs 기판을 고온으로 열처리하는 과정에서 기판에 이온주입된 Si 양이 증가할수록 SiN으로부터 기판으로 확산되는 Si의 양이 증가됨을 확인하고, 이것을 이용하여 MESFET의 소스와 게이트, 게이트와 드레인 사이에 이온주입된 것 보다 더 높은 농도를 갖도록 확산에 의한 고농도 표면 저저항 층을 형성함으로써 소스와 드레인의 저항성 접촉, 트랜스컨덕턴스와 고주파 특성이 우수한 소자를 제작하였다. 또한 확산층이 없는 소자를 함께 제작하여 확산층의 유무에 따른 트랜지스터의 전기적인 특성을 측정함으로써 개선된 결과를 확인하였다.

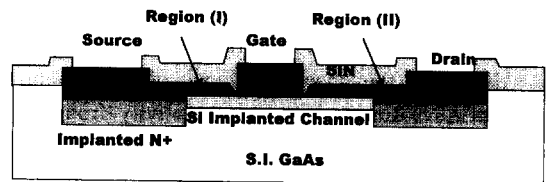
II. 실험

그림 1의 (a)와 (b)는 제작된 GaAs MESFET의

구조를 나타낸 것이다. (a)는 이온주입을 이용하여 제작되는 일반적인 GaAs MESFET과 같은 구조이며 (b)는 열처리에 의해 Si를 보호막으로부터 확산시켜 표면에 고농도 Si 확산층을 갖도록 제작한 트랜지스터 구조이다. 이들 트랜지스터의 제작에는 도핑되지 않은 (100) 방향의 GaAs 기판을 이용하였으며 먼저 소스와 드레인에 저항성 접촉을 형성하기 위하여 금속이 접촉될 영역이 고농도(N⁺)로 도핑되도록 Si 이온을 4×10^{13} atoms/cm², 60keV의 조건으로 주입한 다음, 채널층의 형성을 위해 4×10^{12} atoms/cm², 60keV의 조건으로 이온주입시 Si이 선택될 확률을 높이도록 질량이 (29)인 Si⁺ 이온을 주입하였다. ²⁹Si 이온은 ²⁸Si에 비해 이온주입기의 질량분리 과정에서 nitrogen을 포함할 확률이 작기 때문에 보다 정확한 양의 이온주입이 가능하며 본 실험에서 주로 확산된 Si과 용이하게 구분할 수 있다.



(a) Fabricated MESFET without diffused Si region



(b) Fabricated MESFET with diffused Si region

그림 1. 제작된 MESFET의 단면도
Fig. 1. Schematic diagrams of fabricated MESFETs.

이어서 기판을 세척하고 600Å 두께가 되도록 refractive index가 1.95인 SiN박막을 250°C의 온도에서 플라즈마화학증착 (PECVD; plasma enhanced chemical vapor deposition) 방법으로 기판의 전·후면에 증착하였다. SiN이 증착된 기판은 각각 875°C, 900°C와 950°C의 온도로 30초 동안 N₂ 분위기에서 급속열처리하여 활성화 하여 온도에 따른 활성화 특성과 확산효과를 비교할 수 있도록 하였다. 열처리된 기판에는 2000Å 두께의 SiN 박막을 증착하고 소스와 드레인에 그림과 같이 AuGe/Ni/Au 금속을 증착한 후 N₂ 분위기에서 380°C의 온도로 20초 동안 열처리

하여 저항성접촉을 형성하였다. 이어서 1 μ m 크기의 게이트영역을 정의하여 질화막을 식각하고 노출된 기판을 350Å 식각한 뒤 Ti/Pt/Au의 쇼트키 게이트 금속을 각각 400Å/200Å/3400Å 두께로 형성하고 소자의 보호를 위해 250°C의 온도에서 2000Å 두께의 SiN을 증착한 뒤 측정을 위한 금속 전극의 SiN을 선택적으로 제거하여 그림과 같이 MESFET을 제작하였다. 공정이 수행된 기판의 면저항은 eddy current 측정에 의한 방법으로 측정하였으며 기판에 분포하는 Si은 이차이온질량분석 (SIMS; secondary ion mass spectrometry) 방법을 이용하여 측정하여 Si의 확산을 확인하였다. 제작된 두 종류의 트랜지스터는 전류-전압 특성과 고주파 특성을 측정하여 확산층의 형성에 따른 특성의 개선을 확인하였다.

III. 결과 및 고찰

1. 표면 저저항 층의 형성

그림 2는 질량이 (29)인 Si이온(²⁹Si)이 4×10^{12} atoms/cm², 60keV의 조건으로 주입된 GaAs기판을 825 ~ 950°C의 온도에서 30초 동안 활성화 하여 측정한 면저항 값을 나타낸 것이다. 여기에서 기판의 면저항이 875°C 이하에서 온도 증가에 따라 급격히 감소하다가 900°C 내외의 온도에서 900 ~ 1000Ω/sq.로 포화되며 이 후 925°C에서 다시 크게 감소하기 시작하여 950°C에서 400Ω/sq.의 값에 이르고 있음을 볼 수 있다. 보고된 바에 의하면 금속 열처리에 의한 이온주입된 Si의 활성화는 900 ~ 950°C의 온도에서 포화 되는 것으로 알려져 있어 본 실험에서 보이고 있는 900°C 내외의 온도에서 나타나는 면저항 값의 포화는 주입된 Si 이온 활성화에 따른 것으로 볼 수 있다^[13,14]. 그러나 그림에서 900°C 이후의 온도에서 보이기 시작하는 면저항의 감소는 도전율의 증가를 피하는 소스의 발생을 의미하는데 공정이 수행된 과정에서 GaAs 기판의 보호막으로 이용하고 있는 SiN 박막이 도펀트의 유일한 공급원임을 감안할 때 SiN으로부터 열처리 과정에서 Si이 확산되어 도전율의 증가에 기여한 것으로 생각할 수 있다. 이와 같이 외부에서 공급된 도펀트는 확산에 의한 것이므로 주로 GaAs 기판 표면에 분포할 것이며 면저항이 1/2 이하로 감소하므로 그림 1의 (b)와 같이 표면 저저항 층을 형성하여 MESFET의 특성 향상을 꾀할 수 있다.

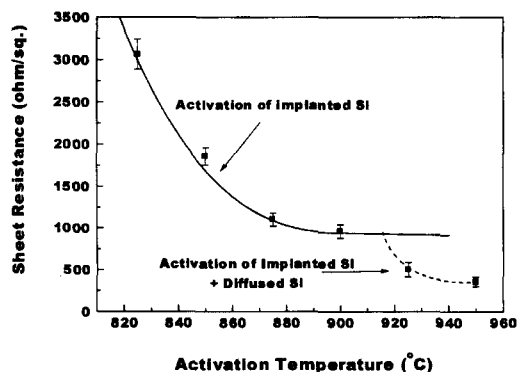


그림 2. Si이 주입된 GaAs 기판의 활성화 온도에 따른 면저항 특성

Fig. 2. Sheet resistance characteristics of Si implanted GaAs substrates on annealing temperatures.

SiN 박막으로부터 확산되는 Si은 그 분포가 Gaussian 분포에 유사한 이온주입된 Si의 분포와는 다르기 때문에 이온주입된 Si과 기판 내에서 Si의 분포를 확인하면 쉽게 구분할 수 있다. 그림 3은 GaAs 기판에 refractive index 가 1.95인 SiN을 보호막으로 증착하여 950°C의 온도에서 열처리한 뒤 불산용액에 담가 SiN만을 제거하고 14.5keV의 Cs⁺ 일차이온을 300의 입사각으로 GaAs 기판에 충돌시켜 발생한 이차이온을 검출, 분석하여 얻은 GaAs 기판내의 Si 분포이다. 여기에서 나타낸 두 그룹의 시편은 각각 4×10^{12} , 4×10^{13} atoms/cm²의 dose로 질량이 (29)인 ²⁹Si이온을 주입하여 열처리한 기판을 나타낸 것인데 ²⁹Si는 이들 시편에서 이온주입에 따른 분포를 나타내고 있으나 질량이 (28)인 ²⁸Si는 표면에서부터 확산된 분포를 나타내고 있어 열처리에 의해 SiN 박막으로부터 GaAs 기판으로 주로 ²⁸Si이 확산되고 있음을 알 수 있다. 이와 같이 확산된 Si의 양은 그림에서 두 개의 그룹이 나타내는 것처럼 이온주입된 Si의 양에 따라 다르게 나타나고 있다. 즉, 4×10^{13} atoms/cm²의 dose로 ²⁹Si 이 주입되어 열처리 된 시편에서 검출된 ²⁸Si은 6.8×10^{13} atoms/cm²에 달하며 4×10^{12} atoms/cm²의 dose로 ²⁹Si 이 주입되어 열처리 된 시편에서는 검출된 ²⁸Si은 8.93×10^{12} atoms/cm²로 나타나 8배에 가까운 많은 양이 확산되고 있으며 도시하지 않았으나 Si 이온이 주입되지 않은 경우에는 확산된 양이 매우 적고 표면 근처의 얇은 부위에만 분포하고 있어 ²⁸Si 이온주입이 확산의 증가를 유도하고 있음을 알 수 있다. 이와 같은 확산의 증가는 분석된 GaAs 기

판 표면에서 Ga과 As의 상태가 변화를 보이지 않는 것으로 보아 Si 이온주입에 의한 기판의 손상, 또는 기판에 주입된 Si 양의 변화가 주 원인인 것으로 볼 수 있다. 따라서 950°C로 열처리된 이들 두 가지의 이온주입된 상태 즉, 그림 1-(b)의 GaAs MESFET 구조에서 영역(I)과 영역(II)에는 저저항의 표면층이 형성되어 소스와 게이트 사이의 저항 감소를 꾀할 수 있으며 특히 4×10^{13} atoms/cm²의 조건으로 이온주입된 영역(II)는 매우 높은 도펀트 농도를 가져 저항성 접촉의 특성 향상에 도움을 준다.

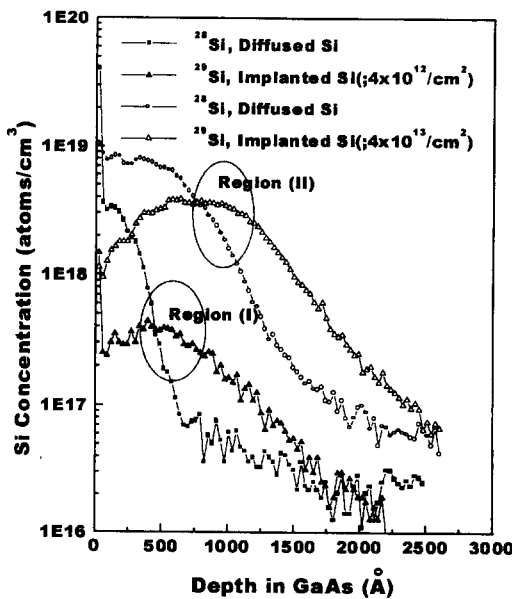


그림 3. SIMS 측정에 의한 950°C에서 활성화 열처리된 GaAs 기판내 Si의 분포

Fig. 3. Si distributions in 950°C annealed GaAs substrates; analyzed by SIMS.

2. MESFET의 소스/드레인 접촉 저항 감소와 전류-전압 특성 개선

그림 2의 온도 증가에 따른 면저항의 감소가 900°C에서 중단된 것에서 보여지는 바와 같이 열처리에 의한 SiN으로부터 ²⁸Si의 확산은 900 ~ 925°C에서 나타나기 시작하므로 그림 3에 나타난 바와 같은 확산층을 형성하기 위하여는 활성화를 위해 필요한 적정의 온도보다 더 높은 온도가 필요하다.

950°C로 활성화 열처리한 GaAs 기판은 앞에서 나타난 바와 같이 고온의 열처리에 의해 SiN으로부터 Si이 주입되어 875°C와 900°C의 온도에서 열처리된 기판에 비해 표면 근처에서 매우 높은 도핑농도를 가

지므로 그림 1-(b) 구조의 MESFET을 쉽게 제작할 수 있다.

여기에서 영역(II)는 Si 이온이 4×10^{13} atoms/cm², 60keV의 조건으로 주입된 영역으로 그림 3의 분석결과에서 보인 것처럼 SiN로부터 Si이 고농도로 확산되어 GaAs 기판 표면 근처에서 1×10^{19} /cm³에 달하는 확산된 고농도 Si 확산층이 1200Å 이상의 두께로 형성되어 있다. 이 고농도로 분포된 Si은 금속과 반도체 사이의 저항성 접촉이 이루어질 경우 저저항 접촉 특성을 향상시키는 효과를 나타내게 되는데 아래 실험의 결과에서 이것을 잘 확인할 수 있다. 한편, 영역(II)에서 형성된 고농도층은 저저항 접촉에는 매우 유용하지만 확산층이 깊어 게이트 영역의 얇은 채널에는 적용할 수 없다. 따라서 채널이 형성되는 부분 가까운 곳은 영역(I)과 같이 Si의 확산층이 표면 가까이 형성되어 소스저항의 감소에 기여하도록 한다. 그림 4는 4×10^{13} atoms/cm²의 조건으로 Si을 이온주입하고 활성화한 (N⁺)영역에 소스와 드레인의 저항성 금속인 AuGe/Ni/Au을 형성하여 380°C의 온도에서 20초 동안 열처리한 뒤 TLM(transmission line model) 방법으로 측정하여 얻은 소스와 드레인의 저항성 접촉이 갖는 접촉비저항 특성과 기판의 면저항 특성을 보인 것이다. 확산된 Si은 180Ω/sq. 내외의 면저항을 145Ω/sq.로 30Ω/sq. 이상 감소시켜 MESFET의 소스영역 저항 감소에 기여할 뿐 아니라 저항성 접촉의 특성을 향상시킨다. 875°C와 900°C의 온도에서 열처리하여 얻은 접촉비저항은 $2 \sim 5 \times 10^{-6} \Omega \cdot \text{cm}^2$ 을 보인 반면 950°C에서 열처리한 경우 $1.5 \times 10^{-6} \Omega \cdot \text{cm}^2$ 의 낮은 값과 보다 안정된 특성을 보였다.

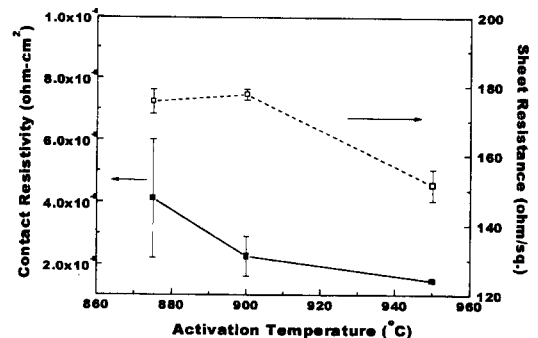


그림 4. 온도에 따른 소스와 드레인 저항성 접촉의 접촉비저항과 N⁺ 영역의 면저항

Fig. 4. Contact resistivity of source/drain ohmic contact and sheet resistance of N⁺ region.

앞에서 논의한 28Si의 확산은 확산의 중단 부위에서 매우 급한 농도의 감소를 보여 Si이 확산된 부위가 뚜렷이 구분된다. 즉 4×10^{12} atoms/cm²의 dose로 Si이 이온주입되어 950°C로 활성화된 기판에서 대부분의 확산된 Si은 표면에서부터 90% 이상이 350Å 이내에 분포하며 이 확산된 영역을 제거하면 이온주입된 Si의 분포가 나타나게 된다. Si이 확산된 영역은 고농도의 Si을 함유하므로 이 영역에 금속 게이트를 형성할 경우 쇼트키 게이트 특성의 저하를 나타내므로 이 확산층을 제거하여 게이트를 형성한다. 그림 5는 Si 확산층이 형성되도록 950°C에서 열처리한 뒤 게이트 영역의 기판을 드러나게 하여 H₃PO₄와 H₂O₂, H₂O가 각각 4:1:180의 비율로 섞인 식각 용액으로 기판을 350Å식각한 다음 Ti/Pt/Au의 게이트 금속을 형성하여 제작한 그림 1-(b) 구조와 확산층이 형성되지 않도록 900°C에서 열처리하여 주입된 이온을 활성화 한 그림 1-(a) 구조로 제작된 MESFET의 트랜스컨덕턴스(G_m ; transconductance)와 전류-전압 특성을 나타낸 것이다. 여기에서 보면 두 종류의 MESFET은 모두 0.25V 내외의 임계전압을 나타내고 있어 900°C에서 활성화된 기판과 950°C에서 활성화된 기판의 채널 특성이 게이트 금속을 증착하기 전 식각된 ~350Å (표면도전층)을 제외하고 거의 유사한 상태에 있음을 뜻한다.

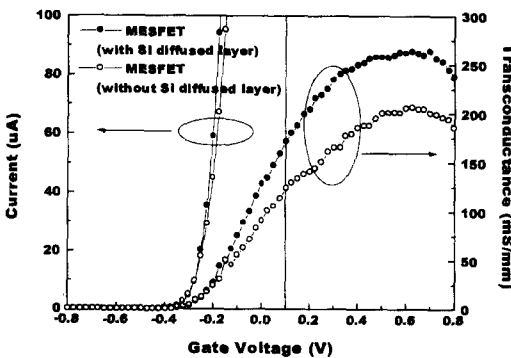


그림 5. 열처리 온도에 따른 MESFET의 트랜스컨덕턴스 특성 변화
 Fig. 5. Transconductance and drain current characteristics of fabricated MESFETs.

그러나 확산에 의해 형성된 소스와 게이트 사이의 고농도 표면도전층의 효과로 인한 소스저항의 감소에 의해 고농도층을 갖도록 제작된 MESFET은 최대 260mS/mm의 G_m 특성을 보여 900°C의 온도에서 활

성화 하여 제작된 MESFET의 특성인 200mS/mm보다 매우 큰 증가를 나타냈다. 이와 같은 G_m 의 증가는 소스저항(R_s ; source resistance)의 감소를 주된 요인으로 볼 수 있다.

3. MESFET의 고주파 및 잡음 특성 개선

제작된 MESFET에서 4×10^{13} atoms/cm²로 Si이 이온주입된 영역(II)의 가장자리와 게이트 사이인 영역(I)로 표시된 부분은 4×10^{12} atoms/cm²로 Si이 이온주입된 영역으로 거리가 0.5um이고 폭이 100um이며 저항금속의 가장자리와 영역(I)/영역(II)의 경계면 사이의 거리는 1um 이다. 따라서 두 영역의 면저항을 고려하여 1차적으로 계산되는 R_s 는 확산층의 유무에 따라 3.45Ω과 6.8Ω으로 3.35Ω의 차이를 나타낸다. 이 소스와 게이트 사이의 영역에 형성된 표면 고농도 확산층에 의한 소스저항 R_s 의 감소는 G_m 의 증가와 함께 다음 식에 묘사된 바와 같이 MESFET의 잡음 특성의 개선에도 크게 기여한다. MESFET의 최소잡음지수 NF_{min} 은 다음과 같이 묘사되어 R_s 의 감소는 NF_{min} 의 직접적인 감소를 피한다^[15].

$$NF_{min} \approx 1 + K_F \omega C_{gc} ((R_s + R_g) / G_{m0})$$

여기에서 K_F 는 MESFET에서 2.5~3의 크기로 나타내지는 fitting factor 이고 ω 는 주파수, C_{gc} 는 게이트 캐패시턴스, R_s 와 R_g 는 각각 소스저항과 게이트 저항을 나타내며 G_{m0} 는 고유 트랜스컨덕턴스이다. 그림 6은 확산층이 있도록 제작된 MESFET과 확산층을 갖지 않도록 제작된 MESFET의 소스와 드레인에 2V의 바이어스를 인가하고 게이트에 0.6V의 전압을 가한 상태에서 2 ~ 18GHz의 범위에 걸쳐 측정된 잡음특성과 이득을 나타낸 것이다. 여기에서 보면 12GHz의 주파수에서 최소잡음지수와 이득은 각각 확산층을 갖도록 제작된 MESFET에서 3.57dB과 8.5dB를, 확산층이 없는 MESFET은 3.97dB와 7.2dB를 나타내고 있다. 결국 확산층의 형성은 MESFET에서 0.4dB의 최소잡음지수 감소와 1.3dB의 이득 개선을 나타내 고온의 열처리에 의해 확산된 표면 고농도층이 소자의 특성 개선에 기여함을 확인할 수 있다.

이상의 연구 결과는 기존의 Si 이온주입과 활성화를 통해 제작되는 MESFET에서 소스와 드레인 영역 표면에 저저항층을 형성하여 특성을 개선하도록 한 것으로 표면의 저저항 층은 기존의 공정에서 단순히 열처

리 온도만을 증가시켜 보호막인 SiN 으로부터 Si이 이온주입된 부분에 선택적으로 확산시켜 얻을 수 있으며 접촉저항과 소스저항의 감소효과를 가져와 전류-전압 특성과 고주파 특성 개선을 개선시킨 것으로 나타났다. 이온주입에 의한 선택적인 확산 증가 효과를 이용하여 본 연구에서 제작된 MESFET는 기존의 소자에 비해 고품위 특성을 나타내 게이트 길이가 작게 되도록 제작하면 더욱 더 특성이 향상될 것으로 생각되며 이는 이온주입 MESFET로 제작되는 MMIC의 주파수 응용 범위를 확장 시키는데 이용될 수 있을 것으로 기대된다.

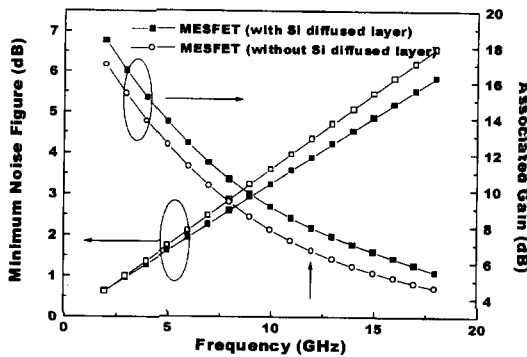


그림 6. 제작된 MESFET의 주파수에 따른 최소잡음 지수와 이득 특성

Fig. 6. Minimum noise figure and associated gain of fabricated MESFETs.

IV. 결 론

본 연구에서는 SiN이 증착된 GaAs 기판을 950°C의 온도로 열처리하는 과정에서 SiN로부터 Si이 GaAs로 확산되어 고농도의 Si을 함유하는 저저항층을 형성함을 확인하였다. 이 Si의 확산은 GaAs 기판에 열처리 전 Si이 이온주입되었던 부분에 선택적으로 나타났으며 이온주입된 Si 양의 증가에 따라 확산된 양도 증가하였다. 이 확산된 Si으로 GaAs 기판 표면에 고농도 활성층을 형성하여 제작한 1 μ m 게이트 길이의 GaAs MESFET은 최대 트랜스컨덕턴스가 260mS/mm, 12GHz 에서 이득과 최소잡음지수가 각각 8.5dB와 3.57dB를 나타내 Si고농도층이 없도록 제작된 MESFET의 7.2dB와 3.97dB에 비해 특성이 크게 향상되었다. 또한 표면 고농도층의 영향으로 소스와 드레인의 접촉비저항은 $2 \sim 5 \times 10^{-6} \Omega \cdot \text{cm}^2$ 보다 낮은 $1.5 \times 10^{-6} \Omega \cdot \text{cm}^2$ 값과 보다 안정된 특성을 나타

냈다.

감사의 글

※ 본 연구는 전북대학교와 한국전자통신연구원 회로 소자연구소의 지원에 의해 수행되었습니다.

참 고 문 헌

- [1] K.Yamasaki, K.Asai, and K.Kuramada, "GaAs LSI-Directed MESFETs with Self-Aligned Implantation for n⁺-Layer Technology (SAINT)", IEEE Trans. Electron Devices, vol. 29, no. 11, pp. 1772-1777, 1982.
- [2] C.Kim, M.Kim, I.Hwang, E.Oh, J.Yang, C.Lee, C.Park, J.Lee, K.Pyun, and H.Park, "A 3.3V Front-End Receiver GaAs MMIC for Digital/Analog Dual-mode Hand-held phone", IEEE GaAs IC Symp., pp. 55-58, 1995.
- [3] M.Nagaoka, H.Wakimoto, T.Seshita, K.Kawakyu, Y.Kitaura, A.Kameyama and N.Uchitomi, "Single Low Supply Voltage Operation GaAs Power MESFET Amplifier with Low Distortion Gain-Variable Attenuator fo 1.9GHz Peraonal Handy Phone Systems", IEEE GaAs IC Symp., pp. 49-52, 1997
- [4] E.G.Oh, J.W.Yang and C.S.Park and K.E.Pyun, "Ion-Implanted WN 0.25 μ m Gate MESFET fabricated using I-Line Photolithography for Application to MMIC and Digital IC", IEEE GaAs IC Symposium, pp. 93-96, 1995.
- [5] S.Wada, J.Yamazaki, M.Ishikawa, and T.Maeda, "A 0.1 μ m Double-Deck-Shaped gate HJFET with reduced Gate Fringing Capacitance for Ultra High Speed ICs", IEEE GaAs IC Symposium, pp. 70-73, 1997.
- [6] H.Yasoo, M.Shigehrau, T.Satoshi et al. "Method of doping, semiconductor device, and method of fabricating semiconductors", EU patent, 0574827, A1, 1993.

- [7] T.Shimura, K.Hosogi, Y.Khono, M.Sakai, T.Kuragaki, M.Shimada, T.Kitano, K. Nishitani and S.Mitsui, "High Performance and Highly uniform sub-Quarter Micron BPLDD SAGFET with Reduced Source to Gate Spacing", IEEE GaAs IC Symposium, pp. 165-168, 1992.
- [8] T.Onuma, T.Hirao and T.Sugawa, "Study of Encapsulants for Annealing Si-Implanted GaAs", J. Electrochem. Soc., vol. 129, pp. 837-840, 1982.
- [9] M.E.Greiner and J.F.Gibbons, "Diffusion and electrical properties of silicon-doped gallium arsenide", J. Appl. Phys., vol. 57, pp. 5181-5187, 1985.
- [10] J.Wagner, H.Seelewind, and W.Jantz, "Dopant incorporation in Si-implanted and thermally annealed GaAs", J. Appl. Phys., vol. 67, pp. 1779-1783, 1990.
- [11] K.H.Lee, J.J.Lee and K.E.Pyun, "Evidence for introduction of extra Si from PECVD SiNx cap during post-implantation annealing of implanted Si due to ion implantation damage in GaAs", Inst. Phys. Conf. Ser. no. 145, pp. 257-262, 1995.
- [12] J.W.Yang, E.G.Oh, C.S.Park and K.E.Pyun, "Si inter-diffusion into GaAs from capping dielectric during RTA and its effects on the performance of MESFETs", 제4회 한국반도체학술대회 논문집, pp. 5-6, 1997.
- [13] M.Kuzuhara, H.Kohzu, and Y.Takayama, "Infrared rapid thermal annealing of Si-implanted GaAs", Appl. Phys. Lett., vol. 41, pp. 755-758, 1987.
- [14] S.S.Gill, and B.J.Sealy, "Review of Rapid Thermal Annealing of Ion Implanted GaAs", J. Electrochem. Soc., vol. 133, pp. 2590-2596, 1986.
- [15] H.Fukui, "Optimal Noise Figure of microwave GaAs MESFETs, IEEE Trans Electron Devices", vol. 26, no. 7, pp. 1032-1027, 1979.

 저 자 소 개

楊 典 旭(正會員)

1958년 10월 23일생. 1981년 2월 광운대학교 전자공학과(공학사). 1983년 2월 연세대학교 전자공학과(공학석사). 1994년 8월 연세대학교 전자공학과(공학박사). 1984년 5월 ~ 1998년 2월 한국전자통신연구원 책임연구원. 현재 전북대학교 반도체물성연구소/반도체과학기술학과 전임강사