

論文99-36D-3-5

Metal Antenna 효과로 인한 게이트 산화막에서 정공 포획에 관한 연구

(Study of the Hole Trapping in the Gate Oxide due to the Metal Antenna Effect)

金炳日*, 李在浩*, 申奉祚**, 李炯圭*, 朴根亨*

(Byeong Il Kim, Jae Ho Lee, Bong Jo Shin, Hyung Gyoo Lee, and Keun Hyung Park)

요 약

최근, 플라즈마 공정에 의해 발생하는 게이트 산화막의 손상은 게이트 산화막의 두께가 10nm이하로 감소함에 따라서 가장 중요한 신뢰성 문제들 중의 하나가 되고 있다. 플라즈마로 인한 손상이 metal 안테나 테스트 구조들을 가지고 연구되었다. Metal 안테나를 가지고 있는 NMOS에서 플라즈마로 인한 전하 축적으로 말미암아 10nm의 게이트 산화막에 전자 포획뿐만 아니라 정공 포획이 발생하는 것이 관측되었다. 정공 포획은 전자 포획의 경우와 유사하게 transconductance(g_m)의 감소를 일으키기는 하지만, 그 정도가 훨씬 적었다. 이는 플라즈마로 인한 전하 축적이 정공 포획이 발생한 소자의 게이트 산화막에 가한 전기적 stress가 전자 포획이 발생한 소자의 경우보다 훨씬 적었기 때문일 것이다. 이 이론은 게이트 산화막에서의 Fowler-Nordheim 전류 특성을 측정된 결과들에 의해 입증되었다.

Abstract

Recently, the gate oxide damage induced by the plasma processes has been one of the most significant reliability issues as the gate oxide thickness falls below 10 nm. The plasma-induced damage was studied with the metal antenna test structures. In addition to the electron trapping, the hole trapping in a 10 nm thick gate oxide due to the plasma-induced charging was observed in the NMOS's with a metal antenna. The hole trapping caused the transconductance (g_m) to be reduced like the case of the electron trapping, but to the extent much less than the electron trapping. It would be because the electrical stress that the plasma-induced charging forced to the gate oxide for the devices with the hole trapping was much smaller than for those with the electron trapping. This hypothesis was strongly supported by the measured characteristics of the Fowler-Nordheim current in the gate oxide.

* 正會員, 忠北大學校 半導體工學科

(Department of Semiconductor Engineering Chungbuk National University)

** 正會員, 忠北大學校 電子工學科

(Department of Electronic Engineering Chungbuk National University)

接受日字:1998年10月26日, 수정완료일:1999年3月4日

I. 서론

최근 고집적도를 요구하는 VLSI 소자를 제작하기 위해서는 submicron MOSFET의 제작이 필수적이라고 할 수 있다. 이러한 submicron MOSFET에서 게이트 산화막의 두께가 10 nm 이하로 떨어지고 있기 때문에 이에 따른 게이트 산화막의 여러 가지 신뢰성 문제들이 중요한 이슈로 크게 대두되고 있다. 그 중에

서도 특별히, 플라즈마 공정 중에 게이트 다결정실리 콘에 플라즈마 전하가 축적되고 이로 인한 게이트 산 화막 특성이 열화되는 문제가 최근 크게 관심을 끌고 있다^[1-8]. 잘 알려져 있는 바와 같이, 플라즈마 공정 중에는 reactor 내에 (+) 이온들과 전자들이 생성되는 데, 이러한 플라즈마 전하들이 reactor 내의 모든 영 역에서 (+) 이온의 농도와 전자의 농도가 동일하도록 분포되어 있으면 플라즈마 전하로 인한 문제가 발생하 지 않으나, 실제적으로는 대부분의 reactor의 경우에는 플라즈마 전하가 reactor 내에서 국지적으로 균일하게 분포되어 있지 않다. 따라서, reactor 내의 영역에 따 라서 (+) 이온의 농도가 전자의 농도 보다 높거나 그 반대인 경우가 많이 발생하게 된다. 이러한 경우에 웨 이퍼 표면에 전도층이 노출되어 있으면 그 전도층에 플라즈마 전하가 축적되게 된다. 특별히 이러한 전도 층이 MOSFET의 게이트 다결정실리콘인 경우에는 심각한 신뢰성 문제가 발생하는데 이는 게이트 다결정 실리콘에 플라즈마 전하가 과다하게 축적되게 되면 이 축적된 전하들은 게이트 산화막을 통하여 기판으로 방 출되게 되며 이러한 과정에서 게이트 산화막의 열화가 발생하게 되기 때문이다. 이 때, 게이트 다결정실리콘 에 축적되는 총 플라즈마 전하량은 웨이퍼 표면에서 플라즈마 전하에 노출되는 게이트 다결정실리콘 막의 넓이에 대략적으로 비례하기 때문에 MOSFET의 게 이트 다결정실리콘 면적과 채널 영역의 면적의 비(소 위, antenna ratio)가 크면 클수록 게이트 산화막이 받 는 damage의 양이 증가하게 된다(소위, 안테나 효과).

지금까지 안테나 효과에 의한 게이트 산화막의 열화 현상에 대해서 많은 연구 결과가 발표되었다^[1-8]. 하 지만 대부분 게이트 산화막에서의 전자 포획에 의한 플라즈마 damage에 관한 연구 결과들이었고^[1-7], 정 공 포획에 관한 연구는 비록 극히 일부 논문^[8]에서 그 연구 결과에 대해 언급하고는 있지만 아직 충분하 게 수행되지 못 하였다. 따라서, 본 논문에서는 metal antenna를 갖고 있는 NMOS에서 정공 포획으로 인 한 게이트 산화막의 특성 열화 현상에 대한 연구 결과 를 논의하고자 한다.

II. 실험 과정

Metal 안테나 효과를 전기적으로 측정할 수 있는 여러 가지 종류의 테스트 소자들이 compass 설계

tool을 사용하여 설계된 후 표준 CMOS 공정에 따라 제작되었다. 이렇게 제작된 NMOS의 W/L = 20/0.6 μm 이었고, 게이트 산화막의 두께는 약 10 nm이었 다. Metal 안테나 효과가 NMOS의 게이트 산화막의 특성에 미치는 영향을 정량적으로 분석하기 위하여 ① 안테나를 갖고 있지 않는 표준 NMOS, ② metal 안 테나(antenna ratio:약 14,000)를 가지고 있는 NMOS 및 ③ 안테나 뿐만 아니라 안테나와 기판사이 에 N⁺-P 다이오드(소위, protection diode)를 갖고 있는 NMOS(그림 1)들이 함께 제작되었다. 여기서 제작된 protection diode의 pn 접합의 단면적은 40,000 μm^2 이었다. 이렇게 제작된 소자들은 안테나 효과를 정량적인 분석을 위해 각 소자들의 문턱전압 (V_t)과 transconductance (g_m)를 반도체 소자의 파 라메타 분석기 중의 하나인 HP 4156B를 사용하여 측 정하였다. 또한, 게이트 산화막의 특성 열화를 보다 심 도있게 정성적으로 분석하기 위하여 Fowler-Nor dheim(FN) 전류 특성과 charge pumping 전류 특 성을 측정 및 분석하였다.

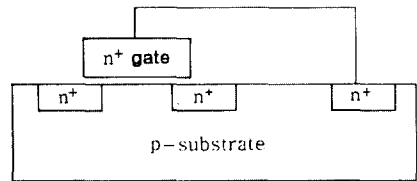


그림 1. Protection diode를 갖고 있는 NMOS의 구조 Fig. 1. NMOS structure with protection diode.

III. 실험 결과

제작된 NMOS들의 문턱 전압을 측정된 결과 me- tal 안테나와 함께 protection diode를 갖고 있는 소 자들의 문턱전압은 표준 소자의 문턱전압과 거의 동일 하였으나, protection diode 없이 metal 안테나만을 갖고 있는 소자들 중의 일부 소자들은 문턱전압이 증 가하였고 또한 다른 일부 소자들은 문턱전압은 감소하 였다(그림 2, 3). 물론 이 경우도 대부분의 소자들의 문턱전압은 표준 소자의 문턱전압과 거의 비슷하였다.

그림 2에서는 표준 소자, metal 안테나 및 pro- tection diode를 갖고 있는 소자, protection diode 없이 metal 안테나만을 갖고 있는 소자들 중 게이트 산화막에서의 정공 포획으로 인하여 문턱전압이 감소 한 소자(A) 및 전자 포획으로 인하여 문턱전압이 증

가 한 소자(B)의 I-V 특성들을 보여주고 있다.

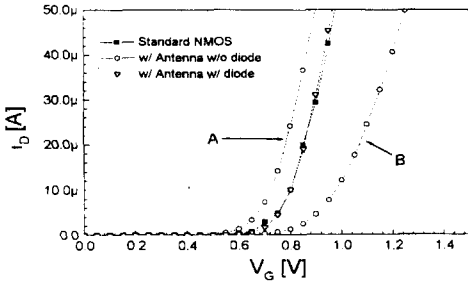


그림 2. 표준 소자, metal 안테나와 protection diode 또는 metal 안테나만을 갖고 있는 소자의 I-V 특성

Fig. 2. I-V characteristics of a standard NMOS, NMOS' only with a metal antenna, and a NMOS with a metal antenna and a protection diode.

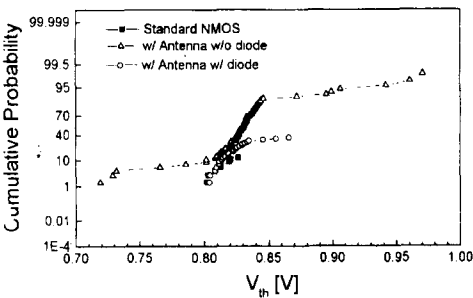


그림 3. 표준소자, metal 안테나 및 protection diode를 갖고 있는 소자, protection diode 없이 metal 안테나만을 갖고 있는 소자들의 문턱전압의 분포도

Fig. 3. Distribution of the threshold voltages of a standard NMOS, NMOS' only with a metal antenna, and a NMOS with a metal antenna and a protection diode.

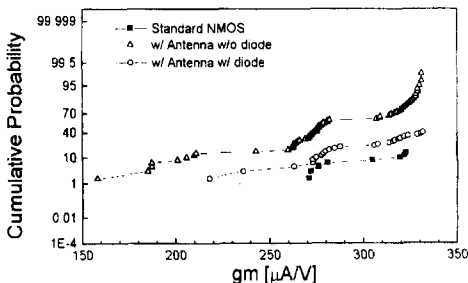


그림 4. 표준소자, metal 안테나 및 protection diode를 갖고 있는 소자, protection diode 없이 metal 안테나만을 갖고 있는 소자들의 gm의 분포도

Fig. 4. Distribution of the gm of a standard NMOS, NMOS' only with a metal antenna, and a NMOS with a metal antenna and a protection diode.

그림 3에서는 측정된 모든 소자들의 문턱전압의 분포도를 보여주고 있다. 이미 예측한 바와 같이, metal 안테나와 함께 protection diode를 갖고 있는 소자들의 문턱전압은 표준 소자들의 문턱전압 분포도와 거의 유사한 점으로 미루어 이 소자들의 게이트 산화막은 플라즈마 damage를 거의 받지 않은 것 같다. 이러한 결과는 물론 이미 발표된 다른 논문들^[6, 7]의 연구 결과와 일치하는 것이다. 반면에 protection diode 없이 metal 안테나만을 갖고 있는 소자들의 경우는 앞에서 언급한대로 대부분의 소자들은 플라즈마 damage를 입지 않았지만 일부 소자들은 게이트 산화막에서의 전자 또는 정공 포획이 발생하였다. 이는 metal 안테나 효과가 웨이퍼 위에 있는 모든 소자들에게 균일하게 보다는 영역에 따라서 random하게 영향을 미치는 것을 보여주고 있다. 우리가 아는 한, 지금까지 한 웨이퍼 위에서 플라즈마 전하축적으로 인하여 전자 및 정공 포획이 동시에 발생하는 것이 학계에 보고된 적이 없었다.

앞에서의 문턱전압의 측정 결과와 똑같은 경향이 gm의 측정 결과에서도 나타나고 있다 (그림 4). 즉, 주로 protection diode 없이 metal 안테나만을 갖고 있는 소자들 중의 일부 소자들에서 게이트 산화막의 플라즈마 damage로 인한 gm의 열화가 관찰되고 있다.

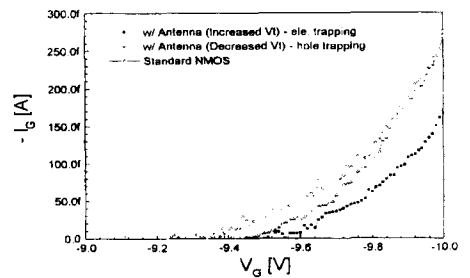


그림 5. 표준소자 및 전자 또는 정공 포획을 갖고 있는 소자들의 FN 전류 특성

Fig. 5. FN current characteristics of a standard NMOS, a NMOS with hole trapping, and a NMOS with electron trapping.

게이트 산화막에서의 정공 포획을 확인하기 위하여 표준 소자 및 전자 또는 정공 포획을 보여주는 소자 하나씩을 선택해서 게이트 산화막의 FN 전류 특성을 측정하여 보았다 (그림 5). 예측한 바와 같이, 게이트 산화막에 정공 포획이 있는 소자의 경우는 FN 전류가

표준 소자의 것에 비해서 증가하였고 전자 포획이 있는 소자에서는 FN 전류가 크게 감소하였다.

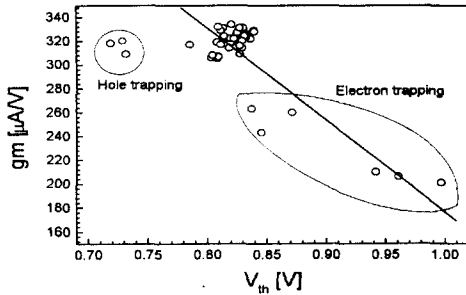


그림 6. 웨이퍼 #1에 있는 소자들의 문턱전압과 gm 관계

Fig. 6. Plot of gm as a function of Vth for the devices on the wafer # 1.

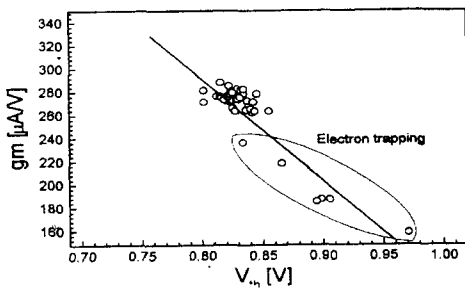


그림 7. 웨이퍼 #2에 있는 소자들의 문턱전압과 gm 관계

Fig. 7. Plot of gm as a function of Vth for the devices on the wafer # 2.

그림 6과 7에서는 metal 안테나 효과에 의한 게이트 산화막의 damage 중 문턱전압과 gm의 열화 특성의 상호 연관성을 조사하였다. 여기서 그림 6과 7은 각각 웨이퍼 1장에 있는 소자들의 측정 데이터이다. 여기에서 볼 수 있듯이, 정공 포획이 발생한 소자의 경우에는 gm의 열화 정도가 상당히 미미했다 (그림 6). 그러나, 전자 포획이 발생한 경우에는 문턱 전압이 증가한 양에 비례해서 큰 폭으로 gm이 감소하였다. 즉, 문턱전압과 gm의 열화 특성의 상호 연관성이 뚜렷하게 존재하고 있음을 보여준 것이다.

앞의 실험 결과에서는 플라즈마 전하축적에 의한 게이트 산화막에서의 전자 포획이 정공 포획보다 gm의 열화를 훨씬 더 많이 일으키는 것을 보았다. 그렇다면 어떠한 조건의 stress 하에서 게이트 산화막에서의 정공과 전자 포획이 각각 일어나는가를 살펴보기 위하여

표준소자의 게이트에 negative 또는 positive constant current stress를 인가하면서 전하 주입량에 따른 문턱전압 및 gm의 변화량을 측정하였다 (그림 8, 9). 예상한 바와 같이, positive constant current stress인 경우는 모든 stress 기간 동안 게이트 산화막에 오직 전자 포획만 발생하였지만, negative constant current stress인 경우에는 초기의 stress 기간 동안에는 정공 포획이 발생하다가 주입된 전하량이 약 $2C/cm^2$ 이상이 되면서 점차 전자 포획이 증가하여 $40C/cm^2$ 이상이 되면 trap된 전자의 농도가 포획된 정공의 농도를 능가하였다 (그림 8). 다른 한편으로 gm의 경우에는 negative와 positive stress 모두의 경우에서 stress 시간이 증가하면서 gm이 계속 감소하였으나 negative stress의 경우가 그 정도가 더 심하였다 (그림 9). 여기서, 정공포획의 발생원인은 이미 다른 논문들에서 언급했던 바와 같이^[9,10], negative stress 기간동안 게이트 산화막을 통과하면서 충분한 운동에너지를 얻은 전자들이 산화막내의 입자들과 충돌하여 이온화를 일으키면서 전자-정공쌍이 발생한 후에 전자는 기판으로 이동하고 정공만이 산화막내에 남아서 발생하는 것으로 알려지고 있다.

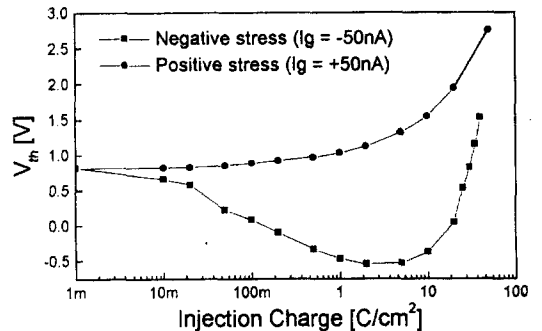


그림 8. 표준 NMOS의 게이트에 정해진 시간 동안 positive 또는 negative constant current stress를 준 후의 문턱전압의 측정치

Fig. 8. V_{th} of a standard NMOS after a positive or a negative constant current stress for the given time.

그림 6, 7의 결과와 그림 8, 9의 결과를 상호 비교해보면, 그림 6, 7에서의 정공 포획의 경우는 문턱전압이 약 0.1V 감소하였고 반면에 gm은 거의 변화가 없으므로 그림 8, 9에서 게이트에 아주 소량의 negative stress를 인가한 경우와 일치하는 것을 볼 수 있다. 또한, 그림 6, 7에서의 전자 포획의 경우는 문턱

전압이 최대 0.2V 증가하였고 이 때 g_m 은 약 45% 감소하였으므로 그림 8, 9에서 게이트에 적지 않은 양의 positive stress를 인가한 경우와 일치하는 것을 볼 수 있다. 따라서, 결론적으로 metal 안테나를 갖고 있는 NMOS에서 플라즈마 전하축적으로 인한 전자 포획의 경우는 플라즈마 공정, 특히 metal 층의 dry etching 공정중에 다량의 (+) 이온이 게이트 다결정실리콘에 축적되어 발생한 것으로 판단되며, 반면에 정공 포획의 경우에는 플라즈마 공정 중에 소량의 전자가 게이트 다결정실리콘에 축적되었기 때문인 것으로 사료된다.

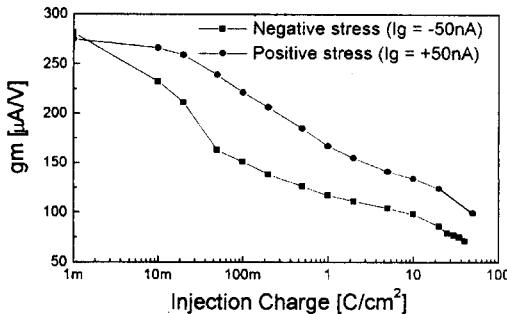


그림 9. 표준 NMOS의 게이트에 정해진 시간 동안 positive 또는 negative constant current stress를 준 후의 g_m 의 측정치
Fig. 9. g_m of a standard NMOS after a positive or a negative constant current stress for the given time.

그림 10에서는 표준소자 뿐만 아니라 정공 또는 전자 포획을 보여주는 소자들의 subthreshold slope을 측정하여 아래의 식 (1)을 사용하여 플라즈마 damage로 인한 게이트 산화막의 interface state density의 증가량을 계산한 값을 도식한 것이다.

$$\Delta D_{it} = \frac{\Delta S C_i}{kT \ln 10} \quad (1)$$

여기서, D_{it} : interface state density
S : subthreshold slope
 C_i : gate capacitance

이 그림에서 볼 수 있듯이, 그림 6, 7의 결과와 마찬가지로 정공 포획이 발생한 소자의 경우에는 interface state density의 증가가 미미했지만 전자 포획이 발생한 경우에는 문턱 전압이 증가한 양에 비례해서 큰 폭으로 interface state density가 증가하였다.

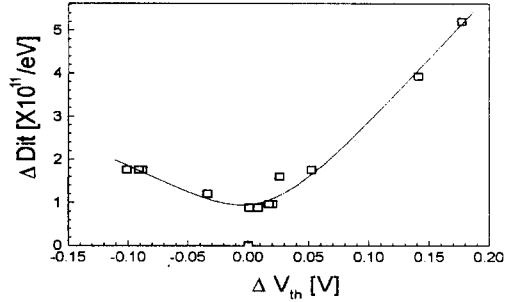


그림 10. 표준 소자 및 metal 안테나를 갖고 있는 소자들의 interface state density 증가량을 문턱전압 변화량의 함수로 나타낸 그림
Fig. 10. ΔD_{it} as a function of ΔV_{th} for the standard NMOS and NMOS' with a metal antenna.

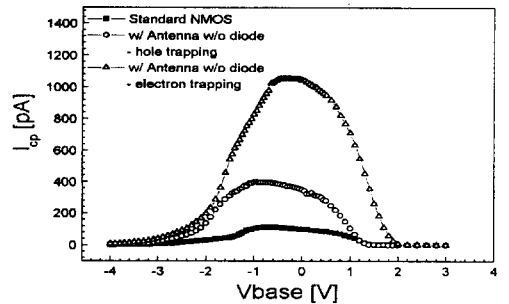


그림 11. 표준소자 및 게이트 산화막에 전자 포획 또는 정공 포획이 발생한 소자들의 charge pumping current의 비교
Fig. 11. Comparative charge pumping currents of a standard NMOS and a NMOS with the electron trapping, or the hole trapping.

이를 확인하기 위해서 다시 표준 소자 및 전자 또는 정공 포획을 보여주는 소자 하나씩을 선택해서 게이트 산화막의 charge pumping 전류 특성을 측정하였다. 측정시에는 소오스와 드레인에는 50 mV를 인가하고 기판은 접지한 상태에서 게이트에 높이 3 V이고 100 KHz를 가진 구형파를 게이트에 인가하면서 기판 전류의 크기를 측정하였다. Charge pumping 전류, I_{cp} 의 peak 전류의 크기가 게이트 산화막의 interface state density에 비례하는 것을 고려하면 이 측정 결과는 비록 정공 포획을 갖고 있는 소자의 경우도 다소 interface state density가 증가했지만 전자 포획을 갖고 있는 소자의 경우에 비해서는 그 증가량이 월등히 작음을 알 수 있다. 이러한 측정 결과 또한 앞에서의 다른 실험 결과들과 일치함을 알 수 있다.

IV. 결론

Metal 에칭 동안의 plasma-induced charging으로 인한 게이트 산화막의 열화 특성을 살펴보기 위하여 metal 안테나를 갖는 NMOS를 제작한 후 metal 안테나 효과를 측정 및 분석하였다. 연구 결과를 간략히 열거하면 다음과 같다.

① metal 안테나를 갖고 있는 NMOS들의 경우에 플라즈마 damage가 소자에 따라 random하게 나타나서 대부분의 소자들은 damage를 받지 않았지만 일부 소자들의 경우에는 게이트 산화막에서의 전자 또는 정공 포획으로 인하여 문턱전압이 변화하였고 또한 g_m 의 열화가 발견되었다.

② 한 웨이퍼 위에서도 정공 또는 전자 포획이 발생한 소자들이 각각 존재하였으며, 정공 포획보다 전자 포획이 발생한 소자들의 g_m 열화가 월등히 더 심각했다.

③ 전자 포획이 발생한 소자들의 경우에는 문턱전압과 g_m 의 열화의 상호 관련성이 뚜렷하여서 문턱전압이 많이 변한 소자일수록 g_m 의 열화의 정도가 더 심하였다.

④ 플라즈마 전하축적으로 인한 문턱전압과 g_m 의 열화 특성의 측정 결과와 표준소자의 FN stress 특성의 측정 결과를 상호 비교 검토해 본 결과, 전자 포획의 경우는 플라즈마 공정중에 다량의 (+) 이온이 게이트 다결정실리콘에 축적되어 발생한 것으로 판단되며, 반면에 정공 포획의 경우는 플라즈마 공정중에 소량의 전자가 게이트 다결정실리콘에 축적되었기 때문인 것으로 사료된다.

감사의 글

※ 이 논문은 1996년도 한국학술진흥재단의 대학부설 연구소 연구비에 의하여 연구되었습니다(과제 번호 : E-0220).

참고 문헌

[1] Hyungcheol Shin, Chih-chieh King and Chenming Hu. "Thin Oxide Damage by Plasma Etching and Ashing Process" IEEE. IRPS. p. 37, 1992.

- [2] F. Shone, K. Wu, J. Shaw, E. Hokelet, S. Mittal, and A. Haranahalli. "Gate oxide charging and its elimination for metal antenna capacitor and transistor in VLSI CMOS double layer metal technology" VLSI sym. p. 73, 1989.
- [3] Stephen J. Fonash, C.R. Viswanathan, Y. David Chan, "A survey of damage effects in plasma etching" Solid State Technology. p. 99, 1994.
- [4] Donggun Park and Chenming Hu, "Plasma Charging Damage on Ultrathin Gate Oxides" IEEE Electron Device Letters, vol. 19, no. 1, Ja, 1998.
- [5] Elyse Rosenbaum, Zhihong Liu and Chenming Hu. "The Effect of Oxide Stress Waveform on MOSFET Performance" IEDM p. 719, 1991.
- [6] Hao Fang, Sameer Hadad, Chi Chang, and Jih Lien. "Plasma-Induced In-Line Charging and Damage in Non Volatile Memory Devices" IEDM p. 467, 1994.
- [7] Mohsen Alavi, Steve Jacobs, Shahriar Ahmed, Chan-Hong Chern, Paul McGregor. "Effect of MOS Device Scaling on Process Induced Gate Charging" P2ID p. 7, 1997.
- [8] T. Brozek, Y. David Chan, and Chand R. Viswanathan. "Enhanced Hole Trapping in MOS Devices Damaged by Plasma-Induced Charging" Proceedings of the 26th European Solid State Device Research Conference, p.365, 1996.
- [9] Y. Nissan-Cohen, J. Shappir, and D. Frohman-Bentchkowsky, "High-field and current-induced positive charge in thermal SiO₂ layers", J. Appl. phys., 57 (8), p.2830, (1985).
- [10] I.C. Chen, S. Holland and C. Hu, "Hole trapping and breakdown in SiO₂", IEEE Elec. Dev. Lett, EDL-7, 3, p.164, 1986.

저 자 소 개



金炳日(正會員)

1972년생. 1997년 2월 충북대학교 반도체과학과 졸업(학사). 1999년 2월 충북대학교 반도체공학과 석사과정 졸업



李在浩(正會員)

1975년생. 1997년 2월 충북대학교 반도체과학과 졸업(학사). 1999년 2월 충북대학교 반도체공학과 석사과정 졸업

申奉祚(正會員)

1960년생. 1988년 2월 서울산업대학교 전자공학과 졸업(학사). 1991년 2월 숭실대학교 반도체공학과 석사과정 졸업. 1999년 2월 충북대학교 반도체공학과 박사과정 수료. 현재 LG반도체 근무

朴根亨(正會員)

1954년생. 1984년 한양대학교 전자공학과 졸업(학사). 1987년 University of Michigan (Ann Arbor) 전기공학과(석사). 1992년 University of Texas at Austin 전기공학과(박사). 1992년 ~ 1993년 미국 Cypress Semiconductor에서 Senior Technology Engineer. 1993년 ~ 1994년 LG 반도체의 중앙연구소에서 책임연구원으로서 Flash EEPROM 개발. 현재 충북대학교 전기전자공학부 조교수, 약 20여편의 기술논문 발표. 주관 심분야는 Flash EEPROM과 FRAM의 공정 및 셀 개발과 초박막 유전체의 신뢰성 향상 등임

李炯圭(正會員)

1953년생. 1976년 서울대학교 재료공학과 졸업(학사). 1978년 서울대학교 물리학과(석사). 1980년 한국과학기술원 재료공학과(석사). 1989년 Ph. D. University of Southern California. 1980년 3월 ~ 1983년 7월 충북대학교 재료공학과 조교수. 1986년 3월 ~ 1987년 12월 미국 Honeywell Inc. 연구 Consultant. 1989년 3월 ~ 1991년 4월 University of Pittsburgh, Research Associate. 1991년 5월 ~ 1993년 3월 Member of Technical Staff, A&F Bell Laboratories. 1994년 4월 ~ 현재 충북대학교 전기전자공학부 부교수