

論文99-36C-5-6

# 정착시간 최소화 기법을 적용한 고속 CMOS A/D 변환기 설계

## (A High-Speed CMOS A/D Converter Using an Acquisition-Time Minimization Technique)

全炳烈\*, 全榮得\*, 李承勳\*

(Byeong-Lyeol Jeon, Young-Deuk Jeon, and Seung-Hoon Lee)

### 요 약

본 논문에서는 50 MHz 수준의 고속 신호 샘플링을 위해 정착시간 최소화 기법을 적용한 12 비트 50 MHz CMOS A/D 변환기 (analog-to-digital converter : ADC) 회로를 제안한다. 제안하는 ADC는 0.35  $\mu\text{m}$  double-poly five-metal n-well CMOS 공정을 사용하여 설계 및 레이아웃되었으며, 응용되는 시스템의 속도, 해상도, 및 면적 등의 사양을 고려하여 다단 파이프라인 구조가 적용되었다. 기존의 파이프라인 구조를 가진 ADC의 경우, 동작속도를 제한하는 결정적인 회로 블록은 잔류전압 증폭기이나, 제안하는 정착시간 최소화 기법은 이러한 잔류전압 증폭기의 동작 전류 제어를 통해 정착시간 단축 및 출력신호의 불규칙성을 최소한으로 줄인다. 3 V 전원전압에서 50 MHz 클럭 주파수를 사용하여 모의실험한 결과, 입출력단을 포함한 전체 ADC는 197 mW의 전력소모를 나타내었고, 입출력단의 패드를 포함한 전체 칩면적은 3.2 mm  $\times$  3.6 mm이다.

### Abstract

This paper describes a 12b, 50 Msample/s CMOS A/D converter using an acquisition-time minimization technique for the high-speed sampling rate of 50 MHz level. The proposed ADC is implemented in a 0.35  $\mu\text{m}$  double-poly five-metal n-well CMOS technology and adopts a typical multi-step pipelined architecture to optimize sampling rate, resolution, and chip area. The speed limitation of conventional pipelined ADCs comes from the finite bandwidth and resulting speed of residue amplifiers. The proposed acquisition-time minimization technique reduces the acquisition time of residue amplifiers and makes the waveform of amplifier outputs smooth by controlling the operating current of residue amplifiers. The simulated power consumption of the proposed ADC is 197 mW at 3 V with a 50 MHz sampling rate. The chip size including pads is 3.2 mm  $\times$  3.6 mm.

### I. 서 론

최근 이동통신 단말기, 의료용 영상 진단기, HDTV 등의 수요가 크게 증가되고, 차세대 이동통신인 IMT-2000 (International Mobile Telecommunication-2000)의 세계적 표준화 작업이 진행됨에 따라

기지국이나 휴대용 단말기 등에 필요한 12 비트 이상의 해상도에서 30-40 MHz 이상의 높은 샘플링 속도를 갖는 A/D 변환기 (analog-to-digital converters : ADCs)에 대한 수요가 크게 증가되고 있다. 현재까지 이러한 사양을 만족하는 기존의 ADC들은 대부분 BJT나 BiCMOS 공정을 사용하므로 비교적 높은 전력소모 특성을 보여왔다<sup>[1]-[3]</sup>. 따라서, 휴대용 응용 기기 사용의 증가에 따라 요구되는 저전력 특성, 아날로그 블럭과 디지털 블럭이 함께 온칩 (on-chip)화되는 혼성모드 (mixed-mode) 회로 설계를 통한 시스템

\* 正會員, 西江大學校 電子工學科

(Dept. of Electronics Engineering, Sogang University)

接受日字:1999年1月26日, 수정완료일:1999年3月31日

템 성능 향상 및 낮은 제작 비용 등을 동시에 얻기 위해서 CMOS 공정이 선호되는 추세이다.

최근 수년간 발표된 기존의 12비트 이상 해상도를 가진 CMOS ADC의 속도와 해상도를 도표로 보면 그림 1과 같이 요약되고, 12비트 수준의 해상도일 경우, 현재 제품으로 판매되고 있는 ADC를 포함하여, 동작속도가 40 MHz 이하인 것을 볼 수 있다. 그림 1을 통해서 볼 수 있듯이 해상도가 높은 경우는 샘플링 속도가 낮고, 샘플링 속도가 높은 경우는 해상도가 낮은 관계를 관찰할 수 있다<sup>[4]-[15]</sup>. 즉, 해상도와 샘플링 속도 사양을 동시에 향상시키기 어려움을 알 수 있다.

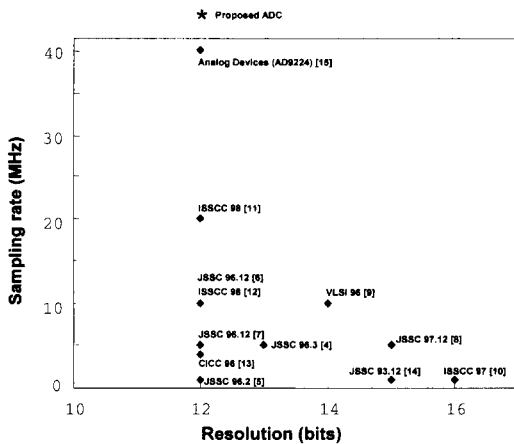


그림 1. 최근 발표된 CMOS ADC의 해상도 및 동작속도

Fig. 1. Resolution versus sampling rate of recently reported CMOS ADCs.

상술한 IMT-2000 등과 같은 응용분야에 필요한 12 비트 이상의 해상도 및 30-40 MHz 이상의 샘플링 속도의 사양을 만족하는 ADC 설계시, 가능한 구조들에는 플래시 (flash) 구조, 파이프라인 (pipeline) 구조, 병렬 파이프라인 (parallel pipeline) 구조 등이 있다. 먼저, 플래시 구조를 가진 ADC의 경우, 세 가지 구조 중 가장 빠른 샘플링 속도를 얻을 수 있으나, 12 비트 이상의 해상도를 얻기 위해서 필요한 많은 비교기 (comparator)의 숫자, 비교기들 간의 오프셋 (offset), 큰 전력소모 등이 문제가 된다. 파이프라인 구조를 가진 ADC의 경우, 비교적 적은 면적 및 전력소모 특성을 보이나, 해상도에 관한 한 입력 샘플-앤-홀드 증폭기 (sample-and-hold amplifier : SHA)에 제한을 받고, 동작 속도의 경우는 잔류전압 증폭기

(residue amplifier)의 신호처리 속도가 전체 ADC의 동작 속도를 결정한다<sup>[4]</sup>. 한편, 병렬 파이프라인 구조의 경우, 추가하는 채널의 숫자 만큼 동작 속도를 증가시킬 수 있는 장점이 있으나, 각 채널간의 이득, 옵셋 오차 및 클럭 스쿠 (skew) 등의 어려운 문제가 해결되어야 하고, 전체 ADC의 복잡도 및 하드웨어가 증가하는 단점이 있다<sup>[5]</sup>. 이러한 몇 가지 구조들 간의 장단점, 요구되는 전력소모, 해상도, 동작속도 등의 사양을 고려할 때, 파이프라인 구조가 가장 적합함을 알 수 있다.

본 논문에서는 제안하는 증폭기 정착시간 최소화 기법을 통해 CMOS 파이프라인 ADC에 사용되는 잔류전압 증폭기의 동작속도를 향상시키고 동시에 증폭기 출력 파형의 불규칙성을 최소화하여 줄임으로써 12 비트 해상도, 50 MHz 수준의 샘플링 속도를 가지는 CMOS ADC의 설계 기법을 논의한다. 논문의 II 장에서는 설계되는 ADC의 전체 구조에 대하여 간략히 설명하고, III 장에서는 제안하는 증폭기 정착시간 최소화 기법의 원리와 실제 회로 구현 및 모의실험 결과를 논의한다. IV 장에서는 정착시간 최소화 기법을 적용한 전체 ADC 회로의 모의실험 결과로 동작의 유용성을 검증한다.

## II. 제안하는 ADC 전체 구조

파이프라인 구조를 기본으로 하는 그림 2의 전체 ADC 회로 블록도는 입력 샘플-앤-홀드 증폭기 (SHA), 3개의 4b MDAC (multiplying digital-to-analog converter), 4 개의 4b 플래시 ADC (flash ADC), 디지털 교정회로 (digital correction logic), 자체 바이어스전류 발생기 (self bias generator), 및 클럭 발생기 (clock generator)로 구성되며, 그 기본적인 동작은 기존의 파이프라인 구조의 ADC와 동일하다<sup>[6]-[7]</sup>.

이러한 파이프라인 구조를 가진 ADC는 잔류전압 증폭기와 DAC (digital-to-analog converter)의 기능이 합쳐진 MDAC이 아날로그 블록의 대부분의 전력소모를 나타낸다. 그 이유는 MDAC 내의 잔류전압 증폭기가 필요로 하는 높은 폐루프 이득 (closed-loop gain)에서 선형성, 빠른 동작속도, 및 높은 DC 이득의 특성을 함께 얻기 위해서 대단히 큰 전력을 필요로 하기 때문이다<sup>[4,6]</sup>.

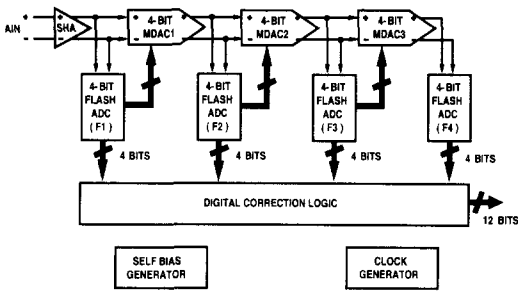


그림 2. 제안된 12b ADC의 전체 블럭도  
Fig. 2. Block diagram of the proposed ADC.

그림 2의 전체 ADC에서, 우선 목표로 하는 12 비트 해상도를 얻기 위해서는 SHA 블럭 및 MDAC 블럭에 사용된 샘플링 캐패시터의 크기를 동작속도 및 전력소모 사양이 허용하는 범위 내에서 최대한 증가시킴으로써, 수동소자 간의 부정합을 최소화하고 열잡음 (thermal noise :  $kT/C$ )에 의한 해상도 저하를 방지해야 한다. 한편, 각 단에서 부하 캐패시턴스, 전력소모, 50 MHz 수준의 샘플링 속도 등을 최적화하기 위해서는, 각 단에서 몇 비트의 디지털 출력을 얻어야 하는지를 신중히 고려해야 한다. 기존의 고속 파이프라인 구조의 ADC에서는 흔히 2 비트에서 5 비트 정도의 디지털 비트를 각 단당 결정하는 구조가 널리 쓰이고 있다 [3, 4], [6-9], [16]. 예를 들어, 각 단에서 결정되는 디지털 비트가 2 비트이고, 각 단 사이의 오피셋 및 피드스루 (feedthrough) 오차 등을 제거하기 위해 각 파이프라인 단 사이의 1비트 씩의 디지털 출력을 중첩시키는 전형적인 디지털 교정기법을 사용하고, 설계 및 레이아웃의 편의를 위해 각 파이프라인 단의 구조를 동일하게 하는 경우, 총 12 비트의 최종 디지털 출력을 얻기 위해서는 11 단의 파이프라인 단이 필요하다 [16] - [17]. 이 구조는 잔류전압 증폭기의 페루프 이득 및 부하 캐패시턴스가 각 단에서 3 비트 이상의 디지털 출력 비트를 결정하는 파이프라인 구조보다 작기 때문에 증폭기 설계는 비교적 용이하나, 많은 파이프라인 단이 필요하므로 전력소모 및 전체 시스템의 복잡도가 상대적으로 증가하게 된다.

그 반면, 각 단에서 결정되는 디지털 비트의 수가 5 이면서 디지털 교정기법을 사용하는 경우에는, 3 개의 파이프라인 단으로 12 비트의 최종 디지털 출력값을 얻을 수는 있으나, 각 단에서 2 비트를 결정하는 구조와 동일한 동작 속도를 얻기 위해서는 최소한 8배 이

상의 페루프 이득 증가에 따른 잔류전압 증폭기의 단위 이득 주파수 (unity-gain frequency :  $f_u$ )도 그만큼 커져야 하며, 그에 따라 증폭기의 크기 및 부하 캐패시턴스도 증가하여 전력소모가 크게 늘어나게 된다.

따라서, 본 논문에서는 회로의 복잡도, 증폭기 설계의 용이성 및 전력소모 등을 복합적으로 고려하여, 각 단에서 4 비트의 디지털 값을 결정하는 구조를 이용하여 전체 ADC를 설계한다. 이와 같이 각 단에서 4 비트의 디지털 출력을 결정하는 구조의 경우, 50 MHz 동작 속도에서 12 비트의 최종 디지털 출력을 얻기 위해서는 총 4 개의 파이프라인 단이 필요하고, 3 개의 잔류전압 증폭기가 필요하다. 전력소모, 속도, 수동소자간 정합에 의한 선형성 등의 측면에서 가장 중요한 첫번째 잔류전압 증폭기 출력신호는 총 12 비트에서 첫번째 단 4 비트를 뺀 8 비트로부터, 설계여유 (design margin) 2 비트를 추가하여 10 비트 수준의 정확도 (accuracy)로 10 ns 내에 정착 (settling) 하면 된다.

### III. 제안하는 정착시간 최소화 기법

#### 1. 정착시간 최소화 기법의 기본 원리

증폭기 설계시, 그림 3 (a)와 같이 인가된 입력신호에 대하여 출력신호가 최종 목표로 하는 정확도 이내로 도달하는데 걸리는 전체 시간을 출력신호의 정착시간 (acquisition time :  $t_{acquisition}$ )이라고 정의한다면, 이  $t_{acquisition}$ 은 식 (1)과 같이 크게 두 부분으로 나누어질 수 있다.

$$t_{acquisition} = t_{slewing} + t_{settling} \quad (1)$$

식 (1)에서  $t_{slewing}$ 은 출력신호가 그림 3 (a)와 같이 슬루 (slew)하는데 필요한 시간이고,  $t_{settling}$ 은 슬루 이후에 출력신호가 주어진 해상도 이내로 최종 정착하는데 소요되는 시간을 나타낸다. 증폭기를 어떻게 설계하느냐에 따라 전체 정착시간 중,  $t_{slewing}$ 과  $t_{settling}$ 의 비율이 달라지게 된다. 그림 3 (b)와 같은 충분히 큰 DC 이득을 얻기 위해 전형적으로 사용되는 2단 증폭기 구조에서  $t_{slewing}$ 은 단위 시간당 증폭기에 공급해 줄 수 있는 전류  $\sqrt{I_b}$ 에 반비례하고, 구동해야 하는 캐패시터  $C_c$ 에 비례하는, 식 (2)와 같은 관계를 갖는다 [18] - [19].

$$t_{\text{steering}} \propto \frac{C_C}{g_{m1}} \propto \frac{C_C}{\sqrt{I_D}} \quad (2)$$

식 (2)에서  $C_C$ 는 보상 캐패시터(compensation capacitor)의 크기이고,  $g_{m1}$ 은 첫번째 증폭기의 트랜스컨덕턴스(transconductance)이다. 증폭기 설계시 고려해야 할 또 다른 변수인 위상여유(phase margin :  $\phi_{PM}$ )는 식 (3)과 같이 나타낼 수 있다<sup>[18] - [19]</sup>.

$$\phi_{PM} \cong 90^\circ - \tan^{-1}\left(\frac{g_{m1}}{C_C} \cdot \frac{C_L}{g_{m2}}\right) \quad (3)$$

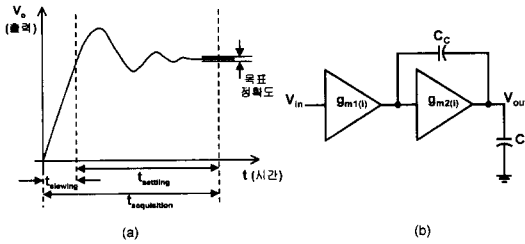


그림 3. (a) 출력신호 파형 및 (b) 2 단 증폭기 개념도  
Fig. 3. (a) Output waveform and (b) block diagram of a two-stage amplifier.

식 (3)에서  $g_{m2}$ 는 두 번째 증폭기의 트랜스컨덕턴스이고  $C_L$ 은 부하 캐패시터의 크기를 나타낸다. 식 (3)에서  $\phi_{PM}$ 이 클수록 2단 증폭기의 최종 출력신호의 불규칙성이 줄어들어 필요로 하는 정확도 이내로 신호가 정착하는데 걸리는  $t_{\text{settling}}$ 이 줄어든다. 따라서, 2단 증폭기 설계시 식 (2)와 (3)의  $g_{m1}/C_C$  항에서 보는 바와 같이 상충되는 두가지 조건을 동시에 고려하여 전체적인 정착시간  $t_{\text{acquisition}}$ 을 줄이기 위해서는 슬루하는 기간 동안에는  $C_C$ 를 작게 하거나  $g_{m1}$ 을 증가시켜  $t_{\text{slewing}}$ 을 줄이고, 슬루 이후의 최종 정착 때까지의  $t_{\text{settling}}$ 을 줄이기 위해서는 그 반대로  $g_{m1}$ 을 줄이거나  $g_{m2}$  혹은  $C_C$ 를 증가시켜 위상여유를 향상시키면 된다.

이러한 기본적인 개념을 사용하여 실제 회로를 설계할 때, 정착시간을 최소화하기 위하여  $C_C$ 를 감소 혹은 증가시키는 경우에는 크기 조절을 위해 캐패시터에 직렬로 연결되는 스위치가 필요하고, 이 스위치의 턴-온(turn-on) 저항과 기생 캐패시터에 의해 발생하는 기생 폴(parasitic pole)에 의해 증폭기 설계가 용이하지 않은 단점이 있다. 따라서, 증폭기의 동작 전류를 제어하는 방법이 회로 설계 측면에서는 더 효율적이다. 동작 전류 제어 기법으로 최적화된 증폭기의 설계를 위해서는 슬루기간과 최종 정착기간 동안  $g_{m1}$  및  $g_{m2}$

의 크기를 증감시키는 기준이 필요하고, 그 기준은 다음과 같다. 예를 들어 전체 ADC의 정확도에 가장 큰 영향을 미치는 MDAC1의 경우, 10 비트 정확도에 50 MHz 신호 처리 속도를 얻기 위해 10 ns 이내에 정착해야 한다고 할 때, 필요로 하는 -3dB 주파수( $f_{-3dB}$ )는 약 110 MHz 수준이 된다. 따라서, 트랜스컨덕턴스 증가의 기준이 되는  $g_{m1(i)}$ 는 식 (4)와 같이  $0.011 (\Omega)^{-1}$ 이 된다.

$$\begin{aligned} g_{m1(i)} &= C_C \times 2\pi \times f_U \\ &= 2.0 \text{ pF} \times 2\pi \times f_{-3dB} \times \frac{1}{\beta} \\ &\cong 0.011 (\Omega)^{-1} \end{aligned} \quad (4)$$

식 (4)에서  $f_U$ 는 단위 이득 주파수이고,  $\beta$ 는 궤환인자(feedback factor)이며, 본 설계의 경우 1/8이나 실제 입력 기생 캐패시턴스 성분까지를 고려하여 이보다는 작은 값으로 설계된다. 다음으로  $g_{m2(i)}$ 의 크기는 두번째 폴을 결정하므로, 출력신호의 불규칙성 및 최종 정착시간을 줄이기 위한 측면과 전력소모 측면을 동시에 고려하여 보통  $g_{m1(i)}$ 의 약 2.5 배 수준인 값으로 설계된다.

표 1. 정착시간 최소화 기법

Table 1. Acquisition-time minimization technique.

	슬루 기간	최종 정착 기간
방법 I	$g_{m1} > g_{m1(i)} (= 0.0110)$	$g_{m1} = g_{m1(i)} (= 0.0110)$
방법 II	$g_{m1} > g_{m1(i)} (= 0.0110)$ $g_{m2} = g_{m2(i)} (= 0.0275)$	$g_{m1} = g_{m1(i)} (= 0.0110)$ $g_{m2} > g_{m2(i)} (= 0.0275)$
방법 III	$C_C < 2.0 \text{ pF}$	$C_C > 2.0 \text{ pF}$

이상과 같은  $g_{m1(i)}$  및  $g_{m2(i)}$ 의 크기를 기준으로 할 때, 세가지의 정착시간 최소화 기법을 요약한 표 1에서 방법 I은 슬루기간에는  $g_{m1}$ 을 식 (4)에서 결정된 기준  $g_{m1(i)}$  값, 0.011 보다 증가시켜 주고, 최종 정착기간에는 다시 기준  $g_{m1(i)}$ 로 감소시켜준다. 방법 II는 슬루기간 동안은 방법 I과 같이  $g_{m1}$ 을 증가시키고, 최종 정착기간에는  $g_{m1}$ 을 다시 식 (4)의 기준  $g_{m1(i)}$ 값으로 감소시키는 동시에  $g_{m2}$ 를 증가시켜 방법 I보다 더 큰 위상여유를 얻을 수 있다. 즉, 방법 I은  $t_{\text{slewing}}$ 이 첫번째 증폭기의  $C_C/g_{m1}$ 값에 의해 제한 받는 경우 효과적이며, 방법 II는 2 단 증폭기의 전체 전력소모를 고려하여  $g_{m2}$ 를 크게 증가시키기 어려운 경우,  $t_{\text{slewing}}$

이 두번째 증폭기의  $C_L/g_{m2}$ 값에 의해 제한될 때 효과적이다. 방법 III은 캐패시터의 크기를 조절하는 방법이며, 본 논문에서는 사용된 공정에서의 소자 특성, 동작속도, 전력소모를 고려하여 방법 II를 이용하여 제안하는 ADC 회로를 구현한다.

2. 정착시간 최소화 기법의 실제 회로 구현

본 논문에서 제안하는 것과 같이 방법 II의 정착시간 최소화 기법을 적용하여 잔류전압 증폭기를 설계할 때, 회로의 복잡도를 고려하여 증폭기 자체의 구조는 전혀 변경하지 않고 증폭기 바이어스 회로만을 간단히 수정하여 정착시간을 줄일 수 있다. 그림 4는 MDAC1 블럭에 사용된 전형적인 완전 차동 folded-cascade CMOS 연산 증폭기로서 2 단 증폭기중 첫 번째 증폭기이다. 증폭기 회로 구성을 보면, 차동 입력단인 M1에서 M3는 첫번째 증폭기의 트랜스컨덕턴스를 결정하며, M4에서 M11은 높은 출력신호폭을 얻을 수 있는 출력단이고, 증폭기 출력의 공통모드를 결정하기 위한 공통모드배환 (common-mode feedback : CMFB) 회로 및 증폭기에 바이어스 전압을 공급해주는 바이어스 회로로 구성되어 있다.

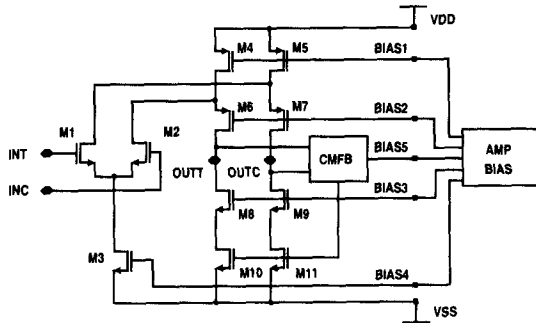


그림 4. MDAC1에 사용되는 첫번째 증폭기  
Fig. 4. First-stage amplifier in MDAC1.

먼저 출력신호가 슬루하는 기간 동안 MDAC1의 첫번째 증폭기의 트랜스컨덕턴스  $g_{m1}$ 을 증가시키는 방법을 살펴보면, 트랜스컨덕턴스는 드레인 전류의 제공 근에 비례하므로, 그림 4의 M3의 드레인 전류를 증가시키기 위하여 BIAS4 전압을 증가시킨다. 그러나 M3의 드레인 전류만을 증가시킬 경우 발생할 수 있는 문제점으로 두개의 입력단자 중, 어느 하나의 단자, 예를 들어 INT에 인가되는 입력 신호의 크기가 갑자기 크게 증가할 경우, M1은 완전히 턴-온되고 M2는 턴-

오프 (turn-off)되어 M5의 드레인 전류 중 대부분이 M1으로 흘러 M7에 흐르는 드레인 전류가 크게 감소하게 된다. 이에 따라 M7의 포화영역 (saturation region)에서의 동작을 보장해주지 못하므로, 목표로 하는 증폭기의 DC 이득 및 빠른 동작 속도를 얻을 수 없게 된다. 이와 같은 문제점을 해결하기 위하여 그림 4의 M3에 증가시켜 주는 드레인 전류량 만큼 M4 및 M5에 흐르는 드레인 전류량을 증가시켜 주며, 그 방법은 BIAS1의 전압을 그 만큼 낮추어 주면 된다. 따라서, INT와 INC 사이에 인가되는 입력신호의 크기가 갑자기 증가하는 경우에도 증폭기 출력단 M6 및 M7에 흐르는 드레인 전류를 보장해줄 수 있으며, 이로 인해 출력단이 정상적으로 동작할 수 있다.

이상과 같이 회로 동작을 제어하기 위한 증폭기 바이어스 회로는 그림 5와 같고, BIAS1의 제어를 위해 그림 5의 MN2 드레인-소스 노드 사이에 병렬로 MND와 MSP가 연결된다. BIAS1 전압의 감소는 그림 5의 MP2에 흐르는 드레인 전류 증가에 따른 MP2의 소스-드레인 전압강하 증가로 BIAS1 전압이 낮아지며, BIAS4 전압의 증가는 그림 5의 MP5에 MPD를 병렬연결하여, MN5에 흐르는 전류 증가에 따른 MN5의 드레인-소스 전압 강하의 증가를 통하여 얻을 수 있다. 스위치로 사용된 MSP는 PMOS로서 VDD에 가까운 전압을 잘 전달할 수 있으므로 온저항 감소 및 스위치 MSP를 통과할 때 발생하는 소스-드레인 전압 강하를 줄이기 위해 사용되었고, BIAS4의 제어를 위해 사용된 스위치 MSN은 VSS에 가까운 전압을 통과시키기 위해 NMOS가 사용되었다. 두 번째 증폭기의 트랜스컨덕턴스  $g_{m2}$ 를 제어하기 위한 바이어스 회로도 이상 언급한 회로와 동일한 구조를 이용하여 설계된다.

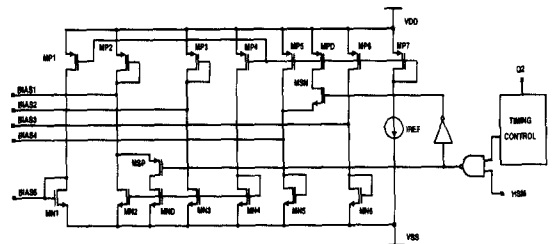


그림 5. 증폭기 바이어스 회로  
Fig. 5. Amplifier bias circuit.

시제품 ADC 측정시 그림 5의 외부 제어 단자 HSM (High-Speed Mode)을 이용하여 제안하는 설

계기법과 기존의 설계기법을 비교할 수 있도록 설계되었다. 슬루시간 및 최종 정착기간 중의  $g_{m1}$ 과  $g_{m2}$ 를 동시에 조절하기 위한 제어신호는 그림 5의 타이밍 제어 (Timing Control) 블럭에서 발생시키고, 그 내부 회로 구조는 그림 6과 같다. MDAC1의 증폭 동작을 제어하는 클럭신호인 Q2가 HIGH가 될 때 QD1 신호도 HIGH가 되어 슬루시간 동안 HIGH 값을 유지한 후, 최종 정착기간 동안은 다시 LOW 제어신호를 발생시켜준다. 그림 6의 우측 하단부에 있는 QD1 신호 파형에서 QD1의 HIGH 기간을 결정하는 회로는 점선으로 표시된 지연 발생 (Delay Generation) 회로로, 캐패시터 CD1 및 CD2의 값을 조절하여 QD1의 HIGH 기간을 임의로 조절할 수 있다.

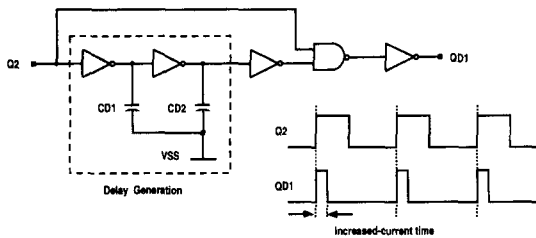


그림 6. 타이밍 제어 회로  
Fig. 6. Timing control circuit.

제안된 회로 설계시 최소 정착시간을 얻기 위해 고려해야할 사항들은, 첫째 BIAS1, BIAS4를 공급하기 위한 트랜지스터들에 추가적으로 연결되는 바이어스 회로 내의 트랜지스터 MND, MPD의 크기와, 둘째 이들 트랜지스터들을 턴-온시키는 시간이다. 다음 3 절에서는 이러한 고려 사항들에 대한 모의실험 결과를 분석한다.

### 3. 정착시간 최소화 기법의 모의실험 결과 분석

#### A. 전류 증가 비율에 따른 정착시간

최소 정착시간을 얻을 수 있는 그림 5의 바이어스 회로 상의 MND, MPD 트랜지스터들의 크기를 결정하기 위하여 0.35  $\mu\text{m}$  n-well CMOS 공정을 사용한 모의실험 결과는 그림 7과 같다. 그림 7에서 보는 바와 같이 전류 증가 비율이 작은 경우에는 트랜스컨덕턴스의 증가 효과가 크지 않아 증폭기의 정착시간 단축에 큰 도움이 되지 않고, 전류 증가 비율이 너무 큰 경우에는 위상여유가 감소하여 최종 정착 때까지 걸리는 시간이 증가하므로 전체 정착시간이 증가한다. 공

정에 따라 다소 차이가 있을 수 있으나, 본 설계에서 사용된 공정의 경우 최소 정착시간을 얻기 위해서는 전류 증가 비율이 20 % 수준일 때 최적의 결과를 얻을 수 있다. 또한, 그림 7에서 외부조건 및 공정변수의 변화로 실제 공정을 통해서 얻게 되는 최적의 전류 증가율은 20 %이며, 이 값에서  $\pm 50\%$  정도 변화하여도 정착시간의 변화는 5 % 정도로 거의 일정한 수준의 정착시간을 얻을 수 있으므로 외부조건 및 공정변수에 둔감함을 확인할 수 있다.

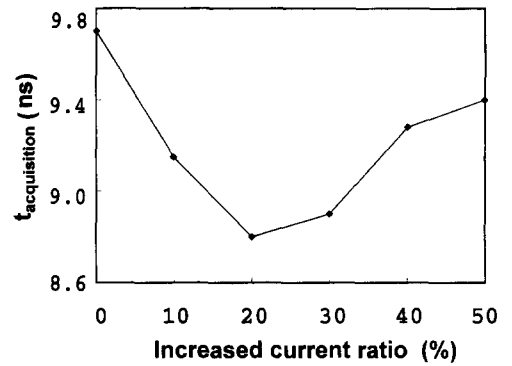


그림 7. 전류 증가 비율에 대한 정착시간  
Fig. 7. Acquisition time versus increased current ratio.

#### B. 전류 증가 시간에 따른 정착시간

정착시간 최소화를 위해 슬루시간 동안에는 그림 5의 스위치 MSP 및 MSN을 턴-온시키고, 이후 최종 정착기간에는 이들 스위치를 턴-오프시킨다. 이 스위치들을 턴-온시키는 시간 즉, 전류 증가 시간에 따라 정착시간이 달라진다. 최적의 전류 증가 시간을 결정하기 위한 그림 8의 모의실험 결과를 보면, 전류 증가 기간이 너무 짧은 경우에는 트랜스컨덕턴스의 증가 효과가 크지 않아 정착시간을 줄이는데 큰 도움이 되지 않으며, 전류 증가 기간이 너무 긴 경우에는 최종 정착 기간 동안 위상여유가 빠져 전체 정착시간이 길어지는 결과가 나타난다. 따라서 모의실험 결과에서 보듯이, 주어진 공정에서는 3 ns 정도의 기간 동안 전류를 증가시킬 때 최적의 정착시간을 얻을 수 있다. 그림 8에서도 외부조건 및 공정변수 등이 변화하여 목표로 하는 전류 증가 시간 3 ns로부터  $\pm 1$  ns 수준의 변화가 발생해도 거의 일정한 정착시간을 얻을 수 있으므로 제안된 회로가 외부조건 및 공정변수에 둔감함을 역시 확인할 수 있다.

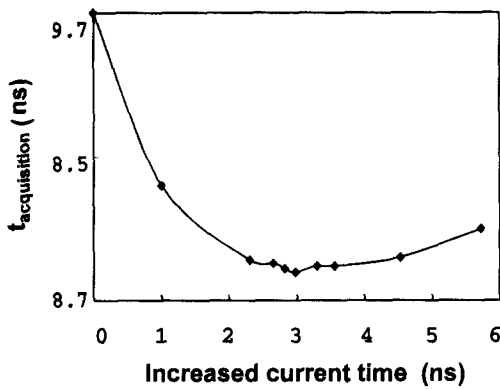


그림 8. 전류 증가 시간에 대한 정착시간  
Fig. 8. Acquisition time versus increased current time.

이상과 같은 정착시간 최소화 기법의 유용성을 검증하기 위하여 동일한 증폭기 회로에 제안하는 바이어스 회로와 기존의 바이어스 회로를 사용한 경우의 MDAC1의 출력파형을 그림 9와 같이 비교하여 보았다. 그림 9에서 원으로 표시한 확대된 출력파형에서 두개의 직선으로 표시된 목표 정확도 이내로 출력신호가 정착하는 것을 볼 수 있다.

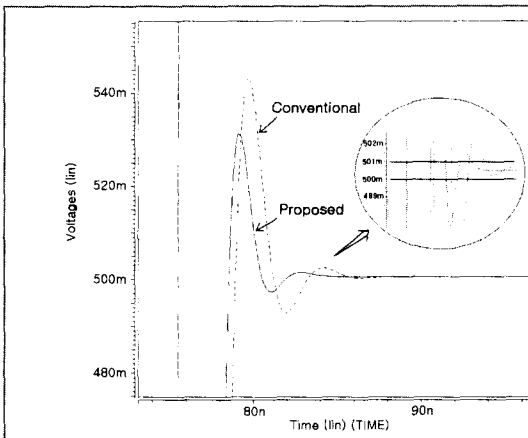


그림 9. 제안하는 회로 및 기존 회로의 출력신호 파형  
Fig. 9. Output waveforms of the proposed and the conventional circuits.

제안된 설계 기법을 적용한 경우 MDAC1 출력신호 파형의 정착시간이 8.8 ns로 기존의 설계 방법을 이용한 경우의 9.7 ns에 비하여 1 ns 정도 단축되는 동시에 출력신호 파형의 불규칙성도 줄어들음을 확인할 수 있다. 기존의 설계 방법의 경우 MDAC1의 전력소모는 43.0 mW로 나타나고, 정착시간 최소화 기법을

적용한 경우는 45.6 mW의 전력소모를 보이므로 전력소모는 2.6 mW 증가한다. 이는 전체 ADC의 전력소모량과 비교할 때 거의 무시할 수 있는 수준이며, 제안된 설계 방법으로 얻은 정도의 정착시간을 기존의 설계 방법으로 얻기 위해서는 증폭기의 크기가 증가하고 이로 인한 증폭기 자체의 부하 증가로 고속 동작 특성을 얻기 힘들고, 동시에 전력소모도 크게 증가한다.

위의 모의실험 결과는 공정변수, 공급전원전압 등의 변화에 따라 최종 목표로 한 값에서 달라질 수 있는데, 이러한 경우에도 회로가 정상적으로 동작하기 위하여 회로 설계시 적절한 설계여유 등을 고려하여 설계해야 한다. 한편, 공정변수, 전원전압의 ±10%, 캐패시터 크기 ±15% 등 여러가지 외부 조건의 변화를 고려한 모의실험 결과에서도 회로가 정상적으로 동작함을 확인하였다. 제안된 정착시간 최소화 기법은 시제품 제작 후의 동작검증을 위해 ADC내의 모든 MDAC 블럭들에 적용되었다.

#### IV. 제안하는 정착시간 최소화 기법을 적용한 전체 ADC의 모의실험 결과

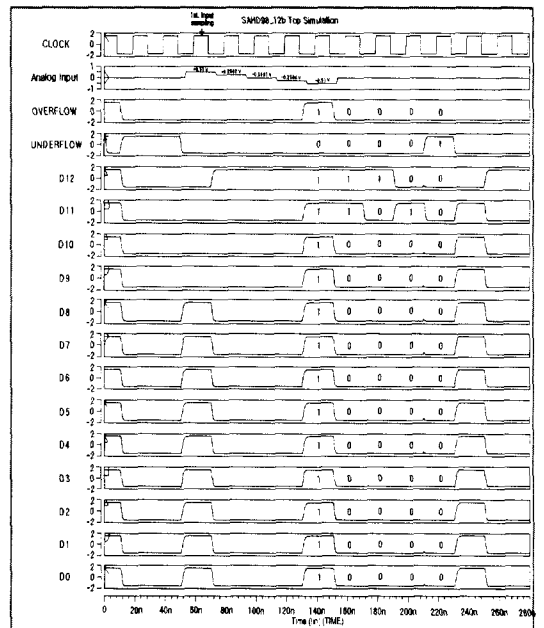


그림 10. 전체 ADC 모의실험 결과 (조건 : 3 V 및 50 MHz)  
Fig. 10. Simulation results of the proposed ADC at 3 V and 50 MHz.

고속 통신 시스템 응용을 위해 제안된 12 비트 50 MHz CMOS ADC는 각 블럭별로 동작 및 성능을 확인하였다. 그러나 전체 시스템을 동시에 연결하였을 때 발생할 수 있는 블럭들 간의 임·출력 충돌 및 각 블럭을 모의실험할 때 예상할 수 없었던 시스템 측면에서의 문제점 파악을 위해 전체 ADC 회로를 3 V 전원전압 및 50 MHz 샘플링 클럭 주파수 조건으로 모의실험하였고, 전체 전력소모는 아날로그 블럭, 디지털 블럭 및 출력구동 (output driver) 회로 블럭을 포함하여 197 mW로 나타났다. 설계 및 모의실험된 ADC 출력 파형은 그림 10과 같고, 첫번째 입력된 아날로그 입력 +0.51 V에 대하여 4개의 파이프라인단을 거쳐 130 ns 구간에서 첫 디지털 출력값 (D0 ~ D12, OVERFLOW, UNDERFLOW)으로 변환됨을 관측할 수 있고, 입력값에 대한 모의실험된 출력 디지털값이 예상값과 정확히 일치함을 표2에서 확인할 수 있으며, 예상되는 ADC 사양은 표 3과 같다.

표 2. 전체 ADC 모의실험 결과 요약  
Table 2. Summary of full-chip simulation results.

입력값 (V)	예상 출력 코드	모의실험 결과
	OVF,UDF, D12 ~ D0	OVF,UDF, D12 ~ D0
0.51	1, 0, 111111111111	1, 0, 111111111111
0.2502	0, 0, 110000000000	0, 0, 110000000000
-0.0001	0, 0, 100000000000	0, 0, 100000000000
-0.2504	0, 0, 010000000000	0, 0, 010000000000
-0.51	0, 1, 000000000000	0, 1, 000000000000

표 3. 제안된 ADC의 예상사양  
Table 3. Estimated specs of the prototype ADC.

전원 전압	3 V	
동작 속도	50 MHz	
해 상 도	12b	
DNL	±0.5 LSB	
INL	±1.0 LSB	
전력 소모	아날로그 블럭	139 mW
	디지털 블럭	58 mW
	계	197 mW

제안된 ADC의 레이아웃 결과는 그림 11과 같고 가운데 부분의 신호선들을 기준으로 상단부에는 SHA, MDAC1, MDAC2, MDAC3 및 자체 바이어스 발생기 등이 레이아웃되어 있고, 하단부에는 클럭 발생기,

F1, F2, F3, F4 및 디지털 교정회로 등이 레이아웃되어, 잡음에 민감한 아날로그 블럭이 디지털 블럭에서 발생하는 잡음의 영향을 작게 받도록 분리되어 있고 입력되는 아날로그 신호의 흐름에 따라 각 회로 블럭들이 배치되어 있다. 시제품 ADC는 현재 현대전자(주) 0.35 μm double-poly five-metal n-well CMOS 공정을 사용하여 제작 중에 있으며, 입출력 패드를 포함하는 칩 크기는 3.2 mm × 3.6 mm이다.

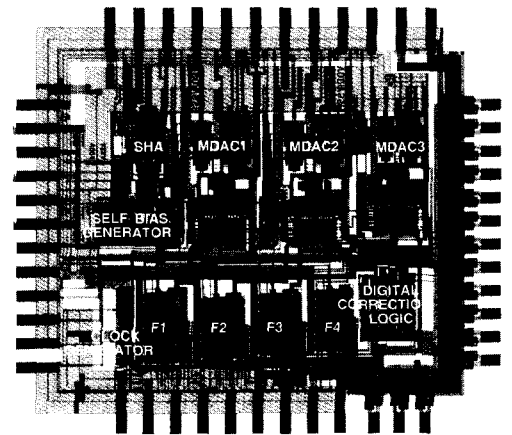


그림 11. 시제품 ADC의 레이아웃  
Fig. 11. Layout of the prototype ADC.

### V. 결 론

본 논문에서는 고속 통신 시스템 응용을 위한 3 V 12 비트 CMOS ADC를 제안하며, 제안된 증폭기 정착시간 최소화 기법의 적용을 통해 12 비트 해상도, 50 MHz의 동작속도 및 197 mW의 낮은 전력소모 특성을 얻을 수 있다. 제안된 설계 기법은 증폭기 출력신호의 정착시간 단축과 출력파형의 불규칙성을 감소시킬 수 있으며, 기존의 설계방법으로 제안된 기법을 적용한 경우에 얻을 수 있는 8.8 ns의 정착시간을 얻기 위해서는 증폭기의 크기가 20 % 이상 증가되고, 전력소모 또한 30 % 이상 증가됨과 동시에, 증폭기의 크기를 증가시켜도 목표로 하는 정착시간을 얻기가 어렵다. 또한, 제안된 설계 기법은 본 논문과 같이 12 비트 이상의 고해상도 ADC 설계 뿐만 아니라 8 비트에서 10 비트 수준의 해상도를 갖는 ADC를 설계할 경우, 기존의 설계기법에 비해 정착시간 단축 효과가 더욱 큼을 관측할 수 있으며, 이 기법은 다양한 고속 증폭기 및 보정 (calibration) 기술을 적용하는 ADC



의 설계에 직접 응용될 수 있다.

### 참 고 문 헌

- [1] Robert Jewett *et al.*, "A 12b 128M Sample/s ADC with 0.05LSB DNL," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp. 138-139.
- [2] Pieter Vorenkamp and Raf Roovers, "A 12-b, 60-MSample/s cascaded folding and interpolating ADC," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1876-1886, Dec. 1997.
- [3] Douglas A. Mercer, "A 14-b, 2.5 MSPS pipelined ADC with on-chip EPROM," *IEEE J. Solid-State Circuits*, vol. 31, pp. 70-76, Jan. 1996.
- [4] David W. Cline and Paul R. Gray, "A power optimized 13-b 5Msamples/s pipelined analog-to-digital converter in 1.2 $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 31, pp. 294-303, Mar. 1996.
- [5] Michael K. Mayes *et al.*, "A low-power 1MHz 25mW 12-Bit time-interleaved analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 31, pp. 169-178, Feb. 1996.
- [6] Gil-Cho Ahn *et al.*, "A 12-b, 10-MHz, 250-mW CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 31, pp. 2030-2035, Dec. 1996.
- [7] Paul C. Yu and Hae-Seung Lee, "A 2.5-V, 12-b, 5-MSample/s pipelined CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1854-1861, Dec. 1996.
- [8] Sung-Ung Kwak *et al.*, "A 15-b 5-M Sample/s low-spurious CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1866-1875, Dec. 1997.
- [9] Larry A. Singer and Todd L. Brooks, "A 14-bit 10MHz calibration-free CMOS pipelined A/D converter," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 1996, pp. 94-95.
- [10] Ian J. Dedic *et al.*, "A 16b 100kSample/s 2.7V 25mW ADC/DSP/DAC-based analog signal processor in 0.8 $\mu$ m CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp. 96-97.
- [11] I. Opirs *et al.*, "A single-ended 12b 20MSample/s self-calibrating pipeline A/D converter," in *ISSCC Dig. Tech. Papers*, Feb. 1998, pp. 138-139.
- [12] Joseph Ingino Jr. and Bruce Wooley, "A continuously-calibrating pipeline A/D converter," in *ISSCC Dig. Tech. Papers*, Feb. 1998, pp. 144-145.
- [13] Jung-wook Yang and Hae-Seung Lee, "A CMOS 12-bit 4MHz pipelined A/D converter with commutative feedback capacitor," in *Proc. CICC'96*, May 1996, pp. 427-430.
- [14] Andrew N. Karanicolas *et al.*, "A 15-b 1-Msample/s digitally self-calibrated pipeline ADC," *IEEE J. Solid-State Circuits*, vol. 28, pp. 1207-1215, Dec. 1993.
- [15] Analog Devices, "Complete 12-bit, 40 MSPS monolithic A/D converter," Product note AD9224.
- [16] S. Lewis, "Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications," *IEEE J. Solid-State Circuits*, vol. 27, pp. 516-522, Aug. 1992.
- [17] Kwang Young Kim *et al.*, "A 10-b, 100-MS/s CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 32, pp. 302-311, Mar. 1997.
- [18] Paul R. Gray and Robert G. Meyer, "Analysis and Design of Analog Integrated Circuits," John Wiley & Sons, 1993.
- [19] Phillip E. Allen and Douglas R. Holberg, "CMOS Analog Circuit Design," Holt, Rinehart and Winston, 1987.

## 저 자 소 개



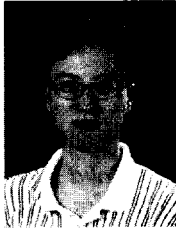
全炳烈(正會員)

1970년 2월 13일생. 1997년 2월 서강대학교 전자공학과 학사. 1999년 2월 서강대학교 전자공학과 석사. 주관심분야는 CMOS 데이터 변환기 (A/D, D/A) 설계, 혼성모드 회로 설계 등임



李承勳(正會員)

서울대학교 전자공학과 학사(1984), 서울대학교 전자공학과 석사(1986), 미 Illinois 대 (Urbana-Champaign) 공학 박사(1991). KIST 위촉 연구원(1986년 3월 ~ 1986년 7월), 미 Coordinated Science Lab (Urbana) 연구원(1987년 6월 ~ 1990년 3월), 미 Analog Devices 사 senior design engineer (1990년 3월 ~ 1993년 2월), 현재 서강대학교 전자공학과 부교수. 주관심 분야는 집적회로 설계, 데이터 변환기 (A/D, D/A) 설계 등임



全榮得(正會員)

1975년 10월 11일생. 1998년 2월 서강대학교 전자공학과 학사. 현재 서강대학교 전자공학과 대학원 재학 중. 주관심분야는 데이터 변환기 (A/D, D/A) 설계, 혼성모드 회로 설계 등임