

論文99-36C-4-4

10Gbit/s 광수신기용 AlGaAs/GaAs HBT IC 칩 셋

(AlGaAs/GaAs HBT IC Chipset for 10Gbit/s Optical Receiver)

宋宰昊*, 俞泰皖*, 朴昌洙*, 郭鳳信**

(Jae Ho Song, Tae Hwan Yoo, Chang Soo Park, and Bong Sin Kwark)

요 약

10Gbit/s 광수신기에 사용되는 전치증폭기, 리미팅증폭기, 그리고 판별회로 IC 등을 AlGaAs/GaAs HBT기술을 이용하여 설계 제작하였다. 사용한 HBT는 차단주파수 55GHz, 최대 공진 주파수 45GHz의 특성을 지닌다. 제작된 전치증폭기와 PIN 광검출기를 이용해 광수신기 front-end를 구성하였는데, 측정된 이득은 46dB Ω , 3dB 대역폭은 12.3GHz의 특성을 보였다. 리미팅증폭기는 소신호 이득 27dB, 3dB 대역폭 10.6GHz 특성을 보였으며, 입력 신호 전압 20mVp-p 이상에서 리미팅 동작이 이루어져 900mVp-p 신호를 출력하였다. 판별회로는 10Gbit/s에서 위상마진 300°, 입력 전압 수신감도 47mVp-p의 특성을 보였다.

Abstract

A pre amplifier, a limiting amplifier, and a decision IC chipset for 10Gbit/s optical receiver was implemented with AlGaAs/GaAs HBT(Heterojunction Bipolar Transistor) technology. The HBT allows a cutoff frequency of 55GHz and a maximum oscillation of 45GHz. An optical receiver front-end was implemented with the fabricated pre amplifier IC and a PIN photodiode. It showed 46dB Ω gain and f_{3dB} of 12.3GHz. The limiting amplifier IC showed 27dB small signal gain, f_{3dB} of 10.6GHz, and the output is limited to 900mVp-p from 20mVp-p input voltage. The decision circuit IC showed 300-degree phase margin and input voltage sensitivity of 47mVp-p at 10Gbit/s.

I. 서 론

최근 통신 서비스 시장의 수요가 다변화, 대형화함에 따라 광통신 시스템의 전송용량에 대한 요구도 급속히 증가하고 있다. 전송용량을 극대화하기 위하여 ETDM (Electrical Time Division Multiplexing), OTDM(Optical Time Division Multiplexing) 및

WDM(Wavelength Division Multiplexing) 등이 활발히 연구되고 있다. 국내에서는 1980년대에 90Mb/s 비동기식(PDH) 시스템의 상용화로 광통신 시스템의 시대를 연 이후, 현재 2.5Gbit/s 동기식(SDH) 시스템이 상용서비스에 적용되고 있으며, 10Gbit/s 시스템이 개발 완료 단계에 와 있다. 또한 2.5Gbit/s \times 16 채널 40Gbit/s 및 10Gbit/s \times 16 채널 160Gbit/s WDM 시스템 등이 연구 개발 중에 있다. 이처럼 전송장치의 속도가 높아짐에 따라 가장 관건이 되는 부분은 송신기/수신기 및 다중화/역다중화 부분의 고속 전자소자인데, 본 논문은 10Gbit/s ETDM 및 160Gbit/s WDM 광전송시스템에 사용할 목적으로 제작한 10Gbit/s급 광수신기 IC에 대해 기술한다.

* 正會員, 韓國電子通信研究院 光通信硏究部

(Optical Communication Department Electronics and Telecommunications Research Institute)

** 正會員, (株)三星電子

(Samsung Electronics Co.)

接受日字:1998年9月23日, 수정완료일:1999年3月31日

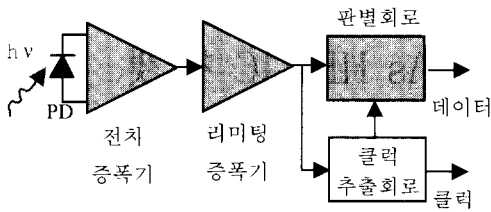


그림 1. 10Gbit/s 광수신기 블록도

Fig. 1. Block diagram of 10Gbit/s optical receiver.

그림 1은 제작된 10Gbit/s 광수신기 블록도를 나타낸 것으로 광검출기, 전치증폭기, 리미팅증폭기, 판별회로, 그리고 클럭추출회로 등으로 구성되어 있다. 총 세 종류의 MMIC (Microwave Monolithic IC) 가 사용되었는데 전치증폭기 및 리미팅증폭기는 DC ~ 10GHz 주파수 영역에서 동작하는 광대역증폭기이고 판별회로는 입력신호의 '0', '1' 상태를 정확히 판별하여 출력하는 디지털 회로이다.

표 1. 고속 반도체 공정기술 성능 비교

Table 1. Performance comparison of high-speed semiconductor process technologies.

Transistor type	Substrate	Active layer/ Minimum size	f_t / f_{max}	Company
Si Bipolar	Si	n-Si, p-Si / 0.8mm	45GHz/46GHz	NEC
HBT	Si	Si-Ge / 1.0mm	85GHz/65GHz	Daimler Benz
MESFET	GaAs	n-GaAs / 0.1mm	113GHz/133GHz	NTT
HEMT	InP	InAlAs/InGaAs / 50nm	340GHz/250GHz	Hughes
HBT	InP	InP/InGaAs / 2mm	160GHz/162GHz	NTT

이러한 고속 전자소자를 위해서는 특별한 반도체 소자 기술이 필요한데 표 1에 10Gbit/s 이상의 전자소자에 응용할 수 있는 반도체 소자 기술을 정리하였다^[11]. Si 바이폴라 소자는 10Gbit/s 영역까지, Si-Ge HBT와 GaAs MESFET 는 30 Gbit/s 까지 사용할 수 있음을 볼 수 있다. 그리고 30 Gbit/s 이상에서는 HEMT 와 GaAs HBT 소자가 사용되는데 현재 최고 속도로서 HEMT^[2], HBT^[13] 소자로 제작된 40Gbit/s 전자소자가 발표되었다. 국내에서는 최근에 연구가 이루어져 10Gbit/s 전치증폭기^[4]와 20Gbit/s 리미팅증폭기^[5]가 발표되었다. 하지만 동작 마진이 작아 시스템 적용이 어려웠는데 본 논문에서는 상용 수준의 높은 동작마진과 신뢰성을 지니도록 설계 제작하였다.

제작에 사용된 반도체 소자는 AlGaAs/GaAs HBT 로 일반적인 Si 바이폴라 및 GaAs MESFET 에 비해 포토리소그라피 공정 기술상의 큰 제약없이 보다 높은 고주파 특성을 얻을 수 있고, HEMT 에 비해서는 균일한 소자 동작전압, 대전류 구동능력, 높은 파괴 전압의 장점을 지닌다^[6]. 10GHz 이상의 넓은 동작대역을 확보하기 위해 HBT를 20 GHz 까지 동작되도록 최적화시켰고, Gummel-Poon 모델 파라미터들을 추출하여 설계에 사용하였다. 최적화된 HBT 는 70 nm 두께의 GaAs 베이스($3 \times 10^{19} \text{ cm}^{-3}$ 으로 도핑)와 $1.5 \times 10 \mu\text{m}^2$ 크기의 에미터로 구성된다. 콜렉터 전류 5mA에서 측정된 능동소자의 차단주파수 (cutoff frequency)와 최대 공진 주파수(maximum oscillation frequency)는 각각 55GHz, 45GHz 의 특성을 보였다.

II. 광수신기 회로블록 및 결과

1. 전치증폭기(Pre-amplifier)

전치증폭기는 광검출기와 함께 광수신기 front-end 를 구성하여 입력 광신호를 전기신호로 변환하여 최소한의 잡음으로 증폭하는 기능을 한다. 전체 수신부의 수신감도와 수신신호 범위 결정에 가장 중요한 영향을 미치는 부분으로 높은 이득, 넓은 대역폭, 그리고 저잡음 특성이 요구된다. 크게 집적도에 따라 OEIC (Optoelectronic IC), MMIC, 그리고 HIC(Hybrid IC)로 나눌 수 있다. 발표된 논문에 따르면 최대 수신감도를 얻을 수 있는 형태는 HIC로 수동 및 능동 개별소자를 고주파회로용 기판 위에서 제작하는 형태이다^[7]. 그러나 hybrid 타입은 각 개별소자의 특성이 일정하지 않을 뿐 아니라 기생소자에 의한 영향을 크게 받기 때문에 실험적 차원에서 응용되어지며, 양산 내지 제품화하여 시스템에 사용하기에는 어려운 점이 있다. OEIC 타입은 광검출기와 전치증폭기를 하나의 칩에 직접시킨 형태인데 아직은 제작공정의 복잡성으로 인해, 수신감도 개선에 집적화에 따른 효과를 보지 못하고 있다. 따라서 현재는 MMIC 형태가 가장 널리 연구되고 있으며 10Gbit/s 이상의 전송속도에서 APD 및 PIN 광검출기와 함께 사용되고 있다. 본 논문에서는 수광부가 25m(인) back-illuminated InGaAs PIN 광검출기를 사용하여 S-파라미터를 측정하여 그림 2와 같이 소신호 등가회로를 만들어 전치

증폭기 설계에 사용하였다.

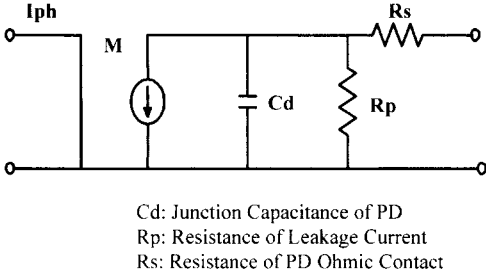


그림 2. PIN 광검출기 등가회로
Fig. 2. Equivalent circuit of PIN photo detector.

그림 3은 전치증폭기의 회로도이다. 증폭기는 모두 네 단으로 이루어진 직결(direct-coupled) 증폭기 구조이다. 입력단은 에미터 접지(common emitter) 증폭단이며, 뒤따른 에미터 폴로워(emitter follower)들이 출력단과의 버퍼를 구성하며 dc 레벨을 맞추어 준다. 입력단과 에미터 폴로워 사이에 케환저항을 사용하여 대역폭과 이득을 최적화하였고, 케환저항 양단의 바이어스를 유지하기 위해 트랜지스터 다이오드를 삽입하였다. 출력단은 입력단과 마찬가지로 에미터 접지회로를 사용하였다. 각 트랜지스터의 콜렉터 전류는 5mA 가 되도록 바이어스 저항과 트랜지스터 다이오드를 사용하여 조절하였다.

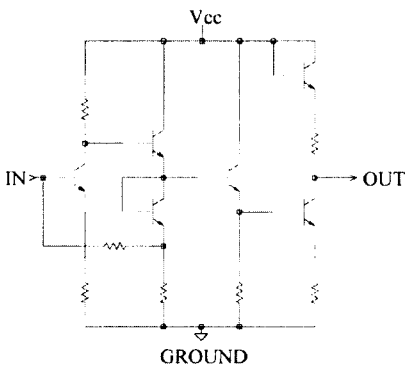


그림 3. 전치증폭기 회로도
Fig. 3. Circuit diagram of pre-amplifier.

패키징은 그림 4에 삽입된 내부구조도와 같이 광검출기를 직접 알루미늄 기판 위에 실장할 수 있도록 하여, 캐소우드(cathode)에서 전치증폭기 입력단 패드로 직접 와이어 본딩 하였다. 알루미늄 기판은 금 도금된 황동 케이스 안에 수직으로 설치하여 fiber pig

tailing 이 용이하도록 하였다. 제작을 간단히 하기 위해 렌즈를 사용하지 않고 fiber를 직접 UV (ultra-violet) 에폭시를 사용하여 광검출기에 고정하였다. 그림 4는 pig tailing 된 광수신기 front-end 모듈이며, SMA 커넥터를 모듈의 크기는 2.7 x 2.4 x 1.3 cm³이다.

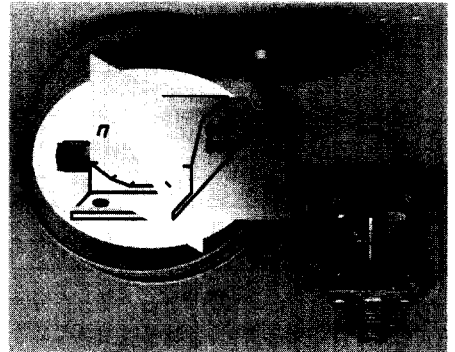


그림 4. 10Gbit/s PIN-PD/전치증폭기 모듈
Fig. 4. The 10Gbit/s PIN-PD/pre-amplifier module.

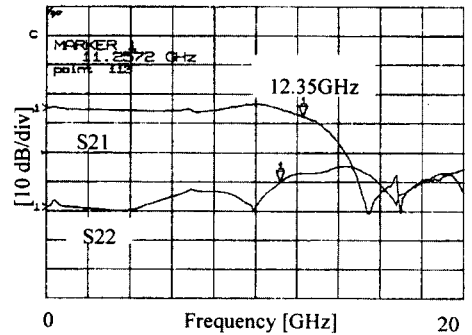


그림 5. PIN-PD/전치증폭기 주파수 응답 특성
Fig. 5. Frequency response characteristics of PIN-PD/ pre-amplifier.

그림 5는 트랜스임피던스 이득과 동작대역폭을 회로 망분석기(network analyzer)를 사용하여 측정된 결과이다. 이득은 46dB Ω 이며 3dB 대역폭은 12.3GHz이다. 참고문헌^[4]에 비해 1dB Ω 의 이득과 3.8GHz의 대역폭을 향상시켰다. 이처럼 대역폭을 크게 향상시킴으로써 입력 데이터의 패턴에 따른 광수신기의 특성 변화를 최소화할 수 있었다. 즉, PRBS(Pseudo Random Binary Sequence) 2⁷-1 신호와 PRBS 2³¹-1 신호를 인가한 경우 전송특성을 비교해보면 8.5GHz 대역폭에서는 2dB 이상의 수신감도 차이가 있었는데 12.3GHz 에서는 그 차이가 0.5dB 이하였다.

반사손실은 동작주파수 대역내에서 -12dB 이하로서 양호하다.

그림 6은 세계 표준화 기구 ITU-T에서 권고하는 최소 광 입력세기 -14dBm 을 인가하였을 때 전치증폭기에서 출력된 신호 파형이다. 상승/하강 시간은 각각 약 40ps이며 eye가 깨끗하게 열려있음을 볼 수 있다.

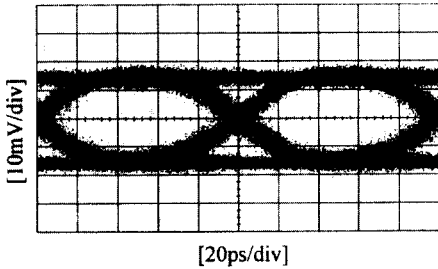


그림 6. PIN-PD/전치증폭기 출력 신호파형
Fig. 6. Output waveform of PIN-PD/pre-amplifier.

2. 리미팅증폭기(Limiting amplifier)

리미팅증폭기는 광검출기와 전치증폭기를 거쳐 광전 변환된 신호를 입력광의 레벨에 관계없이 일정한 출력을 클럭추출회로와 판별회로에 제공하는 기능을 한다. 따라서, 높은 이득과 대역폭, 그리고 넓은 다이내믹 범위 특성 등을 필요로 한다. 리미팅증폭기의 전체적 구조는 그림 7과 같이 입력버퍼, 이득블럭, 출력버퍼 그리고 DC 오프셋 제어회로로 구성하였으며, 충분한 이득을 보장하기 위하여 이득블럭은 두개의 이득 셀 (gain cell)을 직렬 접속하도록 하였다. 입력버퍼는 에미터 폴로워를 사용하였으며 교류결합된 입력단의 임피던스 정합을 위하여 50Ω 저항을 병렬로 접지하였다.

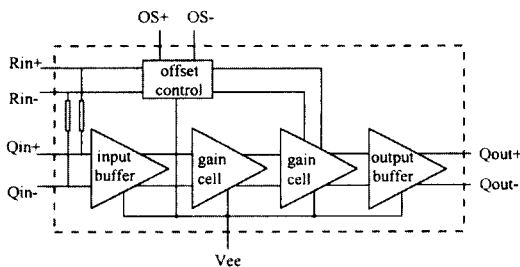


그림 7. 리미팅증폭기의 블록 다이어그램
Fig. 7. Block diagram of limiting amplifier.

그림 8은 리미팅증폭기의 기본이 되는 이득 셀의

회로도이다. 이득 셀은 리미팅 기능을 갖는 차등증폭단과 에미터 폴로워 버퍼로 이루어져 있다. 차등증폭단은 Cherry와 Hooper^[8]가 제안한 TAS(trans-admittance stage)와 TIS(transimpedance stage) 트레지스터를 사용한 차등증폭회로에 PFT(parallel feedback transistor)를 추가한 증폭회로를 채택하였다. 피드백 루프에 캐환 저항만을 사용하는 대신 PFT를 사용함으로써 Cherry와 Hooper의 차등 증폭 회로보다 이득과 주파수 대역폭을 개선할 수 있다는 연구는 이미 보고된 바 있다^[9]. 차등증폭단의 출력은 에미터 폴로워로 이루어진 버퍼로 연결되는데, 이는 뒤에 오는 이득 셀 또는 출력 버퍼의 베이스 바이어스 전압을 충분히 확보하기 위해 전위를 조절함과 동시에 다음 단의 입력 소스 저항을 감소 시켜 대역폭을 증가시켜 주게 된다. 이득블럭은 충분한 이득을 보장하기 위하여 두개의 셀로 구성하였는데 두 번째 셀의 출력전압은 출력버퍼가 항상 포화영역에서 동작하도록 900mV_{D-P}을 갖도록 설계하였다.

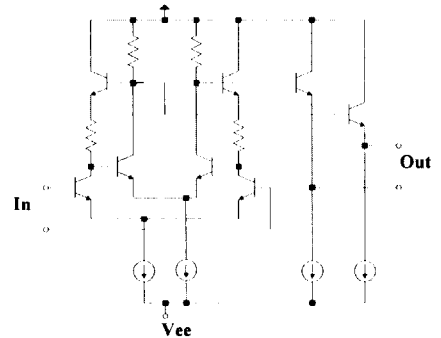


그림 8. 리미팅증폭기 이득 셀의 회로도
Fig. 8. Circuit diagram of limiting amplifier gain cell.

출력버퍼는 그림 9에 보인 것과 같이 에미터 폴로워를 사용하지 않은 에미터 결합 차등증폭기를 설계하였다. 출력 버퍼의 내부 부하저항은 고주파대역에서의 출력정합을 개선하기 위해 50Ω 대신 75Ω으로 설계하여 50Ω 외부 부하를 직류결합하였을 때 전체 부하저항이 30Ω이 되도록 하여 SCFL(source coupled FET logic, 0.0~-0.9V)의 출력 스윙을 갖도록 하였다. DC 오프셋 조절회로는 입력신호의 비대칭성, 제작 공정에서 생기는 차등구조에서의 비대칭성 및 직류 결합된 증폭기의 바이어스 변동 등에 의한 특성저하를 막기 위하여 차등구조의 회로에는 일반적으로 포함이

된다. 본 리미팅증폭기에서는 DC 오프셋 조절회로를 개환회로로 구현하여 포함시켰다.

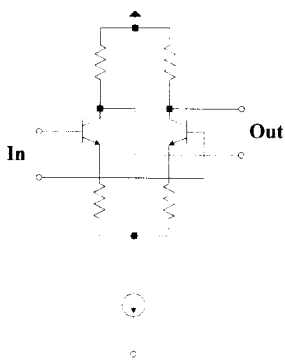


그림 9. 리미팅증폭기 출력버퍼의 회로도
Fig. 9. Circuit diagram of limiting amplifier output buffer.

패키징을 소형화하기 위하여 일반적인 0.64mm 두께의 기판 대신 0.38mm 알루미늄 기판을 사용하였다. 기판 위에 완성된 칩을 올려 와이어본딩한 후 황동 케이스에 내장하여 그림 10과 같이 모듈로 제작하였다. 하나의 입력단자와 두개의 출력단자로 구성되는데 정/부 두 신호를 출력하도록 하였다. 입출력 단자로 SMA 커넥터를 사용하였고 50Ω grounded CPW (coplanar waveguide) 전송라인으로 칩과 연결하였다. SMA 커넥터를 뺀 전체 모듈의 크기는 16 × 14 × 6mm³이다.

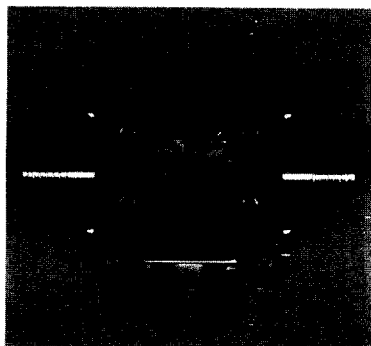


그림 10. 10Gbit/s 리미팅증폭기 모듈
Fig. 10. The 10Gbit/s limiting amplifier module.

리미팅증폭기의 주파수 특성을 회로망 분석기로 측정하였다. 그림 11은 주파수 응답 특성을 보여 준다. 소신호 이득은 27dB 이고 f_{3dB}는 10.7GHz 으로 아주 양호한 특성을 보여주고 있다. 반사계수 S₁₁, S₂₂는

8GHz까지 10dB 이하 이나 높은 주파수에서는 다소 특성이 저하되었다. 증폭기의 리미팅 특성을 확인하기 위하여 패턴발생기로 부터 10Gbit/s PRBS 2²³-1 신호를 증폭기에 입력시켜 출력신호를 샘플링스코프로 측정하였다. 그림 12는 입력신호 레벨을 10mV_{p-p}, 20mV_{p-p}, 50mV_{p-p}, 그리고 1000mV_{p-p}으로 증가시켰을 때의 출력 eye diagram이다. 10mV_{p-p} 입력레벨에서는 리미팅증폭기가 아직 선형영역에서 동작하고 있으나 20mV_{p-p} 이상의 입력신호가 들어갈 때 리미팅 증폭기는 약 900mV_{p-p}으로 제한된 신호를 출력하고 있다. 그리고, 입력신호 레벨이 증가 함에 따라 시간축 지터가 감소되어 파형이 깨끗해짐을 볼 수 있고 상승/하강 시간은 대략 40ps 이다. eye의 crossing point 는 거의 변화가 없었다.

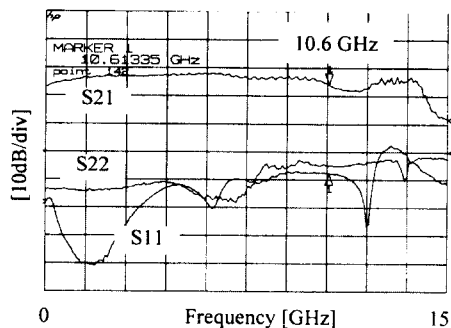


그림 11. 리미팅증폭기의 주파수 응답 특성
Fig. 11. Frequency response characteristics of limiting amplifier.

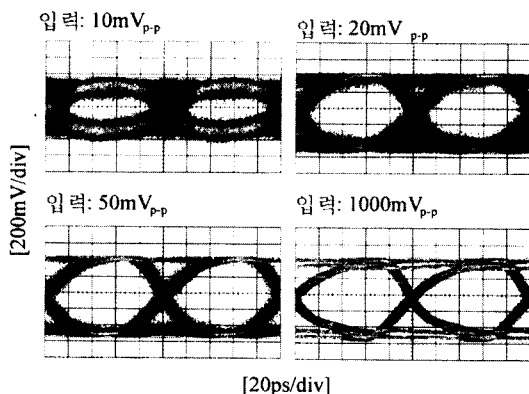


그림 12. 입력신호 레벨에 따른 출력 신호파형
Fig. 12. Output eye diagram with various input level.

3. 판별회로

판별회로는 리미팅증폭기의 데이터와 클럭추출회로

의 클럭을 입력받아 전송된 신호를 깨끗이 재생하는 기능을 한다. 따라서, 입력 데이터 신호를 올바르게 판별할 수 있는 입력 전압 수신감도(input voltage sensitivity)와 입력 데이터-클럭 간의 위상 마진으로 판별회로의 성능을 평가한다. 판별회로의 최대 클럭 속도는 판별회로의 전압 진폭 V_{SW} , HBT의 f_t , f_{max} 로 아래 식과 같이 표현할 수 있다^[10].

$$f_{clk,max} \cong 1.38 \left\{ \frac{1}{f_t} + \sqrt{\frac{2V_{SW}}{0.15}} \frac{1}{f_{max}} + \left(2 + \frac{V_{SW}}{0.15} \right) \frac{f_t}{4f_{max}^2} \right\}^{-1} \quad (1)$$

본 회로는 5mA ($f_t=55GHz$, $f_{max}=45GHz$), 0.4V의 내부 전압 진폭을 갖도록 설계하여 최대 클럭 속도는 상기 식으로부터 13.6GHz로 평가된다.

그림 13은 설계된 판별회로의 회로도이다. 1단 에미터 폴로어로 구성된 입력 버퍼, master-slave형의 D-f/f, 에미터 폴로워 버퍼, 출력 버퍼 등으로 구성되어 있다. 클럭 입력부는 AC 결합된 후 2단 에미터 폴로워 버퍼를 거쳐 master-slave D-f/f의 클럭 입력으로 연결된다. 데이터 입력과 클럭 입력에 대한 기준 신호 준위는 내부적으로 발생되도록 하였지만 외부 회로도도 그 값을 변경할 수 있도록 하였다. 데이터는 정/부 두 신호를 출력하도록 하였으며 임피던스 부정합으로 인한 신호왜곡을 줄이기 위해 SCFL 레벨로 설계하였다^[11].

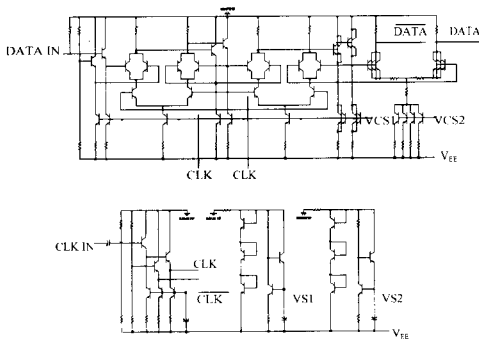


그림 13. 판별회로 회로도
Fig. 13. Circuit diagram of decision circuit.

제작된 판별회로는 웨이퍼상에서 고속 RF 프로브를 사용하여 특성을 평가하였다. 10Gbit/s $2^{23}-1$ 의 PRBS신호를 입력하였을 때, 판별회로 출력 신호의 eye 다이어그램을 그림 14에 나타내었다. 상승/하강 시간은 약 45ps로 측정되었고, 출력 전압은 SCFL 레벨로서 설계 값과 일치하였다. 판별회로의 최대 동

작 속도를 평가하기 위해 데이터 속도를 변화시키면서 판별 위상 마진과 판별 가능한 최소 입력 신호 값을 측정하여 그림 15에 나타내었다. 이때 기준 BER은 1×10^{-12} 이었다. 수GHz의 저속 영역에서는 300° 도 이상의 위상 마진과 25 mV의 입력 신호 감도를 보이고 있고 10Gbit/s에서는 위상마진 300° , 입력 전압 수신감도 47mV의 특성을 보여주고 있다. 위 특성은 리미팅증폭기 출력이 900mV_{p-p} 임을 고려해보면 입력 전압 수신감도 특성이 충분한 마진을 확보하고 있음을 알 수 있다. 그리고 Si 바이폴라^[12] 및 GaAs MESFET^[13]으로 제작된 10Gbit/s 판별회로에 비해 위상마진을 50° 이상 향상시켰다.

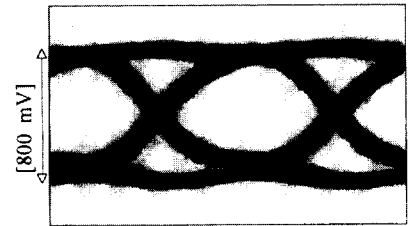


그림 14. 판별회로 출력 신호파형
Fig. 14. Output waveforms of decision circuit.

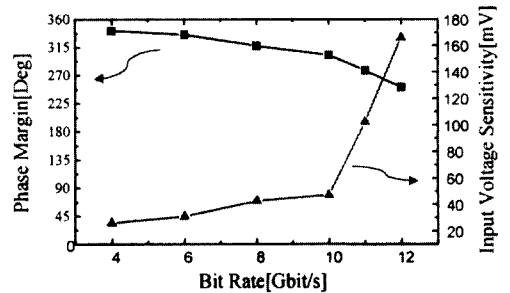


그림 15. 판별회로 입력 전압 수신감도 및 위상마진
Fig. 15. Input voltage sensitivity and phase margin of decision circuit.

III. 광링크 실험

모듈화된 IC를 사용하여 10Gbit/s 광수신기를 제작한 후 10Gbit/s×16 채널로 구성된 160Gbit/s WDM 시스템에 적용하여 광링크 실험을 하였다. 그림 16은 단일모드광섬유 240km 전송 시험 구성도이다. 광섬유 60km마다 색분산 보상용 광섬유를 포함한 광선로 증폭기를 사용하여 광선로에 의한 손실과 색분산을 보충하였다. 광송신기는 발진 중심파장이

1550nm대역인 DFB-LD 모듈과 LiNbO₃ 외부변조기로 구성된 송신기로 구성하였으며¹¹⁴⁾, 패턴발생기를 고속변조 신호원으로 사용하였다. 10Gbit/s PRBS 2²³-1 신호를 송신기에 인가하여 광수신기에 입력되는 광전력을 변화시키면서 측정된 BER 특성을 그림 17에 나타내었다. BER 1×10⁻¹²에서 측정된 수신감도는 back-to-back에서 -15.7 dBm, 240km 전송에서 -16.5 dBm이다. 그리고 최대 허용 광세기는 0dBm이었다. 세계 표준화 기구 ITU-T에서 권고하는 수신감도 -14dBm, 최대 허용 광세기 -3dBm, 그리고 광경로 페널티 2 dB를 고려해보면 본 광수신기는 수신감도 4.5 dB 및 최대 허용 광세기 3 dB의 마진이 있음을 알 수 있다. 한편 240km 전송에서 back-to-back 경우보다 더 좋은 BER 특성을 얻었는데 이것은 색분산 보상으로 인한 데이터 모양이 광수신기에서 처리하기 좋은 형태로 변했기 때문이다.

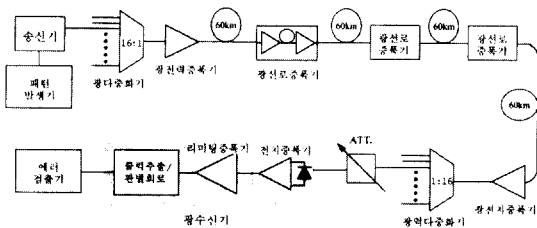


그림 16. 단일 모드 광섬유 240km 광링크 전송시험 구성도

Fig. 16. Setup for SMF 240km transmission test.

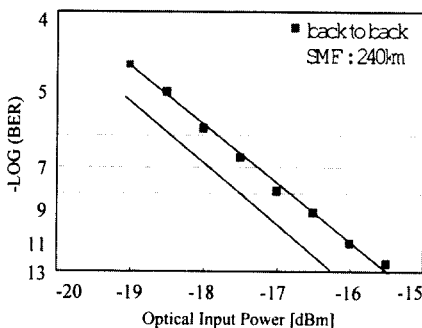


그림 17. 10Gbit/s 광수신기 BER
Fig. 17. BER of 10Gbit/s optical receiver.

IV. 결 론

AlGaAs/GaAs HBT를 사용하여 10Gbit/s 광수신기용 전치증폭기, 리미팅증폭기, 그리고 판별회로 IC

등을 설계 제작하여 그 특성을 살펴보았다. 사용한 HBT의 에미터 크기는 2×10 μm²이며, 차단주파수와 최대 공진 주파수는 각각 55GHz, 45GHz의 특성을 지닌다. 제작된 전치증폭기 IC는 상용 PIN 광검출기와 결합하여 광수신기 front-end를 구성한 뒤 그 특성을 측정하였다. 그 결과 이득 46dBΩ, 3dB대역폭 12.3GHz 특성을 보였다. 리미팅증폭기는 소신호 이득 27dB, 3dB대역폭 10.6GHz의 특성을 보였고 입력신호 20mVp-p 이상에서 리미팅 동작이 이루어져 90mVp-p 신호를 출력하였다. 현재 상용화된 제품보다 향상된 대역폭과 리미팅 동작 영역으로 인하여 전체 광링크 성능 개선에 효과적인 역할을 할 것으로 기대된다. 판별회로는 10Gbit/s급 디지털 회로로는 국내에서 처음으로 발표되는 것으로 기존의 발표된 논문들에 비해 입력 전압 수신감도는 유지하면서 위상마진을 향상시켰다. 측정된 위상마진은 300°, 입력 전압 수신감도는 47mV의 특성을 보였다. 위 세 종류의 IC들은 0~60°C 온도 환경시험을 통해 신뢰성이 확인된 후 10Gbit/s 광수신기에 사용되었다. 단일모드 광섬유 240km 광링크 전송 실험을 한 결과 BER=1×10⁻¹²에서 수신감도는 -16.5 dBm, 최대 허용 광세기는 0dBm으로 측정되었고, 현재 개발중인 10Gbit/s × 16채널 WDM 광전송 시스템에 적용되어 충분한 마진을 가지고 성공적으로 동작됨을 볼 수 있었다.

감사의 글

HAN-BISDN의 “160Gbit/s 광다중 전송장치 개발” 과제의 일부로 수행된 본 연구를 격려하여 주신 한국전자통신연구원의 김재근 박사님과 IC 제작에 협조하여 주신 박성호 박사님, 이태우 박사님, 그리고 박문평 박사님께 감사를 드립니다.

참 고 문 헌

[1] T. Otsuji, Y. Imai, and E. Sano, “Light-wave Communication ICs Beyond 10Gbit/s Design and Measurement Challenges,” in IEEE 1995 Microwave and Millimeter-Wave Monolithic Circuits Symposium, pp.11-14.
[2] T. Otsuji, Y. Imai, E. Sano, S. Kimura, S.

- Yamaguichi, M. Yoneyama, T. Enoki, and Y. Yohtaro, "40Gbit/s ICs for Future Lightwave Communications Systems," *IEEE J. Solid-State Circuits*, vol. 32, no. 9, pp.1363-1640, 1997.
- [3] R. Ohhira, Y. Amamiya, T. Niwa, N. Nagano, T. Takeuchi, C. Kurioka, T. Chuzenji, K. Fukuchi, "A high-sensitivity 40Gbit/s optical receiver using packaged GaAs HBT ICs," in *Optical Fiber Communication Conference Technical Digest*, pp. 155-156, 1998.
- [4] B. S. Kwark and M. S. Park, "A 10Gbit/s PIN-HBT MMIC Receiver Front-end," in *Tech. Digest of 46th Electronic Component and Technology Conference*, pp. 632-634, Orlando, USA, 1996.
- [5] 이태우, 박성호, 송재호, 박문평 "AlGaAs/GaAs HBT 를 이용한 20Gbps 급 제한증폭기의 설계 및 제작," 제5회 광전자공학 학술회의 논문, pp.143-144, 1998
- [6] 박성호, 최인훈, 오응기, 최성우, 박문평, 윤현섭, 이해린, 박철순, 박형무, "AlGaAs/GaAs HBT 의 제작과 특성 연구," 전자공학회논문지, 제 31권, A편, 제9호, pp.104-109, 1994
- [7] T. Y. Yun, J. H. Han, and M. S. Park, "10Gbit/s tuned pin-HEMT hybrid optical receiver with high sensitivity and wide dynamic range," *Proc. ECOC'95, WEL.2.3*, Brussels, 1995.
- [8] E. M. Cherry and D. E. Hooper, "The Design of Wide-band Transistor Feedback Amplifiers," *Proc. IEEE*, vol. 110, pp. 375-389, Feb. 1963.
- [9] N. Ishijara, O. Nakajima, H. Ichino, and Y. Yamauchi, "9GHz Bandwidth, 8-20dB controllable-gain Monolithic Amplifier Using AlGaAs/GaAs HBT Technology," *Electronics Letters*, vol. 25, no. 19, pp. 1317-1318, Sept. 1989.
- [10] E. Sano, Y. Matsuoka, and T. Ishibashi, "Device Figure-of-merits for High-Speed Digital ICs and Baseband Amplifiers," *IEICE Trans. Electron.*, vol. E78-C, no.9, pp. 1182-1188, 1995.
- [11] Takada, T., Ohtsuka, H. and Ohhata, M., "A new interface method SCFL-INTERFACING for ultra-highspeed logic ICs," *GaAs IC Symp. Tech. Digest*, pp.211-214, 1990.
- [12] K. Ishii, H. Ichino, Y. Kobayashi, and C. Yamaguchi, "Circuit Design for 15Gbit/s Si Bipolar Decision Circuit," *IEEE 1992 Bipolar Circuits and Technology Meeting*, pp. 147-149.
- [13] M. Ohhata, M. Togachi, K. Murata, S. Yamaguchi, M.Suzuki, and K.Hagimoto, "10Gbit/s, 35mV Decision IC Using 0.2um GaAs MESFETs," *IEICE Commun.*, vol. E76-B, no. 7, pp.7450-747, 1993.
- [14] 류갑열, 송재호, 유태환, 박창수, "WDM 시스템용 소형 10Gbit/s optical transponder 구현," in *Photonics Conference*, pp. 197-198, 1998

저 자 소 개

宋 宰 昊(正會員)

1992년 2월 홍익대학교 전자공학과 공학사. 1994년 2월 홍익대학교 전자공학과 공학석사. 1994년~현재 한국전자통신연구원. 주관심분야는 초고속 전자회로 설계, 초고속 광링크

俞 泰 暎(正會員)

1981년 2월 서울대학교 원자핵공학과 공학사. 1983년 2월 한국과학기술원 물리학과 이학석사. 1993년 8월 미국 Texas A&M University 전기전자과 공학박사. 1997년~현재 한국전자통신연구원 책임연구원, 고속모뎀팀장. 주관심분야는 광통신시스템, 초고속 전자회로, 마이크로파/밀리미터파를 이용한 무선통신

朴 昌 洙(正會員)

1979년 2월 한양대학교 전자공학과 공학사. 1981년 2월 서울대학교 전자공학과 공학석사. 1990년 12월 : 미국 Texas A&M University 전기전자과 공학박사. 1997년 ~ 현재 한국통신학회 광통신연구회장. 1982년 ~ 현재 한국전자통신연구원 책임연구원, 광다중화팀장. 주관심분야는 Optical Network&System application, Microwave Photonics application

郭 鳳 信(正會員)

1982년 2월 한양대학교 전자통신공학과 공학사. 1989년 12월 미국 Texas A&M University 전기전자과 공학석사. 1993년 8월 미국 Texas A&M University 전기전자과 공학박사. 1993년 ~ 1997년 한국전자통신연구원 광통신연구실. 1998년 ~ 현재 (주)삼성전자, 수석연구원. 주관심분야는 광통신시스템, 초고속 전자회로 설계, 광전자