

論文99-36C-4-1

FFR에서의 임계-쌍 경로를 이용한 효율적인 테스트 생성

(Efficient Test Generation using Critical-Pair Path in FFR)

徐 聖 煥 * , 安 光 善 **

(Seong-Hwan Seo and Gwang-Seon Ahn)

요 약

본 논문에서는 테스트 생성 과정에서 자주 사용되는 임계의 확장 개념으로 임계-쌍을 정의한다. 그리고 임계의 특성을 나타내는 요소로서 임계성, 임계율, 임계수, 임계설정율 등을 정의한다. 이 요소들을 이용하여 임계-쌍의 사용이 단일 임계의 사용보다 더 효율적이라는 것을 입증하고, FFR에서의 테스트 패턴 생성 시에 임계값에 대한 평가 회수, 경로선의 탐색 회수 및 생성 시간에서 더 효율적이라는 것을 보여준다. 시뮬레이션을 통해서 ISCAS85 벤치마크 테스트 회로에 대한 실험 결과를 비교 분석한다.

Abstract

Critical is used frequently in many test generation procedures. In this paper, the critical-pair is defined as a extended concept of critical. Also, the criticality, the critical rate, the critical number, and the critical setting rate are defined which represent the characteristics of critical. In these elements, it is proved that the usage of the critical-pair is more efficient than that of the single critical. in FFR, it is also showed that the critical-pair is more efficient in evaluation number of critical values when the test pattern is generated, in the number of searching lines, and the test generation time. The experimental results of the critical-pair on the ISCAS85 benchmark test circuits are compared and analyzed to the single critical using simulation.

I. 서 론

논리회로에서의 테스트에 관한 연구는 사용되는 논리회로의 규모가 커지면서 그 중요성이 더욱 증가하고 있다. 일반적으로 논리회로에 대한 테스트는 논리회로의 모든 결함들을 찾아낼 수 있는 테스트 셋을 생성하

는 것이 주된 목표이다. 결함(fault)은 주로 고착 결함(stuck fault) 모델로 해석한다. 고착 결함은 1959년 Eldred에 의해서 처음 제안된^[1] 결함으로 논리회로 내의 신호 선이 0(stuck-at-0) 또는 1(stuck-at-1) 값으로 고착되어 있는 결함을 의미한다. 고착 결함을 위한 테스트 셋의 생성에 관한 연구는 크게 나누어서 특정 결함을 테스트할 수 있는 테스트 패턴을 생성하는 테스트 패턴의 생성에 관한 분야와 주어진 테스트 패턴으로 검출할 수 있는 결함들을 찾아내는 결함 시뮬레이션 분야로 나누어진다.

테스트 패턴의 생성 방법은 크게 나누어 임의의 테스트 생성(random test generation) 방법과 결정적 테스트 생성(deterministic test generation) 방법이 있다. 전자는 난수 벡터(random vector)로서 테스트 패

* 正會員, 東洋大學校 컴퓨터工學部

(School of Computer Engineering, Dongyang University)

** 正會員, 慶北大學校 컴퓨터工學科

(Dept. of Computer Engineering, Kyoungpook National University)

接受日字:1998年12月2日, 수정완료일:1999年3月25日

턴을 생성하는 방법이고, 후자는 특정 회로에 적용하는 테스트 패턴 생성 방법이다. 결정적 테스트 생성 방법에 대하여서는 자동화 방법이 많이 연구되고 있어서 여러 가지의 ATPG(Automatic Test Pattern Generation) 알고리즘들이 소개되어있다. ATPG에는 결합 중속적인 방법과 결합 독립적인 방법이 있는데, 결합 중속적인 방법은 특정한 결합을 테스트할 수 있는 패턴을 생성하는 방법이며, 결합 독립적인 방법은 특정 결합에 대한 지정함이 없이 임의의 결합에 대한 패턴을 구하는 방법으로서 전체적인 결합을 테스트할 수 있는 결합들을 구하는 방법이다. 결합 독립적인 방법으로 임계 경로법이 있다. 임계 경로법을 사용한 테스트 패턴 생성 방법의 장점은 첫째, 테스트 패턴 생성을 함과 동시에 검출 가능한 결합을 구할 수가 있기 때문에 별도의 결합 시뮬레이션 단계를 거칠 필요가 없는 것이고, 둘째는 먼저 얻은 임계 경로를 약간 수정함으로써 구하지 않은 새로운 테스트 패턴을 생성할 수가 있다는 것이다.

결합 시뮬레이션의 일반적인 방법으로는 순차 결합 시뮬레이션(serial fault simulation), 병렬 결합 시뮬레이션(parallel fault simulation), 연역적 결합 시뮬레이션(deductive fault simulation), 동시적 결합 시뮬레이션(concurrent fault simulation) 등이 있고, 특별히 조합 논리회로를 위한 방법으로는 병렬 패턴 단일 결합 전파법(parallel-pattern single-fault propagation) 및 임계 경로 추적법(critical path tracing) 등이 있다.^[2]

임계 및 임계 경로(critical path)의 개념은 테스트 패턴 생성^[3,4,5]와 결합 시뮬레이션 분야^[6,7,8,9,10]에 사용된 중요한 개념이다. '임계'에 대한 정의는 1975년 Wang이 '테스트 생성 방법^[4,5]'에서 처음 사용했으며, '임계 경로'는 1984년에 Abramovici 등이 '임계경로 추적을 이용한 결합 시뮬레이션 방법^[10]'에서 처음 제시하였다.

본 연구에서는 임계 경로에 대한 확장된 개념으로 임계-쌍 경로(critical-pair path)를 정의하고 임계-쌍 경로를 이용한 테스트 생성이 일반적인 임계 경로를 이용한 방법보다 더 효율적임을 입증하고자 한다.

II. 관련 연구

Wang은 게이트를 노드로 표현함으로써 논리회로를

그래프 형태로 변형시킨 후 임계의 개념을 다음과 같이 정의했다.^[4]

정의 1 : 테스트 패턴 t 를 적용한 그래프에서 만일 결합 l/v 를 발견할 수 있는 값 $v(0$ 혹은 $1)$ 를 갖는 경로선 l 을 테스트 패턴 t 에서의 임계(critical)라고 한다. 이때 경로선 l 은 임계값 v 를 갖는다고 말한다.

그리고, 임계값을 갖는 경로선 l 을 임계선(critical line)이라고 한다.

예를 들어, 그림 1의 회로(1)에서 입력선 A, B, C, D에 테스트 패턴 $[0, 1, 1, 1]$ 을 적용하면 출력 Y의 값은 0이 되어야 한다. 만일 E에 stuck-at-1 결합(E/1)이 존재한다면 그 영향에 의해서 출력 Y의 값이 1이 되므로 결합 E/1의 발견이 가능하다. 이때 경로선 E는 테스트 패턴 $[A, B, C, D] = [0, 1, 1, 1]$ 에서의 '임계'라고 하며, 경로선 E는 임계값 '0'을 갖고, 경로선 E를 '임계선'이라고 한다.

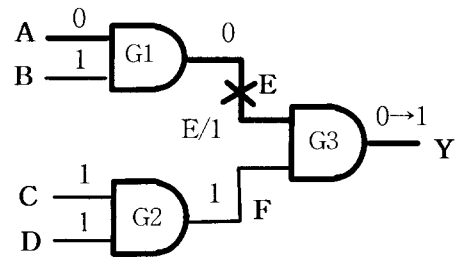


그림 1. 회로(1)

Fig. 1. Circuit (1).

Abramovici는 감지성(sensitive)의 개념을 '어떤 게이트에서 입력 i 의 값이 보수화될 때 출력값이 변하면 그 게이트의 입력 i 는 감지성이 있다'라고 정의하고, 이 감지의 개념을 사용하여 임계 경로(critical path)를 다음과 같이 정의하였다.^[10]

정의 2 : 어떤 테스트 패턴 t 하에서 주출력단으로부터 역추적(backtracing)을 통해서 감지선들(sensitive lines)을 추적하여 얻게되는 모든 임계선의 집합 τ 을 임계 경로라고 한다.

그림 1의 회로(1)에서 Y-E-A를 임계 경로라고 한다.

그는 역추적의 원리로 '어떤 게이트의 출력이 임계값을 가지고, 그 게이트에 감지 입력이 존재한다면 그 입력 또한 임계값을 가진다.'는 규칙을 사용하였다.

이 임계 경로의 개념은 테스트 패턴 생성 알고리즘

과 결함 시뮬레이션 알고리즘에 모두 이용되고 있다.

임계 경로를 이용한 테스트 패턴 생성의 알고리즘은 다음과 같다. (그림 2. 참고)

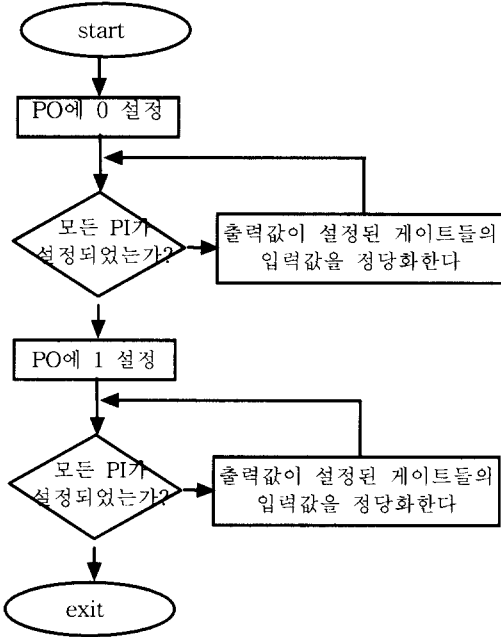


그림 2. 임계 경로를 이용한 테스트 생성 과정
Fig. 2. Test Generation Procedure using Critical Path.

1. 주출력단(PO : Primary Output)를 선택해서 임계값-0(critical 0-value) 혹은 임계값-1(critical 1-value)을 배정한다. 이때 주출력단의 값은 항상 임계값이다.

2. 재귀적으로 주출력단의 값을 정당화한다. 즉, 게이트 입력의 임계값에 의하여 게이트 출력에 어떤 임계값을 정당화하는 작업을 반복한다.

이 방법은 재결집 팬 아웃(reconvergent fanout)이 존재하는 일반적인 회로에서는 충돌, 자충(自衝) 설정(self-masking), 다중 경로 감지(multiple-path sensitization), PO 콘(cones) 영역 사이의 중복의 문제로 인해서 전체 회로에 적용할 때에는 어려움이 따른다. 그러나, 이 방법을 적용했을 때의 가장 큰 장점은 테스트 패턴생성과 동시에 검출 가능한 결함을 발견할 수 있다는 것이다.^[2]

Abramovici는 임계 경로를 이용한 결함 시뮬레이션은 다음과 같은 방법으로 수행했다.^[10]

1. 전처리 과정을 통해서 주어진 회로의 콘과

FFRs(Fanout Free Regions)를 결정하고, 합의선(cover line)의 성질을 이용하여 등가 합의선(equal parity cover line)을 가지는 스템(stem)을 확인한다.

2. 임의 테스트 패턴으로 정상적인 값을 시뮬레이션 하면서 게이트 입력의 감지성을 결정한다.

3. 임계 경로 추적(CPT)을 통해서 임계 경로 상의 정상적인 값의 보수값을 구함으로써 검출 가능한 결함들을 찾아낸다.

그러나 이 방법에서의 결점은 유표(有標) 등가 결함(equivalent fault marked)으로 검출할 수 있는 결함을 발견할 수 없다는 것이다.

임계 경로만을 이용한 테스트 패턴의 생성이나 결함 시뮬레이션은 FFR에서는 문제가 없지만 재결집 팬 아웃이 존재하는 회로에서는 여러 가지 문제점이 있다. 그러므로 보완적인 방법들과 함께 테스트 생성에 사용되고 있다.

본 연구에서는 이러한 여러 가지 문제들을 극복할 수 있을 것으로 기대되는 임계-쌍 경로를 정의하고 FFR에서의 테스트 생성에서 훨씬 효율적임을 보여준다.

III. 임계-쌍 경로에 대한 정의

어떤 테스트 패턴 하에서도 주출력단은 임계값을 가지므로, 정의 1을 이용하여 다음의 정리가 가능하다.

정리 1 : 단일 출력 $Z(X)$ 를 갖는 회로에서 테스트 패턴 t 하에서 어떤 경로선 l 이 임계선이라면 l 의 $v(0$ 혹은 $1)$ 값을 보수화(v')하면 주출력값 $Z(t)(0$ 혹은 $1)$ 도 보수화된 값 $Z(t')(1$ 혹은 $0)$ 로 된다.

증명) 테스트 패턴 t 에 의한 경로선 l 의 값은 v 이고 주출력값 $Z(t)$ 를 o 라고 하면, 정의 1에 의해서 경로선 l 의 v' 결함을 발견할 수가 있으므로 $f=l/v'$ 이라고 하면 $Z(t) \oplus Z(t) = 1$ 이다. 이때 $Z_f(t)$ 는 테스트 패턴 t 하에서 l 의 값이 $v'(s-a-v')$ 일 때의 값이다. 단일 출력 회로의 결함 검출 정의에 따라 $Z_f(t) = Z(t)'$ 이다. 그러므로 l 의 v 값을 보수화(v')하면 주출력값 $Z(t) = o$ 도 보수화된 값 $Z(t)' = o'$ 로 된다.

이 정리 1에 의해서 단일 어떤 경로선 l 의 보수화된 값 v' 을 다시 보수화(v)하면 주출력의 값 o' 이 다시 원래의 값인 o 가 된다. 그러므로 경로선 l 의 값을 v' 로 설정할 수 있는 테스트 패턴을 t' 이라고 하면 두 테스트 패턴은 주출력의 값을 제어할 수 있는 테스트

패턴 쌍이 된다.

본 연구에서는 이 정리를 이용하여 임계-쌍을 다음과 같이 정의한다.

정의 3 : 어떤 한 쌍의 테스트 $\tau (t_i \text{ and } t_i')$ 를 적용한 그래프에서 만일 결합 쌍($l/0$ and $l/1$)을 발견할 수 있는 값 $\nu (\omega [1/0]$ 혹은 $\omega' [0/1])$ 을 갖는 경로선 l 을 테스트 쌍 τ 에서의 임계-쌍이라고 한다. 이때 경로선 l 은 임계-쌍 값 ν 를 갖는다고 말하고 이때의 테스트 패턴의 쌍 τ 을 임계-쌍 테스트 패턴 (critical-pair test patterns)라고 한다.

그림 3의 회로(2)에서 A, B, C, D의 테스트 패턴 $[1, 1, 1, 1]$ 과 $[0, 1, 1, 1]$ 즉, $[w(1/0), v(1/1), v(1/1), v(1/1)]$ 이 임계-쌍 테스트 패턴이고, 경로선 A, E 및 Y를 임계-쌍이라고 하며, 임계-쌍 값은 모두 $w(1/0)$ 이다.

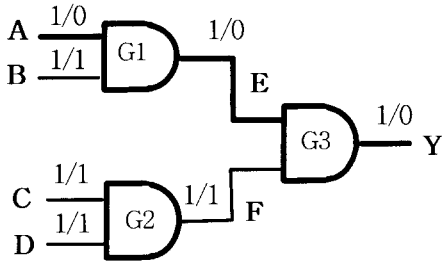


그림 3. 회로(2)
Fig. 3. Circuit (2).

정리 2 : 임계-쌍 테스트 패턴 t_i 과 t_i' 를 적용한 경우의 주출력단의 값은 서로 보수관계에 있다. 즉, t_i 의 주출력값이 o 라면 t_i' 의 주출력값은 o' 이 된다.

증명) 테스트 패턴 t_i 가 경로선 l 의 결합 l/v 를 발견할 수 있는 값 ν 를 설정한다면 정의 3에 의해서 테스트 패턴 t_i' 은 경로선 l 의 결합 l/ν 를 발견하기 위한 값 ν' 을 설정하게 된다. 테스트 패턴 t_i 에 의한 출력값 $Z(t_i)$ 를 o 라고 하면 정리 1에 의해서 테스트 t_i' 에 의한 출력값 $Z(t_i')$ 은 o' 이 된다.

그림 3의 회로(2)에서 테스트 패턴 $[1, 1, 1, 1]$ 의 출력값은 '1'이고, 테스트 패턴 $[0, 1, 1, 1]$ 의 출력값은 '0'이므로 서로 보수 관계에 있다.

본 연구에서는 일반적으로 사용하는 '임계'를 '단일 임계'라고 하며 단일 임계의 종류와 이중 임계를 다음과 같이 정의한다.

정의 4 : 단일 임계는 '0-단일 임계'와 '1-단일 임

계'로 구분한다. 0-단일 임계는 주출력단의 값이 0일 때의 임계를, 1-단일 임계는 주출력단의 값이 1일 때의 임계를 의미한다. 그리고 어떤 경로선의 값이 임계-쌍은 아니면서 0 및 1-단일 임계일 때를 이중 임계 (dual critical)이라고 한다.

임계 여부의 표시는 *(임계) 혹은 -(비임계)으로 표시하는데 0-단일 임계는 경로선의 값의 왼쪽에 표기하고, 1-단일 임계는 경로선의 값의 오른쪽에 표기한다.

정의 5 : 어떤 회로의 주출력단(PO)에 임계-쌍 값 ν 를 설정하기 위한 어떤 경로선의 한 쌍의 값 (value-pair)의 유형은 다음과 같다.

1) $\omega : 1/0$. 즉, PO의 값을 1로 만드는 경로선의 값이 1이고, PO의 값을 0으로 만드는 경로선의 값이 0인 경우의 한 쌍의 값.

2) $\omega' : 0/1$. 즉, PO의 값을 1로 만드는 경로선의 값이 0이고, PO의 값을 0으로 만드는 경로선의 값이 1인 경우의 한 쌍의 값. ω 의 보수값.

3) $1(v) : 1/1$. 즉, PO의 값을 1로 만드는 경로선의 값과 PO의 값을 0으로 만드는 경로선의 값이 모두 1인 경우의 한 쌍의 값.

4) $0(v') : 0/0$. 즉, PO의 값을 1로 만드는 경로선의 값과 PO의 값을 0으로 만드는 경로선의 값이 모두 0인 경우의 한 쌍의 값. v 의 보수값.

그러므로 '*w*' 및 '*w*'는 임계-쌍이고, '*v*' 및 '*v*'는 이중 임계이다. 임계-쌍의 값에 대한 원시 큐브(primitive cubes)는 표 1과 같다.

표 1에서 보는 바와 같이 XOR 게이트의 경우 (XNOR도 동일)에는 임계-쌍 값의 형태가 다른 게이트에 비해서 조금 다르다. 게이트 특성 상 0 혹은 1의 존재 여부에 따라 값이 결정되는 것이 아니라 1 혹은 0의 개수가 홀수인지 짝수인지에 따라 값이 결정되기 때문이다. 여기서는 임계-쌍을 가장 많이 갖게 만드는 입력 형태만 나타내었다.

정리 3 : XOR 혹은 XNOR 게이트가 없는 회로에서는 임계-쌍 테스트 τ 하에서 경로선 l 이 임계-쌍일 경우에는 ω 혹은 ω' 의 값을 가지게 된다. 그리고 그 역도 성립한다. 즉, 임계-쌍 테스트 τ 하에서 경로선 l 의 임계-쌍 값이 ω 혹은 ω' 의 값을 가지면 선 l 은 임계-쌍이 된다.

증명) 경로선 l 이 단일 임계-쌍이라면 정의 3에 의하여 경로선 l 의 값이 어떤 값(0혹은 1)이라고 할지라

표 1. AND, NAND, OR, NOR 및 XOR 게이트의 경로 정당화

Table 1. Line justification for AND, NAND, OR, NOR and XOR gates.

AND				NOTE	AND				NOTE
INPUT			OUTPUT		INPUT			OUTPUT	
A	B	C	Z					NOTE	
1/0	1/d	1/d	1/0					1/0:한 개 이상	
1/d	1/0	1/d	1/0						
1/d	1/d	1/0	1/0						
AND				NOTE	AND				NOTE
INPUT			OUTPUT		INPUT			OUTPUT	
A	B	C	Z					NOTE	
w	*v-	*v-	*w*					*w*:한 개 *v-:그 외	
*v-	*w*	*v-	*w*						
*v-	*v-	*w*	*w*						
NAND				NOTE	NAND				NOTE
INPUT			OUTPUT		INPUT			OUTPUT	
A	B	C	Z					NOTE	
0/1	d/1	d/1	1/0					0/1:한 개 이상	
d/1	0/1	d/1	1/0						
d/1	d/1	0/1	1/0						
OR				NOTE	OR				NOTE
INPUT			OUTPUT		INPUT			OUTPUT	
A	B	C	Z					NOTE	
1/0	d/0	d/0	1/0					1/0:한 개 이상	
d/0	1/0	d/0	1/0						
d/0	d/0	1/0	1/0						
NOR				NOTE	NOR				NOTE
INPUT			OUTPUT		INPUT			OUTPUT	
A	B	C	Z					NOTE	
0/1	0/d	0/d	1/0					0/1:한 개 이상	
0/d	0/1	0/d	1/0						
0/d	0/d	0/1	1/0						
XOR				NOTE	XOR				NOTE
INPUT			OUTPUT		INPUT			OUTPUT	
A	B	C	Z					NOTE	
1/0	1/0	1/0	1/0					1 : 홀수 개의 1 0 : 짝수 개의 1 1/0(0/1)의 생략	
1/0	0/1	0/1	1/0						
0/1	1/0	0/1	1/0						
0/1	0/1	1/0	1/0						
XOR				NOTE	XOR				NOTE
INPUT			OUTPUT		INPUT			OUTPUT	
A	B	C	Z					NOTE	
w	*w*	*w*	*w*					*w*:홀수 개의 *w* (짝수 개의 *w'*)	
w	*w'*	*w'*	*w*						
w'	*w*	*w'*	*w*						
w'	*w'*	*w*	*w*						
XOR				NOTE	XOR				NOTE
INPUT			OUTPUT		INPUT			OUTPUT	
A	B	C	Z					NOTE	
0/0	1/0	1/0	1/0					1 : 홀수 개의 1 0 : 짝수 개의 1 *1/0(0/1)이 아닌 것의 최소화 : 1개	
1/0	0/0	1/0	1/0						
0/1	1/1	1/0	1/0						
1/1	0/1	1/0	1/0						
XOR				NOTE	XOR				NOTE
INPUT			OUTPUT		INPUT			OUTPUT	
A	B	C	Z					NOTE	
v	*w*	*w*	*w*					*v*(or *v'*): 한 개 *w*(or *w'*): 그 외	
w	*v*	*w*	*w*						
w'	*v*	*w*	*w*						
v	*w'*	*w*	*w*						

(inputs 수 : odd)

(inputs 수 : even)

(a) By primitive cubes (b) By critical-pair cubes(critical-pair value : bold type)

도 주출력단(PO)의 값에 영향을 주기 때문에 ω 혹은 ω' 의 값을 갖게되는 것은 명백하다. 또한 표 1 및 표 2에 의해서 XOR 혹은 XNOR 게이트 외에는 임계-쌍이 아니면 경로선의 값이 쌍을 이룰 수가 없다. 그

러므로 임계 테스트 쌍 τ 하에서 경로선 l 의 0-단일 임계값과 1-단일 임계값이 서로 다른 값(w 혹은 w')이라는 의미는 경로선 l 이 임계-쌍이라는 것을 나타낸다.

그림 3의 회로(2)에서 임계-쌍인 경로선 A, E, Y는 모두 'w(1/0)'이며, 그 외에는 'w' 혹은 'w''이 없다.

정리 4 : XOR 혹은 XNOR 게이트가 없는 회로에는 이중 임계가 나타나지 않는다.

증명) 표 1의 (b)에서 보는 바와 같이 AND, NAND, OR, NOR(NOT 및 BUFFER 포함)에서는 출력값이 임계-쌍인 경우 입력이 *v* 혹은 *v'*로 설정되는 경우가 없으므로 이중 임계가 나타나지 않는 것이 명백하다.

XOR나 XNOR가 없는 그림 3의 회로(2)에서 보면 이중 임계가 나타나지 않는 것을 알 수 있다.

그러므로 XOR 혹은 XNOR에 대해서 임계값을 설정할 때는 임계-쌍을 최대화시키고, 이중 임계를 최소화시킨다.(표 1 참조)

임계-쌍 경로를 이용한 테스트 패턴 생성의 알고리즘은 다음과 같다. (그림 4 참조)

1. 주출력단(PO : Primary Output)를 선택해서 임계-쌍 값 $w(1/0)$ 을 배정한다. 이때, 주출력단의 값은 항상 임계-쌍 값 w 를 가진다.

2. 재귀적으로 주출력단의 값을 정당화한다. 즉, 게이트 출력의 임계-쌍 값을 정당화하기 위하여 게이트 입력에 가능한 한 모든 임계-쌍 값(w 혹은 w')을 배정한다. 이때 임계-쌍 값을 배정할 수 없는 입력에 대하여서는 가능하다면 단일 임계값을 배정한다.

결국 어떤 회로에서 결정할 수 있는 임계값이 많다는 것은 발견할 수 있는 결합이 많다는 것을 의미하므로 임계값을 설정하는 알고리즘에서는 임계값의 수를 많게 하는 것이 요구된다.

논리회로에서 테스트 가능성의 척도로 Stephenson과 Grason이 제안한 레지스터 전과급(Register Transfer Level)의 제어값(controllability value) $CY(s)$ 와 관측값(observability value) $OY(s)$ 가 있고^[11], Goldstein이 제시한 게이트급(Gate Level)의 제어성(combinational 0 and 1 controllabilities of signal line s : $CC^0(s)$ and $CC^1(s)$, sequential controllabilities of a single line s : $SC^0(s)$ and $SC^1(s)$)과 관측성(combinational and sequential observabilities : CO and SO)이^[12] 있으며,

random pattern testing에서의 결합 포함을 및 테스트 길이 평가 방법^[13]이 있다.

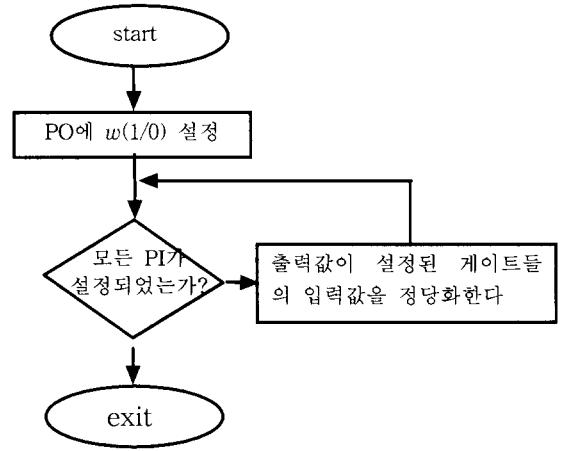


그림 4. 임계-쌍 경로를 이용한 테스트 생성 과정
Fig. 4. Test Generation Procedure using Critical-Pair Path.

본 연구에서는 테스트 가능성의 척도로 임계의 성질을 사용하기 위하여 게이트의 입·출력 선에 대한 임계 정도를 나타내는 게이트의 임계성(criticality)과 임계율(critical rate)을 다음과 같이 정의한다.

정의 6 : 게이트 G 의 출력 Z 에 임계값 v 를 설정하기 위한 입력 X 가 주어졌을 때 발견되는 임계값의 수를 게이트 G 의 입력 X 에 대한 게이트 임계성(criticality)이라 하고 $CT^v(X)_G$ 로 나타낸다. 그리고 회로 C 의 주출력 O 에 임계값 v 를 설정하기 위한 입력 테스트 패턴 t 가 주어지면 C 상에서 발견 가능한 임계값의 수를 회로 C 의 테스트 패턴 t 에 대한 회로 임계성이라고 하고 $CT^v(t)_C$ 로 표현한다.

게이트의 출력은 항상 임계값을 가지므로 게이트 임계성은 게이트의 임계 입력의 수에 출력 Z 의 임계값의 수를 더한 값이 된다. 그러므로 단일 임계 시는 1을, 임계-쌍이나 이중 임계 시에는 2를 더하게 된다. 그리고 출력 Z 가 임계값을 갖지 않으면 게이트 임계성은 0이다.



그림 5. 회로(3)
Fig. 5. Circuit (3).

그림 5의 회로(3)에서 출력 Y에 단일 임계값 1을 설정하기 위한 입력 [1, 1, 1]이 설정되면 검출 가능한 결함이 A/0, B/0, C/0 및 Y/0이므로 임계성은 4이다. 그리고 출력 Y에 임계-쌍 값 w(1/0)를 설정하기 위한 입력 [w, v, v]가 주어지면 검출 가능한 결함은 A/0, A/1, B/0, C/0, Y/0 및 Y/1이므로 임계성은 6이다.

정의 7 : 게이트 G에서 입력 X에 의해서 검출될 수 있는 결함의 비율을 입력 X에 대한 게이트 G의 임계율(critical rate)이라고 하고, 회로 C에서 테스트 패턴 t에 의해서 검출될 수 있는 결함의 비율을 테스트 패턴 t에 대한 회로 C의 임계율이라고 한다. 전자는 입력 X에 대한 게이트 임계율로 $CR^X(G)$ 로 표현하며, 후자는 테스트 패턴 t에 대한 회로 임계율로서 $CR^t(C)$ 로 나타낸다. 그리고 게이트 G에 대한 입력 X나 회로 C에 대한 테스트 패턴 t에 의해서만 검출되는 결함의 비율을 순수 임계율(pure critical rate; $CR_p^X(G)$ 혹은 $CR_p^t(C)$)이라고 한다.

테스트 패턴 t에 의한 임계 경로가 결정되면 경로 값의 보수값에 해당되는 결함은 검출 가능한 결함이다. 그러므로 회로 C의 테스트 패턴 t에 대한 임계율은 회로 C에서 테스트 패턴 t에 의해서 발견되는 결함 포함율(fault coverage)과 같게 된다.

입력선의 수가 n인 게이트 G에서 입력 X에 대한 게이트 G의 임계율은 식(1)과 같이 표현할 수 있다.

$$CR^X(G) = \frac{CT(X)_G}{2(n+1)} \quad (1)$$

그림 5의 회로(3)에서 주어진 입력값에 대한 임계율은 n=3이고 임계성이 6이므로 $CR^X(G) = \frac{CT(X)_G}{2(n+1)} = \frac{6}{8} = 0.75$ 이다.

그리고, 경로선의 수가 L인 회로 C에서 테스트 패턴 t에 대한 회로 임계율은 식(2)와 같이 나타낼 수 있다.

$$CR^t(C) = \frac{CT(t)_C}{2L} = \frac{\sum_{i=1}^G CT(X_i)_{G_i} - G_c + 1}{2L} = \frac{\sum_{i=1}^G CT(X_i)_{G_i} - G_c + 1}{2L} \quad (2)$$

여기서 G_i 는 회로 상의 모든 게이트의 수이고, G_c 는 임계 경로 상의 게이트 수이다. 즉, 회로 C에서 테스트 패턴 t에 대한 임계율은 임계 경로 상의 게이트

들에 대한 임계율과 같다.

임계율을 이용한 게이트들의 특성을 비교 평가하기 위하여 게이트의 임계수(critical number), 임계 설정율(critical setting rate), 최대 임계율(maximal critical rate) 및 평균 임계율(average critical rate)을 다음과 같이 정의한다.

정의 8 : 입력선의 수가 n인 게이트 G에서 모든 경로선에 임계값을 설정할 수 있는 최소의 입력 패턴들을 임계 패턴($X_c = \{X_1, X_2, \dots, X_n\}$)이라고 하고, 그 개수 μ 를 게이트의 임계수라고 하고 $CN(G)$ 로 표현한다. 또한 임계 패턴들에 대한 순수 임계율 평균을 임계 설정율이라고 하고 $CS(G)$ 로 표현하며, 임계 패턴의 순수 임계율의 합이 1이므로 임계 설정율은 임계수의 역수와 같게된다. 그리고 임계 패턴들에 대한 임계율의 평균을 게이트의 최대 임계율 $CR_\mu(G)$ 이라고 하며, 모든 입력 패턴에 대한 임계율 평균을 게이트의 평균 임계율 $CR_{avg}(G)$ 라고 한다. 그러므로 게이트의 임계 설정율은 식(3)과 같으며

$$CS(G) = \frac{\sum_{i=1}^{\mu} CR_p^{X_i}(G)}{CN(G)} = \frac{1}{\mu} \quad (3)$$

최대 임계율은 식(4)와 같이 나타낼 수 있다.

$$CR_\mu(G) = \frac{\sum_{i=1}^{\mu} CR^X(G)}{CN(G)} = \frac{\sum_{i=1}^{\mu} CT(X_i)_G}{2(n+1) \cdot \mu} \quad (4)$$

입력이 n개인 게이트의 평균 임계율은 식(5)와 같이 나타낼 수 있다. 여기서 λ 의 값은 단일 임계 시에는 1이고, 임계-쌍 시에는 2가 된다.

$$CR_{avg}(G) = \frac{\sum_{i=1}^{2^n} CR^X(G)}{2^{\lambda n}} = \frac{\sum_{i=1}^{2^n} CT(X_i)_G}{2^{\lambda n} \cdot 2(n+1)} = \frac{\sum_{i=1}^{2^n} CT(X_i)_G}{2^{\lambda n+1} \cdot (n+1)} \quad (5)$$

그림 5의 회로(3)에 대한 임계 패턴은 [w, v, v], [v, w, v], [v, v, w]가 된다. 그러므로 임계수 μ 는 3이다. 임계 패턴의 생성 순서를 전자와 같이하면 각각의 순수 임계율은 0.75, 0.125, 0.125이므로 평균은 1/3으로서 임계수의 역수와 같다. 그리고 각 패턴의 임계율이 모두 0.75이므로 평균인 최대 임계율은 0.75가 된다. 또한 회로(3)에 대한 단일 임계 시의 각 패턴에 대한 임계성을 계산하면 [0, 0, 0],

[0, 0, 1], [0, 1, 0], [1, 0, 0] 시는 모두 0이고 [1, 1, 0], [1, 0, 1], [0, 1, 1] 시는 모두 2이고 [1, 1, 1] 시는 4이다. 그러므로 평균 임계율은 식(5)을 이용하여 계산하면 $\lambda=1$ 이므로 $CR_{avg}(G) = \frac{0*4+2*3+4}{2^3} = \frac{10}{8} = 1.25$ 이다.

각 게이트별 임계 관련 특성을 분석하면 다음과 같다.

1) 단일 임계에 대한 게이트의 임계성($CT_s^v(X)$), 임계율($CR_s^v(X)_G$), 임계수($CN_s(G)$), 임계 설정율($CS_s(G)$), 최대 임계율($CR_{\mu,s}(G)$) 및 평균 임계율($CR_{avg,s}(G)$)의 분석 : 입력선이 n 개인 입력 $X=(x_1, x_2, \dots, x_n)$ 와 출력이 1개(Z)인 게이트에 대한 분석.

AND 게이트와 NAND 게이트는 서로 보수 관계에 있기 때문에 같이 생각할 수 있다. 즉, AND 게이트의 출력이 1일 때와 NAND 게이트의 출력이 0일 때의 입력값이 동일하다.

입력선이 n 개이면 가능한 입력 패턴이 2^n 개가 되고, 출력은 2개(0, 1)가 된다. AND(NAND) 게이트의 출력이 1(0)일 경우는 입력값이 모두 1일 때만 임계값을 갖게되므로 입력 패턴 수는 n 개의 입력 중에서 0인 값을 0개 취하는 조합과 동일하여 ${}_nC_0=1$ 개이고, 모든 입력과 출력이 임계값을 갖게되어 임계성은 $n+1$ 이며, 그 외에는 출력이 1(0)이 되는 입력 패턴이 없다. 출력이 0(1)일 경우는 입력선 중에 하나만이 0인 입력 패턴이 임계값을 갖게 되는데 이는 n 개의 입력 중에서 0인 값을 1개 취하는 조합과 동일하므로 ${}_nC_1=n$ 개이고, 이때는 입력값이 0인 경로선과 출력이 임계값을 갖게되어 임계성은 2가 된다. 0이 2개 이상인 입력 패턴은 임계값이 없는데 이 경우의 수는 $\sum_{i=2}^n {}_nC_i = \sum_{i=2}^n \frac{n!}{(n-i)!i!}$ 로 전체 패턴(2^n)에서 앞의 경우를 제외한 나머지의 경우와 같은 값으로 $2^n-(n+1)$ 이 된다. 이후로 이 값을 a 로 나타낸다. 임계값을 가지는 입력 패턴의 경우는 임계성이 있으나 임계값을 갖지 않는 경우는 임계성이 0이다. 그러므로 임계성은 식(6)과 같이 나타낼 수 있다.

$$CT_s^1(X)_{AND} = CT_s^0(X)_{NAND} = n+1 \tag{6.a}$$

$$CT_s^0(X)_{AND} = CT_s^1(X)_{NAND} = 2 \tag{6.b}$$

임계율은 '전체 결함수 $2(n+1)$ 에 대한 임계성'으로

식(7)과 같이 표현된다.

$$CR_s^1(X)_{AND} = CR_s^0(X)_{NAND} = \frac{n+1}{2(n+1)} = \frac{1}{2} \tag{7.a}$$

$$CR_s^0(X)_{AND} = CR_s^1(X)_{NAND} = \frac{2}{2(n+1)} = \frac{1}{(n+1)} \tag{7.b}$$

모든 결함을 검출할 수 있는 임계값의 설정을 위한 임계-쌍 패턴은 입력값이 모두 1인 패턴과 입력값 중에 하나만이 0이고 나머지는 모두 1인 n 개의 패턴이다. 즉, 임계수는 $CN_s(G_{AND})=CN_s(G_{NAND}) = n+1$ 이 되고, 임계 설정율은 식(8)과 같다.

$$CS_s(G_{AND}) = CS_s(G_{NAND}) = \frac{\sum_{i=1}^n CR_P^{X_i}(G)}{CN_s(G)} = \frac{1}{\mu} = \frac{1}{n+1} \tag{8}$$

그리고, 최대 임계율과 평균 임계율은 식(9) 및 식(10)과 같다.

$$CR_{\mu,s}(G) = \frac{\sum CR^{X_i}(G)}{CN(G)} = \frac{\sum CT(X_i)_G}{2(n+1) \cdot \mu} = \frac{(n+1) \times 1 + 2 \times n}{2(n+1)^2} = \frac{3n+1}{2(n+1)^2} \tag{9}$$

$$CR_{avg,s}(G) = \frac{\sum_{i=1}^{2^n} CR^{X_i}(G)}{2^n} = \frac{\sum_{i=1}^{2^n} CT(X_i)_G}{2^n \cdot \mu} = \frac{(n+1) \times 1 + 2 \times n}{2^{n+1} \cdot (n+1)} = \frac{3n+1}{2^{n+1} \cdot (n+1)} \tag{10}$$

여기서 $n \geq 1$ 이므로 항상 '최대 임계율($CR_{\mu}(G)$) \geq 평균 임계율($CR_{avg}(G)$)'이다.

나머지 게이트에 대한 단일 임계 특성은 표 2과 표 3에 나타내었다.

2) 임계-쌍에 대한 게이트의 임계성($CT_p^v(X)$), 임계율($CR_p^v(X)_G$), 임계수($CN_p(G)$), 임계 설정율($CS_p(G)$), 최대 임계율($CR_{\mu,p}(G)$) 및 평균 임계율($CR_{avg,p}(G)$)의 분석 : 입력선이 n 개인 입력 쌍 $X/Y=(x_1/y_1, x_2/y_2, \dots, x_n/y_n)$ 와 1개의 출력 쌍 $Z(w \text{ or } w')$ 인 게이트에 대한 분석.

AND 게이트와 NAND 게이트는 서로 보수 관계에 있기 때문에 같이 생각할 수 있다. 즉, AND 게이트의 출력이 w 일 때와 NAND 게이트의 출력이 w' 일 때의 입력값이 동일하다.

이 경우에 게이트 입력값의 형태가 4가지(w, w', v, v')이므로 입력선이 n 개인 게이트의 가능한 입력 패턴은 4^n 개이고, 출력은 4가지(w, w', v, v')가 된다. AND(NAND) 게이트의 출력이 w 일 때는 임계-쌍($*w*$)인 경우가 입력선 중에 하나가 w 이고 나머지가 v 일 때(${}_n C_1 = n$ 개)이고, 1-단일 임계($-w*$)인 경우는 입력값이 w 인 입력선이 2개 이상 존재하고 나머지는 v

인 경우($\sum_{i=2}^n {}_n C_i = \sigma$ 개)이며, 나머지($*w-, -w-$)는 임계 값을 갖지 않는다. 출력이 w' 일 때는 임계-쌍($*w*$)인 경우가 입력선 중에 하나가 w' 이고 나머지가 v 일 때(${}_n C_1 = n$ 개)이고, 0-단일 임계($*w-$)인 경우는 입력값이 w' 인 입력선이 2개 이상 존재하고 나머지는 v 인 경우($\sum_{i=2}^n {}_n C_i = \sigma$ 개)이며, 나머지($-w*, -w-$)는 임계값

표 2. 게이트의 단일 임계 특성(1)

Table 2. Characteristics of Gate's single critical (1).

출력		게이트	AND	OR	NOT(BUFF)	XOR
			(NAND)	(NOR)	[n=1]	(XNOR)
$v=1(0)$	단일 임계	패턴수	${}_n C_0 = 1$	${}_n C_1 = n$	1	2^{n-1}
		임계성	$n+1$	2	2	$n+1$
		임계율	$\frac{1}{2}$	$\frac{1}{(n+1)}$	$\frac{1}{2}$	$\frac{1}{2}$
	비 임계	패턴수	0	$\sum_{i=2}^n {}_n C_i = \sigma$	0	0
		임계성	0	0	0	0
		임계율	0	0	0	0
$v=0(1)$	단일 임계	패턴수	${}_n C_1 = n$	${}_n C_0 = 1$	1	2^{n-1}
		임계성	2	$n+1$	2	$n+1$
		임계율	$\frac{1}{(n+1)}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$
	비 임계	패턴수	$\sum_{i=2}^n {}_n C_i = \sigma$	0	0	0
		임계성	0	0	0	0
		임계율	0	0	0	0

$$\text{단, } \sigma = \sum_{i=2}^n {}_n C_i = \sum_{i=2}^n \frac{n!}{(n-i)!i!}$$

표 3. 게이트의 단일 임계 특성 (2)

Table 3. Characteristics of Gate's single critical (2).

게이트		AND	OR	NOT(BUFF)	XOR(XNOR)	XOR(XNOR)
		(NAND)	(NOR)	[n=1]	[n=홀수]	[n=짝수]
임계수	$CN_s(G)$	$n+1$	$n+1$	2	2	3
임계 설정율	$CS_s(G)$	$\frac{1}{n+1}$	$\frac{1}{n+1}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{3}$
최대 임계율	$CR_{\mu, s}(G)$	$\frac{3n+1}{2(n+1)^2}$	$\frac{3n+1}{2(n+1)^2}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$
평균 임계율	$CR_{avg, s}(G)$	$\frac{3n+1}{2^{n+1} \cdot (n+1)}$	$\frac{3n+1}{2^{n+1} \cdot (n+1)}$	$\frac{1}{2}$	$\frac{1}{2}$	$\frac{1}{2}$

을 갖지 않는다. 출력이 v 일 때는 임계-쌍인 경우는 없고 입력선이 모두 v 일 때 이중임계(* v *)가 1개(nC_0 개) 존재하고 나머지(* $v-$, $-v*$, $-v-$)는 임계값을 갖지 않는다. 출력이 v' 일 때도 임계-쌍인 경우는 없고 이중임계(* $v'*$)가 $\sum_{i=0}^n nC_i = n^2$ 개, 0-단일 임계와 1-단일 임계가 각각 $\sum_{i=2}^n nC_i = n \cdot \sigma$ 개 존재하고, 비임계 ($-v'-$)인 경우가 $\sum_{i=2}^n nC_i \times \sum_{i=2}^n nC_i = \sigma^2$ 개가 있다(표 4). 그리고 임계성과 임계율은 표 5과 같이 표현된다.

모든 결합을 검출할 수 있는 임계값의 설정을 위한 임계-쌍 테스트 패턴은 AND(NAND) 게이트의 출력 값이 $w(w')$ 일 때 입력선 중에 하나만이 w 이고 나머지는 모두 v 인 n 개의 테스트 패턴이다. 즉, 임계수는 $CN_p(G_{AND}) = CN_p(G_{NAND}) = n$ 이 되고, 임계 설정율은 식(11)과 같다.

$$CS_p(G_{AND}) = CS_p(G_{NAND}) = \frac{\sum_{i=0}^n CR_p^i(G)}{CN_p(G)} = \frac{1}{\mu} = \frac{1}{n} \quad (11)$$

그리고 최대 임계율과 평균 임계율은 식(12) 및 식(13)과 같다.

$$CR_{\mu, p}(G) = \frac{\sum_{i=0}^n CR^i(G)}{CN(G)} = \frac{\sum_{i=0}^n CT(\tau_i)_G}{2(n+1) \cdot \mu} = \frac{\sum_{i=0}^n CT(\tau_i)_G}{2n(n+1)} = \frac{n(n+3)}{2n(n+1)} = \frac{n+3}{2n+2} \quad (12)$$

$$CR_{ax, p}(G) = \frac{\sum_{i=0}^{2^n} CR^i(G)}{2^{2n}} = \frac{\frac{n+3}{2(n+1)} * n * 2 + \frac{1}{2} * \sigma * 2 + 1 * 1 + \frac{2}{n+1} * n^2 + \frac{1}{n+1} * n * \sigma * 2}{2^{2n}} = \frac{(3n+1) \cdot (\sigma + n + 1)}{2^{2n} \cdot (n + 1)} \quad (13)$$

표 4. 게이트의 임계-쌍 특성(1) : 입력 패턴 수

Table 4. Characteristics of Gate's critical-pair (1) : numbers of input patterns.

출력		게이트		AND (NAND)	OR (NOR)	NOT(BUFF) [n=1]	XOR (XNOR)
		* $w*$	임계-쌍	$nC_I = n$	$nC_I = n$	1	$\sigma_0 \cdot \sigma_1$
$v = w(w')$	* $w-$	1-단일임계	$\sum_{i=2}^n nC_i = \sigma$	0	0	0	0
	- $w*$	0-단일임계	0	$\sum_{i=2}^n nC_i = \sigma$	0	0	0
	- $w-$	비임계	0	0	0	0	0
	* $w'*$	임계-쌍	$nC_I = n$	$nC_I = n$	1	$\sigma_0 \cdot \sigma_1$	
$v = w'(w)$	* $w'-$	1-단일임계	0	$\sum_{i=2}^n nC_i = \sigma$	0	0	0
	- $w'*$	0-단일임계	$\sum_{i=2}^n nC_i = \sigma$	0	0	0	0
	- $w'-$	비임계	0	0	0	0	0
	* $v*$	이중임계	$nC_0 = 1$	$\sum_{i=0}^n nC_i = n^2$	1	σ_1^2	
$v = v(v')$	* $v-$	1-단일임계	0	$n \sum_{i=2}^n nC_i = n \cdot \sigma$	0	0	0
	- $v*$	0-단일임계	0	$n \sum_{i=2}^n nC_i = n \cdot \sigma$	0	0	0
	- $v-$	비임계	0	$\sum_{i=2}^n nC_i \times \sum_{i=2}^n nC_i = \sigma^2$	0	0	0
	* $v'*$	이중임계	$\sum_{i=0}^n nC_i = n^2$	$nC_0 = 1$	1	σ_0^2	
$v = v'(v)$	* $v'-$	1-단일임계	$n \sum_{i=2}^n nC_i = n \cdot \sigma$	0	0	0	0
	- $v'*$	0-단일임계	$n \sum_{i=2}^n nC_i = n \cdot \sigma$	0	0	0	0
	- $v'-$	비임계	$\sum_{i=2}^n nC_i \times \sum_{i=2}^n nC_i = \sigma^2$	0	0	0	0

$$\text{단, } \sigma = \sum_{i=2}^n nC_i = \sum_{i=2}^n \frac{n!}{(n-i)!i!}, \sigma_0 = \sum_{i=2}^n nC_i, (j=0,1,2,\dots), \sigma_1 = \sum_{i=0,1,2,\dots} nC_i, (j=0,1,2,\dots)$$

표 5. 게이트의 임계-쌍 특성(2) : 임계성 및 임계율

Table 5. Characteristics of Gate's critical-pair (2) : criticality and critical rate.

출력		게이트		AND	OR	NOT(BUFF)	XOR
				(NAND)	(NOR)	[n=1]	(XNOR)
w(w')	*w*	임계-쌍	임계성	n+3	n+3	4	2(n+1)
			임계율	$\frac{n+3}{2(n+1)}$	$\frac{n+3}{2(n+1)}$	1	1
	*w-	0-단일임계	임계성	n+1	0	0	0
			임계율	$\frac{1}{2}$	0	0	0
	-w*	1-단일임계	임계성	0	n+1	0	0
			임계율	0	$\frac{1}{2}$	0	0
	-w-	비임계	임계성	0	0	0	0
			임계율	0	0	0	0
w'(w)	*w'*	임계-쌍	임계성	n+3	n+3	4	2(n+1)
			임계율	$\frac{n+3}{2(n+1)}$	$\frac{n+3}{2(n+1)}$	1	1
	*w'-	0-단일임계	임계성	0	n+1	0	0
			임계율	0	$\frac{1}{2}$	0	0
	-w'*	1-단일임계	임계성	n+1	0	0	0
			임계율	$\frac{1}{2}$	0	0	0
	-w'-	비임계	임계성	0	0	0	0
			임계율	0	0	0	0
v(v')	*v*	이중임계	임계성	2(n+1)	4	4	2(n+1)
			임계율	1	$\frac{2}{n+1}$	1	1
	*v-	0-단일임계	임계성	0	2	0	0
			임계율	0	$\frac{1}{n+1}$	0	0
	-v*	1-단일임계	임계성	0	2	0	0
			임계율	0	$\frac{1}{n+1}$	0	0
	-v-	비임계	임계성	0	0	0	0
			임계율	0	0	0	0
v'(v')	*v'*	이중임계	임계성	4	2(n+1)	4	2(n+1)
			임계율	$\frac{2}{n+1}$	1	1	1
	*v'-	0-단일임계	임계성	2	0	0	0
			임계율	$\frac{1}{n+1}$	0	0	0
	-v'*	1-단일임계	임계성	2	0	0	0
			임계율	$\frac{1}{n+1}$	0	0	0
	-v'-	비임계	임계성	0	0	0	0
			임계율	0	0	0	0

표 6. 게이트의 임계-쌍 특성 (3)

Table 6. Characteristics of Gate's critical-pair (3).

게이트		AND (NAND)	OR (NOR)	NOT(BUFF) [n=1]	XOR(XNOR) [n=홀수]	XOR(XNOR) [n=짝수]
임계수	$CN_p(G)$	n	n	1	1	2
임계 설정율	$CS_p(G)$	$\frac{1}{n}$	$\frac{1}{n}$	1	1	$\frac{1}{2}$
최대 임계율	$CR_{\mu, p}(G)$	$\frac{n+3}{2n+2}$	$\frac{n+3}{2n+2}$	1	1	1
평균 임계율	$CR_{avg, p}(G)$	$\frac{(3n+1)}{2^n \cdot (n+1)}$	$\frac{(3n+1)}{2^n \cdot (n+1)}$	1	1	1

여기서, $\sigma + n + 1 = \sum_{i=2}^n nCi + {}_n C_1 + {}_n C_0$ 이고, $\sum_{i=2}^n nCi + {}_n C_1 + {}_n C_0 = \sum_{i=0}^n nCi = 2^n$ 임으로 $CR_{avg, p}(G) = \frac{(3n+1)}{2^n \cdot (n+1)}$ 이다. 그리고, $n \geq 1$ 이므로 항상 '최대 임계율'이다.

계율($CR_{\mu}(G) \geq$ 평균 임계율($CR_{avg}(G)$)'이다. 나머지 게이트에 대한 게이트의 임계-쌍 특성은 표 4, 표 5 및 표 6에 나타내었다.

NOT(BUFFER) 게이트($n=1$)를 제외하면 일반적으로 $n \geq 2$ 이므로 모든 게이트의 경우에 임계성, 평균 임계율 및 임계 설정수의 값이 임계-쌍 경로시가 단일 임계 경로시 보다 높다. 즉, $CT_d(Z) \geq CT_s(Z)$, $CR_d(G) \geq CR_s(G)$ 및 $CS_d(G) \geq CS_s(G)$ 이다. 만일 어떤 회로 혹은 영역의 게이트 수가 m 개이고 라인 수가 n 개일 때, 게이트의 임계값 평가 시간을 t_c , 라인 당의 탐색 시간을 t_s 라고 하면 주출력단에 설정한 임계값에 따른 전체 회로의 임계값 배정시간(T_G)은 $m \cdot t_c + n \cdot t_s$ 가 된다. 임계 라인 당 탐색 시간은 단일 임계 탐색 시(t_{ss})와 임계-쌍 탐색 시(t_{sd})가 모두 같으므로 $t_{ss} = t_{sd}$ 이고, 임계값의 평가시간은 단일 임계 평가 시간(t_{cs})이 임계-쌍 평가 시간(t_{cd})보다 적게 걸리게 되어 $t_{cs} \geq t_{cd}$ 가 된다. 그러나 만일 표2와 같이 임계값 테이블을 이용하여 게이트의 임계값을 평가하게 되면 단일 임계값 평가 시나 임계-쌍 값 평가 시가 같아지므로 $t_{cs} = t_{cd}$ 가 된다.

IV. 실험 및 고찰

테스트 패턴의 생성 시에 순수하게 임계 경로법만을 적용하여 테스트 패턴을 생성할 수 있는 경우는

FFR에 국한된다. 그러므로 본 연구에서는 단일 임계 경로와 임계-쌍 경로의 테스트 생성에 대한 효율성을 비교하기 위해서 팬 아웃이 없는 회로 혹은 팬 아웃이 없는 영역(fanout-free region)을 중심으로 실험 및 고찰을 한다.

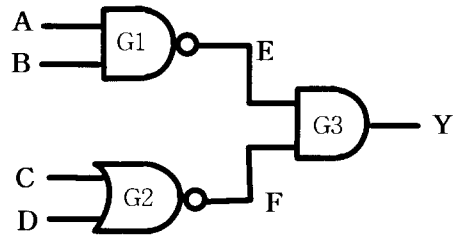


그림 6. 예제 회로
Fig. 6. Example circuit.

그림 6의 회로를 예를 들어보면 단일 임계 경로법을 사용하면 표 7에서 보는 것처럼 5번의 임계 경로 탐색이 필요하지만 임계-쌍 경로법을 사용하면 4번의 임계 경로 탐색으로 테스트 생성이 가능하다. 게이트의 임계 평가 회수는 단일 임계 경로법 사용 시는 11번이지만 임계-쌍 경로법을 사용하면 7번으로 줄고, 경로선의 탐색 회수도 단일 임계 경로법은 24번인데 반해서 임계-쌍 경로법을 사용하면 17번이면 된다.

본 연구에서 사용한 알고리즘의 임계 입력의 선택 및 값 설정 방법이 표 8에 요약되어 있다. 이 알고리즘은 visual C++로 구현하였고, ISCAS85 벤치마크 회로^[14]를 사용해 Pentium Pro PC에서 검증했다. ISCAS85의 각 회로를 FFR로 나눈 후에, 각 FFR에 대하여 임계경로법과 임계-쌍 경로법을 사용하여 모든

FFR의 테스트를 생성하는 시간을 비교해보았다. 이 실험은 어떤 형식의 테스트 생성 방법을 사용할지라도 회로를 FFR로 나눈 후에 각 FFR에 대하여 임계경로법을 사용하게되면 이 실험의 과정이 삽입되게 된다. 표 9에 나타난 실험 결과에서 보듯이 FFR에서의 테스트 패턴을 생성할 때에 임계값에 대한 평가 회수는 평균 48.0%를 감소시킬 수 있으며, 경로선의 탐색 회수를 평균 55.6% 줄일 수 있고, 테스트 생성 시간은 평균 64.0%를 단축할 수 있다. 특히 경로선의 개수가 적어서 두 가지 방법의 시간이 0으로 나타난 c17 회로를 제외하면 테스트 생성시간은 평균 60.4%가 된다.

그러므로 테스트 생성 시간을 2/3 이하로 단축시킬 수가 있을 것으로 사료된다.

V. 결론

본 연구에서 우리는 임계-쌍에 관련된 용어 및 특성을 정의하였고, 실험을 통해서 임계의 성질을 이용하는 것보다 임계-쌍의 개념을 사용하는 것이 더 효율적임을 보였다. 특히 테스트 생성 과정에서 FFR 부분의 테스트 생성시의 실험 결과로서 임계-쌍 경로를 사용하는 것이 단일 임계 경로를 이용하는 것보다 속

표 7. 예제 회로에 대한 결과
Table 7. Results of Example Circuit.

단일 임계 경로법						
출력 설정 값	입력 패턴 [ABCD]	임계 경로	임계평가 게이트	검색경로	검출 가능 결함	평가시작 게이트
0	1100	Y-E-A/B	G3-G1-G2	Y-E-A-B-F-C-D	<u>Y/1, E/1, B/0, A/0</u>	G3
	0110	Y-F-C	G3-G2-G1	F-C-D-E-A-B	Y/1, <u>F/1, C/0</u>	G3
	0101	Y-F-D	G2	D-C	Y/1, F/1, <u>D/0</u>	G2
1	0100	Y-E-A 및 Y-F-C/D	G3-G1-G2	Y-E-A-B-F-C-D	<u>Y/0, F/0, D/1, C/1, E/0, A/1</u>	G3
	1000	Y-E-B 및 Y-F-C/D	G1	A-B	Y/0, F/0, D/1, C/1, E/0, <u>B/1</u>	G1
	5개	10개	11개	24개	14개	

임계-쌍 경로법						
출력 설정 값	입력 패턴 [ABCD]	임계-쌍 경로 (이중임계) (단일임계)	임계평가 게이트	검색경로	검출 가능 결함	평가시작 게이트
w	$wv'v'$ [1100] [0100]	Y-E-A (Y-E-B, 및 Y-F-C/D)	G3-G1-G2	Y-E-A-B-F-C-D	<u>Y/0, Y/1, F/0, C/1, D/1, E/0, E/1, A/0, A/1, B/0</u>	G3
	$wv'v'v'$ [1000] [1100]	Y-E-B (Y-E-A 및 Y-F-C/D)	G1	B-A	Y/0, Y/1, F/0, D/1, C/1, E/0, E/1, B/0, <u>B/1, A/0</u>	G1
	$v'vw'v'$ [0100] [0110]	Y-F-C (Y-E-D 및 Y-F-A)	G3-G2	F-C-D-E-A-B	Y/0, Y/1, F/0, <u>F/1, D/1, C/0, C/1, E/0, A/1</u>	G3
	$v'vv'w'$ [0100] [0101]	Y-F-D (Y-E-C 및 Y-F-A)	G2	D-C	Y/0, Y/1, F/0, F/1, <u>D/0, D/1, C/1, E/0, A/1</u>	G2
	4개	4(10)개	7개	17개	14개	

표 8. 게이트 출력에 대한 임계 입력의 선택 및 값 설정 방법
Table 8. Selection and Setting of critical inputs for Gate Outputs.

게이트	임계 형태	GO=0		GO=1	
		GO=0/0(v')	GO=0/1(w')	GO=1/0(w)	GO=1/1(v)
AND	단일	한 개만 : 0 설정(나머지 비임계 : 1 설정)		모든 입력 : 1 설정	
	쌍	한 개만 : v' 설정 (나머지 단일임계: v)	한 개만 : w' 설정 (나머지 단일임계: v)	한 개만 : w 설정 (나머지 단일임계: v)	모든 입력 : v 설정
OR	단일	모든 입력 : 0 설정		한 개만 : 1 설정(나머지 비임계 : 0)	
	쌍	모든 입력 : v' 설정	한 개만 : w' 설정 (나머지 단일임계: v')	한 개만 : w 설정 (나머지 단일임계: v')	한 개만 : v 설정 (나머지 단일임계: v')
NAND	단일	모든 입력 : 1 설정		한 개만 : 0 설정(나머지 비임계 : 1)	
	쌍	모든 입력 : v 설정	한 개만 : w 설정 (나머지 단일임계: v)	한 개만 : w' 설정 (나머지 단일임계: v)	한 개만 : v' 설정 (나머지 단일임계: v)
NOR	단일	한 개만 : 1 설정(나머지 비임계 : 0)		모든 입력 : 0 설정	
	쌍	한 개만 : v 설정 (나머지 단일임계: v')	한 개만 : w 설정 (나머지 단일임계: v')	한 개만 : w' 설정 (나머지 단일임계: v')	모든 입력 : v' 설정
NOT	단일	입력선 : 1 설정		입력선 : 0 설정	
	쌍	입력선 : v 설정	입력선 : w 설정	입력선 : w' 설정	입력선 : v' 설정
BUFFER	단일	입력선 : 0 설정		입력선 : 1 설정	
	쌍	입력선 : v' 설정	입력선 : w' 설정	입력선 : w 설정	입력선 : v 설정
XOR _{odd}	단일	모든 입력 : 짝수개의 1 설정(모두 0)		모든 입력 : 홀수개의 1 설정(모두 1)	
	쌍	모든 입력 : 쌍마다 짝수개의 1 설정 (모두 v')	모든 입력 : 모두 w' 설정	모든 입력 : 모두 w 설정	모든 입력 : 쌍마다 홀수개의 1 설정 (모두 v)
XOR _{even}	단일	모든 입력 : 짝수개의 1 설정(모두 0)		모든 입력 : 홀수개의 1 설정(n-1개의 1, 한 개만 0)	
	쌍	모든 입력 : 쌍마다 짝수개의 1 설정 (모두 v')	모든 입력 : 모두 w' 설정	모든 입력 : 모두 w 설정	모든 입력 : 쌍마다 홀수개의 1 설정 (한 개만 v' , 나머지는 모두 v)
XNOR _{odd}	단일	모든 입력 : 홀수개의 0 설정(모두 0)		모든 입력 : 짝수개의 0 설정(모두 1)	
	쌍	모든 입력 : 쌍마다 홀수개의 1 설정 (모두 v)	모든 입력 : 모두 w 설정	모든 입력 : 모두 w 설정	모든 입력 : 쌍마다 짝수개의 1 설정 (모두 v')
XNOR _{even}	단일	모든 입력 : 홀수개의 0 설정 (한 개만 0, 나머지는 1)		모든 입력 : 짝수개의 0 설정(모두 0)	
	쌍	모든 입력 : 쌍마다 홀수개의 1 설정(한 개만 v' , 나머지는 모두 v)	모든 입력 : 한 개만 v' , 나머지는 모두 w	모든 입력 : 한 개만 v' , 나머지는 모두 w'	모든 입력 : 쌍마다 짝수개의 1 설정 (모두 v')

표 9. ISCAS85 벤치마크 회로에서의 시뮬레이션 결과

Table 9. Simulation Results on ISCAS85 Benchmark Circuits.

회로	FFR 수	단일 임계방법					임계-쌍 방법					임계-쌍 / 단일 임계(%)				
		N_{ip}	N_{cp}	N_{ce}	N_s	T_{ip}	N_{ip}	N_{cp}	N_{ce}	N_s	T_{ip}	N_{ip}	N_{cp}	N_{ce}	N_s	T_{ip}
c1355	291	1100	1898	2032	4560	0.520	776	3622	1098	2691	0.160	70.5	190.8	54.0	59.0	30.7
c17	5	16	24	20	50	0.000	10	35	12	30	0.000	62.5	145.8	60.0	60.0	100.0
c1908	410	1438	2889	3397	7409	0.570	995	5421	1729	4307	0.290	69.1	187.6	50.8	58.1	50.8
c2670	594	2071	5596	5200	10800	0.830	1346	11875	2281	5689	0.490	64.9	212.2	43.8	52.6	59.0
c3540	601	2472	7159	10186	19277	0.640	1825	21879	3386	8294	0.560	73.8	305.6	33.2	43.0	87.5
c432	96	350	1007	907	2151	0.170	218	2554	370	1217	0.060	62.2	253.6	40.7	56.5	35.2
c499	91	292	794	728	1612	0.210	160	1506	342	903	0.110	54.7	189.6	46.9	56.0	52.3
c5315	929	3937	9254	10098	22336	1.330	2885	18101	4593	12280	1.080	73.2	195.6	45.4	54.9	81.2
c6288	1488	5360	8688	8176	19248	2.270	3872	9584	4816	11536	1.410	72.2	110.3	58.9	59.9	62.1
c7552	1408	5448	11652	13970	28666	1.750	3962	21593	6655	15988	1.490	72.7	185.3	47.6	55.7	85.1
c880	151	648	1551	1632	3495	0.280	451	3205	775	1971	0.170	69.5	206.6	47.4	56.3	60.7
평균 증감율											62.1	198.4	48.0	55.6	64.0 (60.4)	

* FFR의 테스트 패턴 개수: N_{ip} , FFR의 임계 경로 개수: N_{cp} , 게이트의 임계값 평가 회수: N_{ce} , 경로선의 탐색 회수: N_s , 테스트 생성 시간(sec): T_{ip}

도가 빠르게 되는 것을 알 수 있었다. 그러므로 임계 성질을 사용하는 모든 분야에 단일 임계를 사용하는 대신에 임계-쌍을 이용하면 보다 나은 효과를 거둘 수 있을 것으로 사료된다.

그러나 임계-쌍 경로법만으로 회로의 테스트 생성이나 결함 시뮬레이션을 완전하게 할 수가 없거나 어려운 작업이 동반된다. 이러한 문제의 극복을 위한 연구가 다음의 과제이다. 임계-쌍 경로법만을 사용하여 테스트 생성이나 결함 시뮬레이션을 하기 위한 방법론에 대한 연구를 다음 논문에서 언급할 계획이다.

참 고 문 헌

[1] R. D. Elderd, "Test Routines Based on Symbolic Logic Statements," *Journal of ACM*, vol. 6, no. 1, pp.33-36, 1959.
 [2] M. Abramovici, M. A. Breuer, and A. D. Friedman, *Digital Systems Testing and Testable Design*, Computer Science Press, 1990.
 [3] J. J. Thomas, "Automated Diagnostic Test Programs for Digital Networks,"

Computer Design, pp.63-67, August, 1971.

[4] D. T. Wang, "An algorithm for the generation of test sets for combinational logic network," *IEEE Trans. on Computer*, pp.742-746, July 1975.
 [5] D. T. Wang, "Properties of Faults and Criticalities of Values under Test for Combinational Networks," *IEEE Trans. on Computer*, pp.746-750, July 1975.
 [6] J. P. Roth, W. G. Bouricius, and P. R. Schneider, "Programmed Algorithms to Compute Tests to Detect and Distinguish Between Failures in Logic Circuits," *IEEE Trans. on Computer*, Vol. EC-16, No. 10, pp.567-579, October, 1967.
 [7] S. Y. H. Su and Y. C. Cho, "A New Approach to the fault Location of Combinational Circuits," *IEEE Trans. on Computers*, Vol. C-21, No. 1, pp.21-30, January, 1972.
 [8] S. J. Hong, "Fault simulation strategy for combinational logic network," *Digest of*

- Papers 8th Annual International Conf. on Annual Fault-Tolerant Computing*, pp.96-99, June, 1978.
- [9] F. Ozguner, W. E. Donath, and C. W. Cha, "On Fault Simulation Techniques," *Journal of Design Automation & Fault-Tolerant Computing*, Vol. 3, pp.83-92, 1979.
- [10] M. Abramovici, P. R. Menon, and D. T. Miller, "Critical Path Tracing: An Alternative to Fault Simulation," *IEEE Design & Test of Computers*, Vol. No. 1, pp.83-93, February, 1984.
- [11] J. E. Stephenson and J. Grason, "Atestability measure for register transfer level digital circuits," *Proc. 6th Int. Symp. Fault-Tolerant Computing*, pp. 101-107, 1976.
- [12] L. H. Goldstein, "Controllability/observability analysis of digital circuits," *IEEE Trans. Circuits and Systems CAS-26(9)*, pp.685-693, 1979.
- [13] A. Majumdar and S. B. K. Vrudhula, "Fault Coverage and Test Length Estimation for Random Pattern Testing," *IEEE Trans. on Computer*, C-44(2), pp.234-247, 1995.
- [14] F. Brglez and H. Fujiwara, "A Neutral Netlist of 10 Combinational Benchmark Design and special Translator in Fortran," *International Symposium on Circuits and Systems*, June 1985.

 저 자 소 개



徐 聖 煥(正會員)

1980년 2월 경북대학교 전자공학과 (전자계산전공) 졸업 (공학사). 1991년 2월 경북대학교 대학원 컴퓨터공학과 졸업 (공학석사). 1993년 2월 경북대학교 대학원 컴퓨터공학과 박사과정 수료. 1983년 7월 ~1984년 2월 (주)한국정보시스템 개발부 사원. 1984년 3월 ~1988년 8월 (주)국제컴퓨터엔지니어링 시스템개발부 차장. 1992년 2월~1995년 2월 구미1대학 전임강사, 조교수. 1995년 3월~현재 동양대학교 컴퓨터공학부 조교수. 주관심분야는 VLSI testing(ATPG, 결합 시뮬레이션), 설계 자동화, 컴퓨터 구조

安 光 善(正會員) 第 35卷 C編 第 4號 參照