

論文99-36T-3-1

HDTV용 8×8 최적화 정수형 여현변환의 VLSI 구조

(A VLSI Architecture of an 8×8 OICT for HDTV Application)

宋寅俊*, 黃庠文**, 李宗河**, 柳基秀***, 郭勳星*

(In Jun Song, Sang Moon Hwang, Jong Ha Lee, Ki Soo Rheu, and Hoon Sung Kwak)

요 약

본 논문에서는 실시간 영상처리 시스템나 HDTV에서의 영상신호 압축 및 복원의 실시간처리를 위해 사용하는 고성능 2-D DCT 프로세서의 VLSI 구조를 최적화 정수형 여현 변환(OICT)의 고속 연산 알고리즘을 이용하여 구현하였다.

OICT의 고속 연산 알고리즘의 계수는 정수값이어서 변환시 정수형 연산을 수행하게 되므로 부동소수점 연산을 수행하는 DCT에 비해 전체적으로 하드웨어의 복잡도와 속도를 향상시킬 수 있다. 제안한 VLSI 구조는 이러한 OICT의 장점을 살려 곱셈기를 입력값의 쉬프트와 덧셈기만으로 구성하여 고속연산을 수행하게 하므로써 비용과 속도를 개선할 수 있었다.

Abstract

We present VLSI architecture for a high performance 2-D DCT processor which is used compressing system of real time image processing or HDTV using fast computational algorithm of the Optimized Integer Cosine Transform(OICT). The coefficients of the OICT are integer, so the OICT performs only the integer operations for both forward and inverse transform. Therefore the proposed architecture could be greatly enhanced in improving the speed, reduced the hardware cost considerably by replacing the multiplication operations with shift and addition operations compared with DCT which performs floating-point operations.

I. 서 론

영상신호에 대한 압축기술의 발전과 MPEG(Moving

* 正會員, 全北大學校 컴퓨터工學科

(Dept. of Computer Eng. Chonbuk National University)

** 正會員, 全州工業大學 電子科

(Dept. of Electronics Jeonju Technical College)

*** 正會員, 全北地方中小企業廳

※ 이 논문은 1997년 한국학술진흥재단의 공모과제연구비에 의하여 연구되었음

接受日字: 1999年2月2日, 수정완료일: 1999年3月9日

Picture Experts Group)^{[1]-[3]} 등 관련 국제 표준의 제정에 따라 방송신호의 디지털화가 급속히 진행되고 있다. 미국에서는 지상파 TV를 디지털화하기 위하여 FCC(Federal Communication Commission)가 ATSC(advanced Television System Committee)에서 마련한 표준을 채택하였으며, 1998년 11월 1일부터 우선 미국내 대도시를 중심으로 한 지상파의 HDTV 방송을 시작하고 1999년 5월부터 전국 규모 방송 네트워크가 HDTV 방송을 실시하기로 계획되었다. 또한 우리 나라에서도 1997년 11월 ATSC 디지털 TV의 표준안을 채택한다고 발표하므로써 HDTV 방송이 구체화되고 있다^{[4],[5]}.

MPEG등의 제안된 여러 표준 중 MPEG-2^[3]는 MPEG-1^[2]을 포함하는 상위 계층으로 HDTV, 디지털 비디오 통신, CD-ROM 및 DVD 기록, 멀티미디어 컴퓨팅 및 네트워크등 다양한 분야에 응용되고 있으며, 빠른 시간에 동영상상을 전송하기 위해서 영상을 압축하는 기법으로 DCT (Discrete Cosine Transform)방법을 채택하고 있다.

DCT는 영상 전체에 대해 변환을 할 경우 많은 처리 시간이 소요되므로 원영상을 8×8 블록으로 나누어 각 블록에 대해 DCT 변환을 한다. 이때 8×8 블록 내에 있는 화소값들은 급격히 변화하지 않으므로 변환을 수행하고 나면 대부분의 공간 주파수 성분들은 0이거나 또는 거의 0에 가까운 정도로 매우 작아 부호화할 필요가 없게된다. 그래서 JPEG, H.261^[6], MPEG 표준의 DCT는 8×8의 화소 블록 크기만을 처리하도록 규정하고 있다.^{[7],[8]}

DCT는 많은 계산량을 요구하는 것으로 2-D DCT의 직접 계산시 N×N 블록의 경우 N⁴의 곱셈을 요구해, 8×8 영상의 경우 4096번의 곱셈을 수행해야 한다. 따라서 실시간 영상처리 시스템나 HDTV 응용을 위해서는 고성능 2-D DCT 프로세서가 사용되어야 한다.

문헌에 발표된 대부분의 DCT 프로세서들은 DCT 행렬 요소가 실수이기 때문에 유한 길이 연산(finite-length arithmetic)으로 인한 연산의 정확도가 떨어지게 되며, 부동 소숫점 연산을 수행하기 때문에 연산속도가 낮게된다. 따라서, 고성능의 2차원 DCT 프로세서의 개발을 위해서는 고속 알고리즘의 개발과 함께 이를 실리콘에 효율적으로 매핑하기 위한 algorithm-specific 아키텍처의 고안, 그리고 아키텍처 레벨의 병렬성을 극대화하기 위한 최적화 방안 등이 종합적으로 연구되어야 한다.^[9]

알고리즘의 효율적인 VLSI 구현을 위해서는 면적 복잡도와 시간 복잡도에 대한 면밀한 분석이 필요한데, 일반적으로 VLSI 구현을 위한 하드웨어 비용(즉, 실리콘 면적)은 연산처리요소(즉, 승산기 및 가산기/감산기)의 갯수와 데이터 통신을 위한 배선면적에 의해 결정되며, DCT 알고리즘의 경우도 예외는 아니다.

최적화 정수형 여현변환(Optimized Integer Cosine Transform ; OICT)^[10]은 DCT 계수가 실수이기 때문에 발생하는 연산의 정확도 및 연산속도 문제를 극복하고, 고속 계산을 위하여 DCT 계수의 직교성질과 크

기관계를 만족하며, DCT 계수가 정수값을 갖는 DCT를 대신할 수 있는 알고리즘으로 개발되었다.

본 논문에서는 실시간 영상처리 시스템나 HDTV에서의 영상신호 압축 및 복원의 실시간처리를 위해 사용하는 고성능 2-D DCT 프로세서의 VLSI 구조를 OICT의 고속 연산 알고리즘을 이용하여 구현하였다. OICT의 계수는 정수이기 때문에 곱셈기를 입력 쉬프트와 덧셈기, 뺄셈기만으로 간단하게 구성시킬 수 있어 전체적으로 하드웨어의 복잡도와 속도를 향상시킬 수 있다.

II. 최적화 정수형 여현변환(Optimized Integer Cosine Transform)

최적화 정수형 여현변환(OICT)는 고성능 2차원 DCT 프로세서 구현을 위해 정수형 연산을 수행할 수 있도록 DCT의 직교성질과 크기관계를 만족하는 정수값을 선정하고 이 정수값을 이용하여 정방향과 역방향 변환 후 정규화 계수를 처리할 수 있도록, 정규화 계수로 인한 오차를 무시할 수 있는 범위에서 정규화 계수를 단일 값으로 근사화 시키고 그 중에서 Hilbert-Schmidt norm 값이 작으면서 고속 알고리즘 구현이 가능한 정수 값을 선정하여 구현한 변환 알고리즘이다. 그리고 고속 알고리즘은 행렬 분해를 이용하여 정수형 영상을 수행하는 20개의 곱셈 수를 갖도록 구현되었다 여기서 변환계수 값을 정수형으로 구현하는 것은 하드웨어구성 과정에서 복잡도와 비용을 줄일 수 있으며, 특히 변환계수가 실수형일 때 보다 연산과정에서 발생하는 연산오차를 줄일 수 있기 때문이다.

따라서 이 장에서는 참고문헌 [10]에 나타나 있는 OICT의 변환 알고리즘과 고속 알고리즘에 대하여 간단하게 설명한다.

1. 8×8 변환 알고리즘

8×8 크기의 2차원 입력 영상신호 행렬을 $[f_8]$ 이라 할 때 2차원 정방향과 역방향의 OICT는 각각 식(1), (2)와 같다.

$$[F_8] = M[f_8][A_8][A_8]^T \quad (1)$$

$$[f_8] = M[f_8][A_8]^T[F_8][A_8] \quad (2)$$

$$k = \frac{1}{\sqrt{66222}}$$

여기서 T는 행열전치(transposition)을 나타내며, $\{I_8\}$ 은 OICT 행열 $\{A_8\}$ 을 scale하여 정규직교 행열로 만드는 정규화 계수 값이다. 또한 OICT 행열 $\{A_8\}$ 은 식(3)과 같다.

$$[A_8] = \begin{bmatrix} 91 & 91 & 91 & 91 & 91 & 91 & 91 & 91 \\ 125 & 108 & 72 & 25 & -25 & -72 & -108 & -125 \\ 119 & 49 & -49 & -119 & -119 & -49 & 49 & 119 \\ 108 & -25 & -125 & -72 & 72 & 125 & 25 & -108 \\ 91 & -91 & -91 & 91 & 91 & -91 & -91 & 91 \\ 72 & -125 & 25 & 108 & -108 & -25 & 125 & -72 \\ 49 & -119 & 119 & -49 & -49 & 119 & -119 & 49 \\ 25 & -72 & 108 & -125 & 125 & -108 & 72 & -25 \end{bmatrix} \quad (3)$$

식(3)에서 OICT의 계수가 정수값을 가지므로 유한 비트로 표현할 때 절삭에 따른 직교변환 성질의 상실로 인한 오차는 발생하지 않는다. 또한 내부연산 크기를 변환영역의 계수값들 중 가장 큰값을 포함할 수 있을 정도로만 하면, 내부연산에 따른 오차도 발생하지 않는다. 그런 반면 OICT는 변환후 정규화에 따른 오차가 발생한다. 즉, OICT는 DCT의 내부연산에 따른 오차를 정규화 오차로 대신하게 하므로써 전체적으로 오차를 줄일 수 있으며 그 크기는 아주 작다.

2. 고속 알고리즘

OICT 행열에 대하여 행열 분해를 실시하여 고속 알고리즘을 구현하면 그림 1과 같다. 그림1의 고속연산을 위한 신호 흐름도에 나타난 바와 같이 OICT를 직접계산할 때 곱셈 수가 64개인 것에 비하여 곱셈 수를 20개로 감소시킬 수 있으며 이 고속 알고리즘

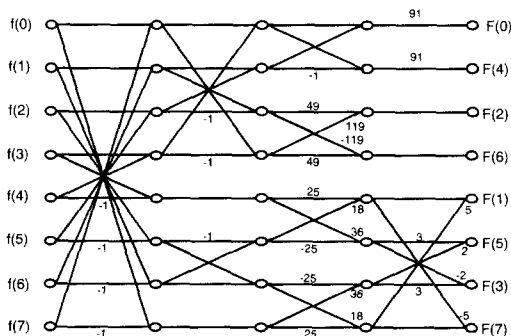


그림 1. OICT에 대한 고속계산 알고리즘의 신호 흐름도(N=8)

Fig. 1. Signal flow graph of the fast computational algorithm for the forward order-8 OICT.

역시 정수형 연산으로 이루어진다. 그림 1의 신호 흐름도에서 정규화 계수 $\{I_8\}$ 은 포함되지 않았다. 이는 정규화 계수가 단일 값을 가지므로 정방향과 역방향 변환 후 정규화 계수를 처리할 수 있기 때문이다.

III. 최적화 정수형 변환(OICT)의 VLSI 구조

OICT 코어 프로세서의 전체적인 하드웨어 구조는 RCA(Row-Column Algorithm) 방식을 이용하여 구성하였다. 이 RCA 방식은 첫 번째와 두 번째의 1차원 OICT 계산을 위한 두 개의 DPU(Data Processing Units)가 있고(First-DPU와 Second-DPU), 중간 결과 값을 저장하기 위한 전치메모리, 내부 동작을 제어하기 위한 TCU(Timing and Control Unit) 등으로 구성되며 이를 그림2에 나타내었다. 각 모듈에 대한 설명과 함께 연산의 동작을 설명하면 다음과 같다.

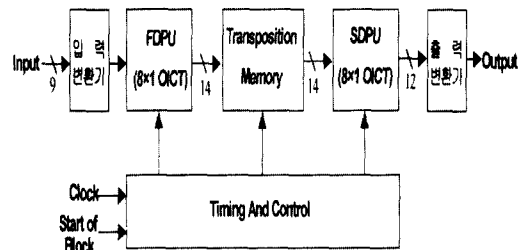


그림 2. OICT 프로세서의 구성
Fig. 2. The block diagram of the OICT processor.

1. 입출력 변환기

입출력 변환기는 OICT 변환을 위해 OICT 코어로의 영상 데이터를 입력하는 입력변환기와 OICT 코어에서 계산된 결과를 외부로 출력하는 출력변환기로 구성되며, 각각 그림3에 나타내었다.

OICT변환을 위한 9비트의 픽셀 데이터는 그림3(a)에 나타낸 바와 같이 클럭에 동기되어 쉬프트 레지스터 S7에 순차적으로 입력된다. 그리고 이 값은 클럭에 동기되어 다음 레지스터S6→S5→S4→S3→S2→S1→S0로 쉬프트 된다. 8사이클 후 8개의 S 레지스터(S0-S7)에 입력된 픽셀 데이터는 FDPU에 병렬로 출력하기 위하여 R 레지스터(R0-R7)에 래치된다. R 레지스터의 출력값은 다음의 8개의 픽셀 데이터가 S 레지스터에 쉬프트되는 동안 즉, 8사이클 동안 유지되

어 FDPU에서는 이 8클럭 동안에 첫 번째의 1차원 OICT를 수행하게 된다.

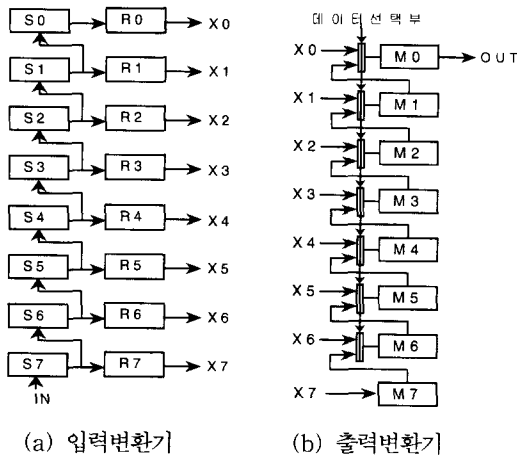


그림 3. 입/출력변환기 구조도
Fig. 3. The structure of input/output formatter.

그리고 SDPU에서 2번째의 1차원 OICT를 수행한 변환 데이터는 그림3 (b)에 나타낸 바와 같이 먼저 데이터 선택부를 거쳐 8개의 값들이 병렬로 M 레지스터에 입력되어 래치된다. 그리고 클럭에 동기되어 레지스터 M7→M6→M5→M4→M3→M2→M1→M0으로 쉬프트되며 레지스터 M0에 있는 데이터 값이 하나씩 순차적으로 출력된다.

2. DPU(Data Processing Unit)

각각의 DPU는 그림1의 OICT의 고속 알고리즘을 이용하여 구성하였다. 여기서 사용한 고속 알고리즘은 20개의 곱셈이 존재하나 변환계수가 정수값을 가지므로 곱셈기 구성시 입력 비트의 쉬프트와 덧셈기, 뺄셈기(2의 보수에 의한 덧셈기) 만으로 구성하여 고속연산을 수행하도록 회로를 구성하였다. 예로써, 입력값이 X라 할 때, X와 계수 49와의 곱은 $X \times 49 = X \times (1 + 16 + 32) = X + X \times 2^4 + X \times 2^5$ 로 되어 입력값 X와 X가 좌측으로(MSB쪽) 4비트 쉬프트한 값을 더하고 이의 합에 5비트 쉬프트한 값을 더하여 구할 수 있다. 같은 방법으로 다른 계수들은

$$\begin{aligned}
 X \times 119 &= X \times (128 - 9) = X \times (128 - (1 + 8)) \\
 &= X \times 2^8 - (X + X \times 2^3) \\
 X \times 91 &= X \times (128 - 37) = X \times (128 - (1 + 4 + 32)) \\
 &= X \times 2^8 - (X + X \times 2^2 + X \times 2^5) \\
 X \times 36 &= X \times (32 + 4) = X \times 2^5 + X \times 2^2
 \end{aligned}$$

$$\begin{aligned}
 X \times 25 &= X \times (16 + 8 + 1) = X \times 2^4 + X \times 2^1 \\
 X \times 5 &= X \times (4 + 1) = X \times 2^2 + X \\
 X \times 3 &= X \times 2^1 + X \\
 X \times 2 &= X \times 2^1
 \end{aligned}$$

로 되어 덧셈기 만으로 각 계수값을 곱해주는 곱셈기를 구성하였다. FDPU에서는 입력변환기의 R 레지스터에서 출력되는 픽셀 데이터 값을 입력 받아 병렬로 1차원 변환을 수행하게 되며 수행되는 시간은 R 레지스터가 출력값을 유지하는 8사이클 동안에 이루어진다. 첫 번째의 1차원 변환된 데이터는 최대 19비트 크기의 변환값을 갖게 되는데 하위 5비트를 절삭하여 14비트 크기의 변환 데이터를 출력하여 전치메모리에 병렬로 입력된다. 이때 변환 데이터를 14비트로 유지할 수 있는 것은 H.261의 에러 규정치를 만족하는 측면에서의 계산된 비트수이다. 여기서 양자화를 고려하면 11비트 정도로 유지하여도 Full-Precision DCT를 수행한 결과 값보다 PSNR이 높다는 것을 시뮬레이션을 통하여 검증하였다. 이와 같은 결과는 OICT가 DCT보다 성능면에서 우수하기 때문이다.

SDPU에서는 전치메모리에서 전치되어 출력되는 첫 번째의 1차원 OICT 변환 데이터를 입력 받아 다시 두 번째의 1차원 OICT 변환을 수행하는 곳으로써, 구성은 FDPU와 같으나 입력 비트수가 14비트이고 출력비트는 최대 24비트 크기값을 갖게된다. 이때 SDPU를 거친 OICT 변환 데이터 값의 출력을 12비트로 유지하기 위하여 하위 12비트를 절삭한다. 그리고 절삭된 상위 12비트 크기의 데이터는 그림3 (b)에 나타낸 바와 같이 출력변환기에 의해 순차적으로 출력된다.

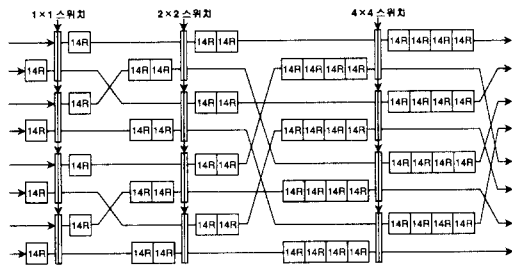
한편, 덧셈기는 비트 수가 커질수록 게이트가 많이 소요되며 처리 속도 또한 늦어지므로 SDPU의 처리속도는 FDPU의 처리속도에 비해 느리게 된다. 따라서 OICT 코어 프로세서의 처리속도는 SDPU의 처리속도에 좌우되므로 전체적인 처리속도에는 영향을 주지 않고 게이트 수를 줄이기 위해 FDPU의 덧셈기는 Ripple Carrier 방식으로 SDPU의 덧셈기는 Look Ahead Carrier 방식으로 구성하였다.

3. 전치메모리^[11]

전치메모리는 14비트 크기의 1차원 변환 값을 입력 받아 행 순서를 열 순서로 또는 열 순서를 행 순서로

레이터를 전치 한 후 SDPU에 출력한다. 본 논문에서 사용한 전치메모리는 RAM을 사용한 구조보다 하드웨어와 지연시간에 대한 요구사항이 완화된 것으로 그림 4와 같이 멀티플렉서와 레지스터군의 조합인 1×1 스위치, 2×2 스위치, 4×4 스위치의 기본단위들로 구성된다.

전치메모리의 입(출력은 8개의 채널을 통해 14비트씩 동시에 이루어지며 입력된 14비트 데이터는 멀티플렉서 제어신호에 의해 교차(cross)되거나 곧바로 통과된 후 클럭에 따라 다음 단계로 이동한다. 멀티플렉서 제어는 8클럭의 배수로 1×1 스위치에서는 8, 2×2 스위치에서는 16, 4×4 스위치에서는 32클럭을 주기로 이루어진다.



14R : 14bit Register
 그림 4. 전치메모리 구조도
 Fig. 4. The architecture of a transposition network.

VI. 설계 검증

하드웨어를 통한 직접적인 구조의 선정 및 구현에는 많은 시행착오가 발생하며 이로 인해 전체적인 칩 설계의 기간이 길어진다.

그래서 하드웨어의 구현에 앞서 표준을 만족하는 OICT 구조를 위해 소프트웨어 시뮬레이터를 설계하였다. 이 시뮬레이터는 C 언어로 구현되었으며, 추후 회로 설계 검증용으로 활용하였다. 소프트웨어 시뮬레이션을 거친 후의 회로 설계는 ETRI가 개발한 LODECAP의 0.8um 셀 라이브러리를 사용하면서 추후 제작사 및 공정의 변경 등을 고려하여 제작사에 중속된 셀의 사용은 가급적 피하고 프리미티브(primitive)한 셀만을 사용하여 이루어졌다.

회로 설계의 검증은 우선 시뮬레이터의 결과와 일치하는지의 여부를 확인, 회로의 수정 및 보완을 행하였다. 회로 설계의 검증이 완료된 2-D OICT의 정방

향 타이밍도를 그림5에 나타내었으며 이를 설명하면 다음과 같다.

처음의 8×1 영상 데이터가 입력변환기에 래치되는데 8클럭이 소요된 후 두 번째의 영상 데이터가 8클럭에 래치 되는 동안 처음에 입력되어 래치된 영상 데이터는 이 8클럭 동안에 FDPU에 입력되어 연산을 수행한다. 따라서 처음 입력된 영상 데이터는 9~16클럭 사이클 동안에 FDPU에서 1차원 OICT가 수행되고, 17번째 클럭에서 이 변환된 데이터가 병렬 순차적으로 전치메모리에 입력된다.

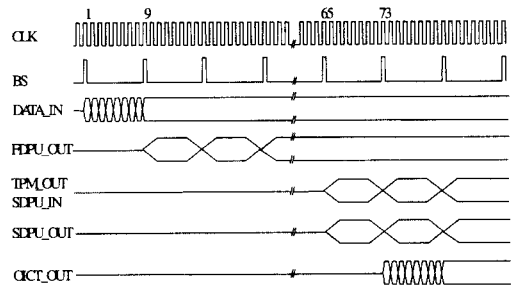


그림 5. 2-D OICT 프로세서의 정방향 타이밍도
 Fig. 5. Timing diagram of 2-D OICT processor.

처음 입력된 영상 데이터가 첫 번째 1차원 OICT 변환된 후 전치메모리에 입력되어 전치된 후 65번째 클럭에서 출력되며, 다시 두 번째의 1차원 OICT를 수행하기 위하여 SDPU에 입력된다. SDPU에서도 FDPU와 마찬가지로 8×1 변환 데이터를 처리하는 시간은 8클럭 동안에 이루어진다. 이와 같이 파이프라인 방식으로 8×8의 영상 데이터를 입력하여 2차원 OICT를 수행하는데 소요되는 총 클럭은 72클럭이 소요된다. 따라서 입력된 데이터는 72클럭 주기의 지연시간을 필요로 하며 처음 출력값이 생성된 이후로는 매클럭 주기마다 연속으로 하나의 출력값이 발생하게 된다.

이와 같이 설계한 OICT 코어 프로세서의 게이트 수는 20,000 게이트 수준이고 동작클럭은 LODECAP의 0.8um 셀 라이브러리를 사용하였을 경우 100MHz 이상으로 동작하였다.

따라서 참고문헌 [7]에서 제시한 30,000 게이트 수준이고 동작 속도 40 MHz에 비해 게이트에서는 33%, 동작 속도에서는 2배 이상의 향상되었음을 확인하였다. 이와 같이 하드웨어의 복잡도와 속도를 향상시킬 수 있었던 것은 제안된 OICT의 정수형 연산과 더불어 고속연산 알고리즘을 이용, parallel architecture

에 pipeline 개념을 적용하여 곱셈기 구성시 입력값의 쉬프트와 덧셈기 만으로 하드웨어를 구성하였기 때문이다.

V. 결 론

본 논문에서는 실시간 영상처리 시스템나 HDTV에서의 영상신호 압축 및 복원의 실시간처리를 위한 고성능 2-D DCT 프로세서 구현을 위해 변환계수가 정수 값으로 구성되고, 정방향과 역방향 변환 모두 정수형 연산을 수행하는 최적화 정수형 역현 변환(OICT)과 이의 고속 계산 알고리즘을 이용하여 전체적인 하드웨어의 복잡도와 속도를 향상시키는 VLSI 구조를 제안하였다.

이는 구조적인 정형성을 확보하고, 실리콘 면적을 적게하며, 고속으로 동작하는 측면에 중점을 두었다. 또한 이 구조는 국제 표준 알고리즘인 JPEG, H.261, MPEG 표준의 규격을 모두 만족하도록 하였다.

특성을 살펴보면 전체적인 구조는 RCA 방식과 고속 알고리즘의 절충형을 기반으로 parallel architecture에 pipeline 개념을 적용하여 곱셈기 구성시 입력값의 쉬프트와 덧셈기 만으로 하드웨어를 구성하여 20,000 게이트 수준의 100MHz 이상의 동작 속도를 이룩하므로써 참고문헌 [7]에서 제시한 30,000 게이트 수준의 40 MHz 동작 속도에 비해 게이트에서는 33%, 동작 속도에서는 2배 이상이 향상되었음을 확인하였다.

참 고 문 헌

- [1] ISO/IEC, "Digital compression and coding of continuous-tone still images requirements and guidelines", ISO/IEC IS10918-1, 1993.
- [2] ISO/IEC, "Coding of moving pictures and associated audio for digital storage media at up to about 1.5 Mbit/s", ISO/IEC IS11172-2, 1993.
- [3] ISO/IEC/JTC1/SC29/WG11 MPEG-2 Test Model 5, Mar, 1995.
- [4] 이종화, "HDTV 방송기술과 전망", 한국통신학회지, vol.15, no.9, pp.13~19, 1998.
- [5] 정제창, 조재문, 임명식, 안우연, "완전 디지털 방식 HDTV 시작품 개발 I : 영상 데이터 압축 알고리즘", 전자공학회 논문지, 제32권, B편, 제2호, pp.135~144, Feb., 1995.
- [6] ITU-T Rec. H.261, "Video Codec for Audiovisual services at px64 kbit/s", Mar, 1993.
- [7] 최장식, "실시간 비디오 응용을 위한 2차원 DCT/IDCT의 구조", 한국통신학회 논문지, vol. 20, no.11, pp 3219~3233, Nov. 1995.
- [8] P1180/D2: IEEE Standard Board Draft Standard Specification for the Implementation of 8×8 Inverse Discrete Cosine Transform, Jul. 1992.
- [9] 신경욱, 전홍우, 강용섭, "Vector-radix 2 차원 고속 DCT의 VLSI 구현을 위한 효율적인 어레이 알고리즘", 한국통신학회 논문지, vol. 18, no.12, pp 1970~1981, Dec. 1993.
- [10] 이종하, 김혜숙, 송인준, 박훈성, "최적화 정수형 역현 변환", 전자공학회 논문지, 제32권, B편, 제9호, pp.1207~1214, Sep. 1995.
- [11] 김기철, "이산역현변환을 위한 병렬 전치 메모리", 한국통신학회 논문지 vol.20, no.6, pp.1678~1689, Jun., 1995.
- [12] N.I. Cho, S.U. Lee, "Fast Algorithm and implementation of 2-D DCT", IEEE Trans. CAS, vol.38, pp.297~305, Mar., 1991.
- [13] K. R. Rao and P. Yip, "Discrete cosine Transform Algorithms, Advantages and Applications." New York, NY : Academic Press, 1990.

저 자 소 개

宋寅俊(正會員) 第 32卷 B編 第9號 參照
현재 전북대학교 컴퓨터공학과 박사과정 수료



黃庠文(正會員)
1862년 6월 13일생.
1989년 원광대학교 전자공학과 졸업(공학사). 1991년 원광대학교 대학원 전자공학과 졸업(공학석사).
1995년 8월~현재 원광대학교 대학원 전자공학과 박사과정 수료 1992년~현재 전주공업대학 전자과 강사.

李宗河(正會員) 第 32卷 B編 第9號 參照
현재 전주공업대학 전자과 부교수



柳基秀(正會員)
1949년 10월 2일생.
1972년 전북대학교 물리학과 졸업(이학사). 1991년 전북대학교 대학원 물리학과 졸업(이학석사). 1997년 전북대학교 대학원 전기공학과 박사과정 수료. 1990년~현재 전주공업대학 전자과 겸임 부교수. 1981년~현재 전북지방 중소기업청 기술지원과 실장. 주관심분야는 VLSI설계, 회로 및 시스템.

郭勳星(正會員) 第 32卷 B編 第9號 參照
현재 전북대학교 컴퓨터공학과 교수