

# 수동 소자를 이용한 ADSL POTS Splitter의 체계적인 설계

정회원 박지만\*, 김진태, 소운섭\*

## A Systematical Design of ADSL POTS Splitter Using Passive Devices

Ji-Mann Park\*, Jin-Tae Kim\*, Woon-Seob So\* *Regular Members*

### 요 약

ADSL POTS splitter를 설계하기 위한 체계적인 합성 과정을 제안했다. 이들은 single-ended 인덕터, 균형 인덕터, 그리고 균형 밀결합 변압기 형태의 저역-통과 여파기로 구성된다. 이 3개의 저역-통과 여파기를 시뮬레이션한 결과, 주파수 특성이 일치함을 보여준다. ADSL 시스템에 적용하기 위해, 상업용 균형 밀결합 변압기를 이용하여 POTS splitter를 설계하였다. 그것을 실험한 결과, ADSL 시스템에서 POTS splitter가 0.2 kHz에서 3.4 kHz까지의 주파수 범위에서(또는 음성 대역 주파수에서)  $\pm 0.5\text{dB}$ 보다 작은 리플 데시벨과 0.6 kHz에서 3.2 kHz까지의 주파수 범위에서 130  $\mu\text{s}$ 보다 작은 지연 왜곡을 가진다는 것을 알았다.

### ABSTRACT

A systematic synthesis process is presented for the design of ADSL POTS splitters. It consists of a low-pass filter formed by a single-ended inductor, balanced inductor, and balance tightly coupled transformer. This three low-pass filters has been simulaion. Simulation results show agreement of frequency characteristics. Therefore, POTS splitters using a commercial balance tightly coupled transformer are designed for the applications of ADSL system. The experimental results show that POTS splitter in the ADSL system has ripple decibel of less than  $\pm 0.5$  dB over a frequency range from 0.2 kHz to 3.4 kHz(or an audio band frequency) and delay distortion of less than 130  $\mu\text{s}$  over a frequency range from 0.6 kHz to 3.2 kHz.

### I. 서론

교환·전송 시스템에서 ADSL(asymmetric digital subscriber line) POTS(plain old telephone service) splitter는 다양한 주파수에 대해 필요한 주파수 대역만 통과시키고, 원치않는 주파수에 대해서는 무관하게 동작하는 회로 블록이다. 이 블록은 고주파인 ADSL 신호와 저주파인 음성 신호를 분리 또는 결합하는 장치로, 고역-통과 여파기와 저역-통과 여파기를 말한다.

초고속 광대역 통신망의 일환으로 xDSL을 이용한 통신은 기존의 전화선을 이용하여 영상, 음성,

고밀도 그래픽, 그리고 Mbps 데이터 속도의 정보를 전송하는 개념이다. 특히, 본 논문에서 나타낸 ADSL은 망측에서 가입자측으로 흐르는(하향속도; down-stream) 광대역 정보를 제공받고 가입자측에서 망측으로 흐르는(상향속도; upstream) 저속의 제어 신호를 전송하는 비대칭 전송이다. ADSL을 이용한 교환·전송 시스템에서, 4 kHz 이하의 음성 신호를 ADSL 신호로부터 보호 받고, 대략 25 kHz 이상의 ADSL 신호를 음성 신호로부터 보호할 수 있는 POTS splitter를 요구한다<sup>1)</sup>. 이는 기존의 전송 선로(twisted pair)를 이용하여 고속 통신 서비스와 POTS를 동시에 제공 받을 수 있다는 큰 장점을

\* 한국전자통신연구원(JmPark@aurora.etri.re.kr)  
논문번호:98448-1011, 접수일자: 1998년 10년 11일

가지고 있다.

POTS splitter는 여파기로서 소자의 종류에 따라 능동 여파기와 수동 여파기로 대별된다. 전자는 종단 임피던스와 선로 임피던스 간의 손실을 보정하기 위해 제안되지만, 별도의 전력 공급기가 필요하다는 문제점을 가지고 있다. 이를 해결하기 위해, 본 논문에서는 ADSL 신호를 차단하고 음성 신호를 통과시키는 체계적인 수동 저역-통과 여파기의 설계 과정을 나타냈다.

체계적인 ADSL POTS splitter를 설계하기 위해, single-ended 인덕터를 이용하여 6차 일립틱(elliptic) 저역-통과 여파기를 설계하였다. 이러한 single-ended 인덕터를 이용한 여파기(또는 POTS splitter)는 접지된 신호이므로 기존의 차동 신호 전송에 사용될 수 없고, 전송 선로의 누화 손실을 작게 할 수 없기에 twisted pair로 구성된 기존의 교환·전송 시스템에서는 사용할 수 없다. 따라서, twisted pair로 구성된 균형 회로망에서 사용할 수 있는 균형 인덕터를 이용하여 여파기를 설계하였다. 균형 인덕터를 이용한 여파기에서는 균형 인덕터의 인덕턴스 값이 크므로, 실현된 여파기는 부피가 크다는 단점을 가지고 있다. 이를 ADSL 시스템에 적용하기에는 어려운 문제점이 있다. 따라서, 본 논문에서는 누화 손실을 줄이고 부피가 작은 균형 밀결합 변압기를 이용하여 6차 사다리형 일립틱 저역-통과 여파기를 설계하였고, 그 유용성을 검증하였다.

## II. 회로 구성 및 동작

### 1. single-ended 인덕터로 실현한 여파기

ADSL 시스템 블록도를 그림 1에 나타냈다. 이 시스템은 소프트웨어와 하드웨어의 복잡한 조합으로써, ATU-C(ADSL transceiver unit, central office end), ATU-R(ADSL transceiver unit, remote terminal end), 그리고 POTS splitter로 구성된다. ATU-C와 ATU-R은 각각 송수신기, 호스트 프로세서(HOST processor), 인터리버 메모리(interleaver memory), 그리고 라인 드라이버(line driver) 등으로 구성되고 그 기능은 ADSL의 신호를 응용분야에 알맞는 형식으로 바꾸어 주는 역할을 수행한다.

그림 2는 single-ended 인덕터로 실현한 6차 일립틱 저역-통과 여파기이다. 이 여파기는 음성 대역 주파수를 통과시키고 차단 주파수( $f_c$ )가 약 8 kHz, 대략 25 kHz 이상의 ADSL 주파수를 차단시키고 저지-대역 감쇠량이 100 dB 정도, 그리고 음성 대역 주파수의 리플이 1 dB 이하인 POTS splitter을

만족시키는 조건들이다. 이러한 조건들은 ANSI (american national standard institute) T1.413 POTS splitter의 기준 조건들이고, 이외에도 많은 설계 사양들이 있다<sup>[2]</sup>. 이와 같은 설계 사양을 기초로 하여 설계 명세서를 만들 수 있다. 설계 명세서에 의한 저역-통과 여파기 실현은 설계표 또는 컴퓨터로 정확한 LC 값을 결정할 수 있다<sup>[3]</sup>.

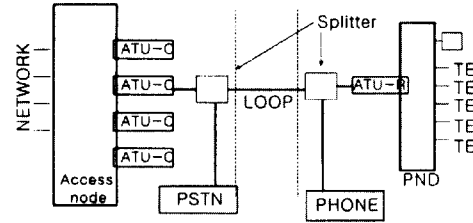


그림 1. ADSL 시스템 블록도

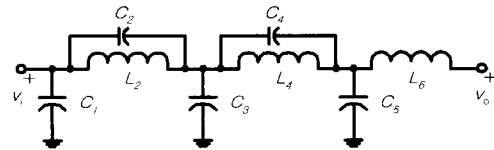


그림 2. single-ended 인덕터를 이용한 저역-통과 여파기.

여파기의 설계 절차는 다음과 같다. 우선, 여파기의 입·출력 임피던스( $Z$ )를 결정한다. 즉, ADSL 시스템에서 PSTN(public switched telephone network)과 전화기 쪽의 종단 임피던스와 전송 선로의 영상 임피던스(image impedance)를 결정해야 한다. 그런 다음, 시스템 사양을 만족하는 주파수스케일 계수(frequency-scaling factor:FSF)를 결정한다<sup>[3][5]</sup>. 여파기 실현을 위한 실질적인 RLC 값은

$$R' = R \times Z, L_n' = \frac{L_n \times Z}{FSF},$$

$$C_n' = \frac{C_n}{FSF \times Z} \quad (1)$$

으로 결정한다. 여기서, 프라임의 표시는 실현에 사용될 실제의 값을 의미하고  $FSF = 2\pi f_c$ 이다.  $n$ 은 차수를 나타낸다.

### 2. 균형 인덕터로 실현한 여파기

균형 인덕터로 실현한 여파기를 그림 3에 나타냈다. 전화 전송에서 누화 손실을 줄이기 위해 균형

회로망을 사용한다. 상하대칭으로 구성된 균형 인덕터를 사용하므로 single-ended 인덕터에 비해 누화 손실을 줄일 수 있고, 인덕턴스를 2배로 줄일 수 있다는 장점을 가지고 있다. 그림 4는 Y 파라미터를 나타내기 위한, 그림 4(a)인 인덕터의 등가 회로들이다. single-ended 인덕터에 걸리는 전압은  $v_{LS} = L_S(di_1/dt)$ 이 된다. 여기서 그림 4(a)의 전압  $v_2$ 를 단락시키면,  $v_{LS} = v_1$ 이고, 전류  $i_1$ 과  $i_2$ 는 크기는 같고 방향이 반대이다. single-ended 인덕터를 Y 파라미터로 나타내면,

$$\begin{aligned}
 Y_{11} &= \left. \frac{i_1}{v_1} \right|_{v_2=0} = \frac{v_{LS}Y_L}{v_1} = Y_L \\
 Y_{12} &= \left. \frac{i_2}{v_2} \right|_{v_1=0} = \frac{-v_{LS}Y_L}{v_1} = -Y_L \quad (2) \\
 Y_{21} &= \left. \frac{i_2}{v_1} \right|_{v_2=0} = \frac{-v_{LS}Y_L}{v_1} = -Y_L \\
 Y_{22} &= \left. \frac{i_2}{v_2} \right|_{v_1=0} = \frac{v_{LS}Y_L}{v_1} = Y_L
 \end{aligned}$$

이 된다. 그림 4에 나타난 인덕터의 등가 회로들은 2-포트(port) 회로망으로써, 각각의 그림에 대해 표현된 단자 전압과 단자 전류는 동일하다고 가정할 것이다.

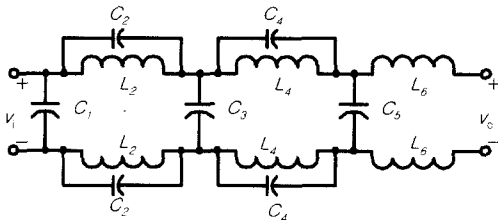


그림 3. 균형 인덕터를 이용한 저역-통과 여파기.

그림 4(b)에서  $v_2$ 를 단락시키고 균형 인덕터에 걸리는 전압은  $v_{LB} = L_B(di_1/dt)$ 이다. 여기서 single-ended 인덕터( $L_S$ )와 균형 인덕터( $L_B$ )의 인덕턴스와 전류가 동일한 크기를 가진다고 가정하자. 그러면, 균형 인덕터 걸리는 전압은 상하 대칭으로 놓여진 인덕터에 각각  $v_{LB}(=v_1)$ 라는 single-ended 인덕터에 걸렸던 동일한 전압이 나타난다. 따라서, 균형 인덕터 전체에 걸리는 전압은 single-ended 인덕터에 비해 두배 만큼 큰 전압이 걸린다는 것을 알

수 있다. 균형 인덕터를 Y 파라미터로 나타내면,

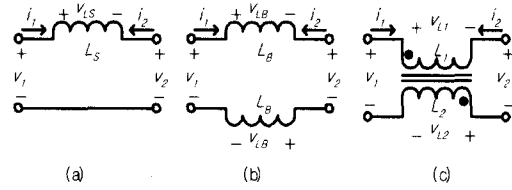


그림 4. 등가 인덕턴스로 나타내기 위한 회로도

$$\begin{aligned}
 Y_{11} &= \left. \frac{i_1}{v_1} \right|_{v_2=0} = \frac{(v_{LB}+v_{LB})Y_L}{v_1} = 2Y_L \\
 Y_{12} &= \left. \frac{i_2}{v_2} \right|_{v_1=0} = \frac{-(v_{LB}+v_{LB})Y_L}{v_1} = -2Y_L \quad (3) \\
 \frac{Y_{21=i_2}}{v_1} &= \left. \frac{i_2}{v_1} \right|_{v_2=0} = \frac{-(v_{LB}+v_{LB})Y_L}{v_1} = -2Y_L \\
 Y_{22} &= \left. \frac{i_2}{v_2} \right|_{v_1=0} = \frac{(v_{LB}+v_{LB})Y_L}{v_1} = 2Y_L
 \end{aligned}$$

이 된다. 이와 같은 결과로 볼 때, single-ended 인덕터에서 균형 인덕터로 회로를 구성할 경우, 균형 인덕터의 인덕턴스를 1/2배로 해야 동일한 크기의 어드미턴스를 가진다는 것을 보여 주고 있다. 한편, 그림 4를 Y 파라미터로 나타냈듯이 그림 5의 커패시터가  $C_S = C_B = C$ 일 때, Z 파라미터를 이용하여 다음과 같이 표현할 수 있다.

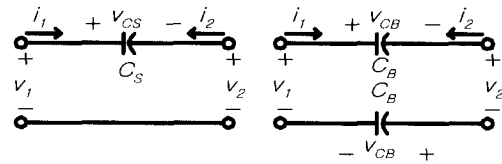


그림 5. 등가 커패시턴스로 나타내기 위한 회로도

$$Z_S = Z_C \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix}, Z_B = \frac{Z_C}{2} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \quad (4)$$

여기서,  $Z_S$ 는 그림 5(a)의 2-포트(2-port) 회로망에 표현된 single-ended 커패시터의 임피던스이고,  $Z_B$ 는 그림 5(b)의 2-포트 회로망에 표현된 균형 커패시터의 임피던스이다. 그리고  $Z_C$ 는 커패시터 C의 임피던스이다. (4) 식과 그림 5에서 알수 있듯이, single-ended 커패시터에서 균형 커패시터로 회로를

구성할 경우, 균형 커패시터의 커패시턴스를 2배로 해야 동일한 크기의 임피던스를 가진다는 것을 보여준다.

3. 균형 밀결합 변압기로 실현한 여파기

균형 밀결합 변압기로 실현한 여파기를 그림 6에 나타냈다. 여파기를 균형 밀결합 변압기로 실현할 경우, single-ended 인덕터에 4배, 균형 인덕터에 2배로 인덕턴스를 줄일 수 있다는 장점과 누화 손실을 줄일 수 있다는 장점을 가지고 있다.

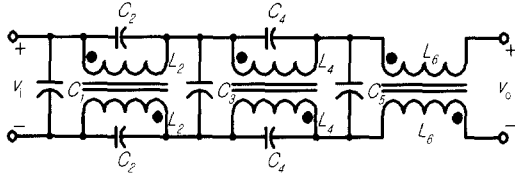


그림 6. 균형 밀결합 변압기를 이용한 저역-통과 여파기.

그림 4(c)의 인덕턴스가 줄어드는 과정을 나타내기 위해, 일반적인 밀결합 변압기의 1, 2차 코일 ( $L_1, L_2$ )에 걸리는 전압을 구하면<sup>6)</sup>,

$$v_{L1} = L \frac{di_1}{dt} \pm M \frac{di_2}{dt}, \quad v_{L2} = L \frac{di_2}{dt} \pm M \frac{di_1}{dt} \quad (5)$$

이 된다. 여기서,  $L$ 은 자기 인덕턴스이고,  $M$ 은 상호 인덕턴스이다. 만일 상호 인덕턴스와 자기 인덕턴스의 크기가 같고, 1차측 전류와 2차측 전류의 크기가 같고, 코일의 대응 단자를 향하여 전류가 흘러 들어 간다면, 균형 밀결합 변압기의 1, 2차 코일에 걸리는 전압은

$$v_{L1} = L \frac{di_1}{dt} + M \frac{di_2}{dt}, \quad v_{L2} = L \frac{di_2}{dt} + M \frac{di_1}{dt}$$

$$\text{즉, } v_{L1} = 2L \frac{di_1}{dt}, \quad v_{L2} = 2L \frac{di_2}{dt} \quad (6)$$

이 된다. single-ended 인덕터의 인덕턴스와 균형 밀결합 변압기 1, 2차 코일의 인덕턴스가 동일한 크기를 가진다고 가정하자. 그러면, 균형 밀결합 변압기 1, 2차 코일에 걸리는 전압은 각각 single-ended 인덕터의 전압에 두배( $v_{L1} = v_{L2} = 2v_1$ )가 된다. 따라서, 균형 밀결합 변압기 전체에 걸리는 전압은 single-ended 인덕터에 비해 4배 만큼 큰 전압이 걸린다는 것을 알 수 있다. 균형 밀결합 변압기를  $Y$  파라미터로 나타내면,

$$\begin{aligned} Y_{11} &= \left. \frac{i_1}{v_1} \right|_{v_2=0} = \frac{(v_{L1} + v_{L2})Y_L}{v_1} = 4Y_L \\ Y_{12} &= \left. \frac{i_1}{v_2} \right|_{v_1=0} = \frac{-(v_{L1} + v_{L2})Y_L}{v_1} = -4Y_L \\ Y_{21} &= \left. \frac{i_2}{v_1} \right|_{v_2=0} = \frac{-(v_{L1} + v_{L2})Y_L}{v_1} = -4Y_L \\ Y_{22} &= \left. \frac{i_2}{v_2} \right|_{v_1=0} = \frac{(v_{L1} + v_{L2})Y_L}{v_1} = 4Y_L \end{aligned} \quad (7)$$

이 된다. 위와 같은 결과로 볼 때, single-ended 인덕터에서 균형 밀결합 변압기로 회로를 구성할 경우, 균형 밀결합 변압기의 인덕턴스를 1/4배로 해야 동일한 크기의 어드미턴스를 가진다는 것을 보여주고 있다. 균형 밀결합 변압기는 single-ended 인덕터와 균형 인덕터에 비해 ADSL POTS splitter를 최소의 부피로 실현할 수 있다.

III. 실험 결과 및 검토

그림 2, 3, 그리고 6의 POTS splitter를 SPICE 시뮬레이션했다. 시뮬레이션에 사용된 소자값은 여파기 설계표에 의해 표 1에 나타냈다<sup>3)</sup>. 표 1에 나타낸 RLC 값을 실용적인 여파기로 실현하기 위해서는, (1) 식에 의해 변환되어야 한다. 시뮬레이션에 직접 사용된 소자값을 표 2에 나타냈다.

표 1. 설계표로부터 얻은 일립틱 여파기의 소자값.

$C_1$	$C_2$	$C_3$	$C_4$	$C_5$
1.125	0.033	1.763	0.0552	1.483
$L_2$	$L_4$	$L_6$	$R_S$	$R_L$
1.483	1.731	1.158	1	1

한편, ADSL POTS splitter의 다양한 특성을 실험하기 위해서, 종단 임피던스와 전송 선로 임피던스를 알아야 한다. 우리나라에서는 전송 선로에서 PSTN(public switched telephone network)쪽으로 바라본 임피던스와 전송 선로에서 가입자쪽으로 바라본 임피던스를 각각 600  $\Omega$ 으로 규정하고 있다. twisted pair로 구성된 전송 선로의 임피던스는 선로의 길이에 따라 가변되지만, 선로의 최대 임피던스는 2000  $\Omega$  이하로 규정하고 있다.

표 2. 시뮬레이션에 사용된 LC 소자값.  
Table 2. LC element values using simulation.

단위:인덕터[mH], 커패시터[nF]

소 자	singled-ended	balance	transformer
$C_1$	37.3	37.3	37.3
$C_2$	1.09	2.18	2.18
$C_3$	58.45	58.45	58.45
$C_4$	1.83	3.66	3.66
$C_5$	49.17	49.17	49.17
$L_2$	17.7	8.85	4.425
$L_4$	20.66	10.33	5.165
$L_6$	13.82	6.91	3.455

설계된 POTS splitter의 주파수 특성을 시뮬레이션하기 위해, 그림 2, 3, 그리고 6의 입·출력 임피던스를 600 Ω으로하고 시뮬레이션한 결과를 그림 7에 나타냈다. 그림 7은 single-ended 인덕터로 실현된 비균형 여파기 회로와 균형 인덕터와 균형 밀결합 변압기로 실현된 균형 여파기 회로의 주파수 특성이 정확하게 일치된다는 것을 보여준다. 또한, 이 그림은 본 논문에서 기술한 체계적이고 이론적인 설계 과정이 사실임을 증명한다.

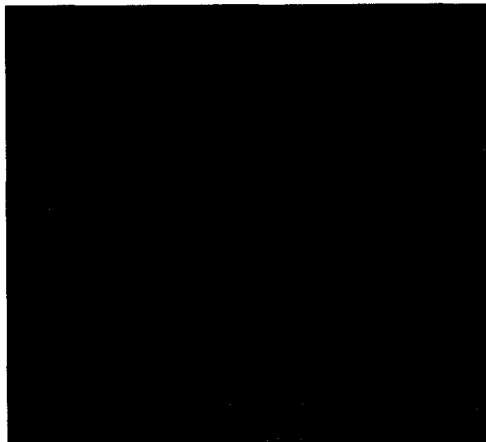


그림 7. 여파기들의 주파수 특성.

실제적인 ADSL 시스템에 POTS splitter를 적용하기 위해 그림 1을 다시 살펴보면, 두 개의 POTS splitter가 필요하다는 것을 알 수 있다. 그림 1의 시스템에서 각각의 차단 임피던스(또는 기준 임피던

스)는 600 Ω이고, 전송 선로 임피던스(또는 loop impedance)는 1200 Ω으로 설정하였다. 그림 6의 POTS splitter를 각각 PSTN과 전송 선로 사이에 삽입하고, 다른 하나는 전송 선로와 가입자 사이에 삽입한 다음, 주파수 특성을 시뮬레이션하였다. 그 결과를 그림 8에 나타냈다. 그림 8은 5 kHz에서 10kHz 사이의 차단 주파수( $f_c$ ), 0.2 kHz에서 3.4 kHz까지 ±1dB보다 작은 리플(ripple) 데시벨(dB), 그리고 0.6 kHz에서 3.2 kHz까지 200 μs보다 작은 지연 왜곡 등등, ANSI T1.413 규정을 만족한다는 것을 보여준다. 한편, POTS splitter에서 사용되는 주파수 범위는 약 4kHz이하, ADSL 신호의 다운스트림 주파수 범위는 138kHz에서 1.104MHz, 그리고 업스트림 주파수 범위는 25kHz에서 138kHz이다. 이상적으로, ADSL과 POTS 사이에 신호의 완전한 분리를 위해 100dB 이상의 고립 대역(isolation band)이 필요하다.

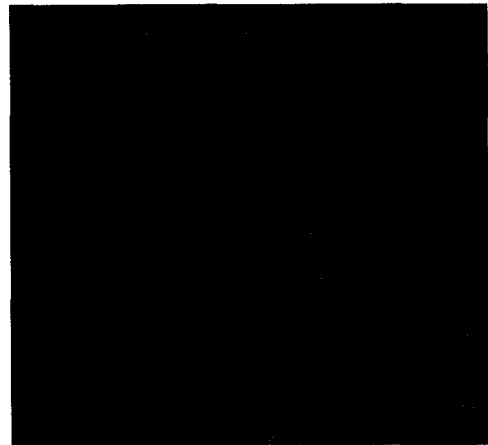


그림 8. 시뮬레이션에 의한 POTS splitter의 주파수 특성.

위의 시뮬레이션에서 이용된 정확한 인덕턴스 값으로 실제의 시스템을 구현할 수 없기에, 상업용 균형 밀결합 변압기를 이용하여 PCB(printed circuit board) 기판에 POTS splitter를 꾸며 실현하였다<sup>17)</sup>. 그림 8을 실현했던 방법으로, 이들을 이용하여 실현한 결과를 그림 9에 나타냈다. 이 그림에서 사용된 POTS splitter는 소자의 가격, 최소한의 요구되는 성능을 고려하였고, 그림 6을 약간 변형한 형태이다. 변형된 형태에는 동상-모드 균형 밀결합 변압기가 첨가된다. 이 변압기는 주파수 특성에는 영향을 주지않고, POTS splitter에서 발생하는 동상-모드 변이를 제거해 주는 역할을 한다. 그림 9는 차단 주파

수가 약 6.8 kHz이고, 음성 대역(0.2 kHz에서 3.4 kHz)에서 리플 데시벨이 0.5 dB보다 작고, 음성 대역(0.6 kHz에서 3.2 kHz) 범위내의 지연 왜곡이 약 130  $\mu$ s보다 작고, 그리고 ADSL과 POST 사이에 신호의 완전한 분리를 위한 고립 대역이 101.3 dB 라는 것을 알았다. 이와 같은 실험 결과는, ADSL POTS splitter로 사용하기에 충분한 조건을 갖추고 있다는 것을 보여준다.

실험에 사용된 POTS splitter의 직류 저항을 측정했다. 측정 방법은 그림 6의 2-포트 회로망인 POTS splitter의 한쪽 포트를 단락 또는 개방시키고 다른 쪽 포트에서 저항계로 저항을 측정하였다. 그 결과, 단락일 경우 약 20  $\Omega$  정도이고, 개방일 경우 10 M $\Omega$  정도의 저항이 측정되었다. 이는 ANSI T1.413의 규정에 의한 직류 저항 조건을 만족함을 알 수 있다. 이러한 저항 특성은 삽입 손실과 귀환 손실에 영향을 주므로, 수동 소자 선택에 있어서 ADSL 시스템이 요구하는 사양을 만족시켜야 할 것이다.

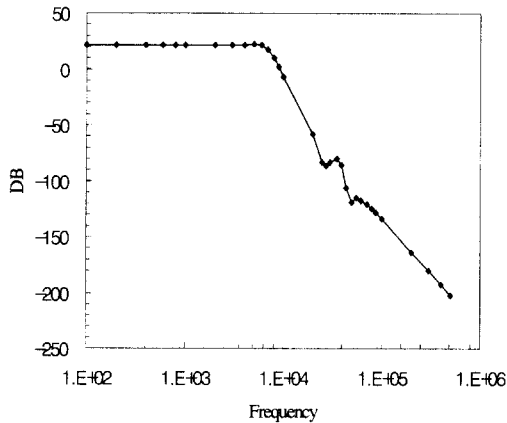


그림 9. 실험에 의한 POTS splitter의 주파수 특성.

본 논문에서는 체계적인 수동 고역-통과 여파기는 표현하지 않았다. 그 이유는 여파기의 기본 구성을 저역-통과 여파기로 볼 때, 고역-통과 여파기는 인덕터와 커패시터를 서로 교환하고 고주파 성분에 알맞는 소자값만 주어진다면 쉽게 구현할 수 있기 때문이다. 본 논문에서는 체계적인 POTS splitter 설계와 그에 따른 주파수 특성에 주안점을 두었기에 상세한 성능은 다음에 논하기로 한다.

#### IV. 결론

인덕터와 균형 밀결합 변압기를 이용한 체계적인 여파기 설계를 제안하였다. 이에 따라, 3개의 6차 일립틱 저역-통과 여파기를 설계하였다. 이를 시뮬레이션한 결과, 주파수 특성이 일치된다는 것을 살펴보고, 설계된 POTS splitter가 ADSL 시스템에서 요구하는 사양을 충분히 만족시켜줄 수 있었다. 또한, 실제 ADSL 시스템에 적용하기 위해 사용된 상업용 균형 밀결합 변압기 역시 ADSL POTS splitter로 사용하기에 충분한 조건들을 만족한다는 것을 알았다. 여파기의 형태는 다양한 종류가 있지만, 본 논문에서는 사다리형 일립틱 여파기 형태로 POTS splitter를 설계하였다. 이러한 형태의 POTS splitter는 주위 환경에 따라 소자값이 변해도, 다른 형태의 POTS splitter에 비해 주파수 특성에는 큰 영향을 받지 않는다. 따라서, 기존의 전송 선로 (twisted pair)를 이용한 초고속 광대역 통신의 한 부분인 ADSL 시스템에 이용할 수 있을 것이다.

#### 참고 문헌

- [1] John Cook and Phil Sheppard, "ADSL and VDSL splitter design and telephony performance," IEEE Journal on selected areas in communication, VOL. 13. NO. 9, pp. 1634-1642, 12. 1995
- [2] "Asymmetric digital subscriber line(ADSL), metallic interface specification," ANSI. T1. 413, standard expected to be published mid-1995.
- [3] A. B. Williams, "Electronic Filter Design Handbook," McGraw-Hill, ch. 12, 1981.
- [4] A. S. Sedra and P. O. Brackett "filter theory and design: active and passive," Matrix Publisher, Portland, Ore., ch. 6, 1978.
- [5] M. E. Valkenburg, "Analog Filter Design", Holt-Saunders International Editions, ch. 13, 14, 1982.
- [6] A. Budak "Circuit Theory Fundamentals and Applications" Prentice-hall, ch. 10, 1987.
- [7] Motorola Inc., "ADSL transceiver advance information", Motorola, 1998

박 지 만(Ji-Mann Park)

정회원



1989년 2월: 청주대학교 반도체  
공학과 (공학사)  
1993년 2월: 청주대학교 대학원  
전자공학과(공학석사)  
1997년 2월: 청주대학교 대학원  
전자공학과(공학박사)  
1998년 3월~현재: 한국전자통

신연구원 POST-doc.

<주관심 분야> 아날로그 회로 설계, 통신 H/W설계

김 진 태(Jin-Tae Kim)

정회원



1980년 2월: 인하대학교 전자공  
학과 (공학사)  
1982년 8월: 인하대학교 전자공  
학과 (공학석사)  
1996년 2월: 인하대학교 전자공  
학과 (공학박사)

1987년 8월~1988년 7월: 미국 UMKC 방문연구원

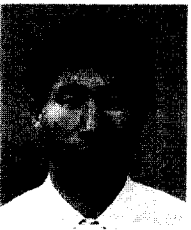
1979년~1998년: 한국전자통신연구원 책임연구원  
신호서비스연구실장

1998년 5월~현재: 한국전자통신연구원 교환·전송  
기술연구소 DSL기술팀장

<주관심 분야> B-ISDN / ATM 교환분야

소 운 섭(Woon-seob So)

정회원



1988년 대전공업대학교 전자공  
학과 (공학사)  
1994년 충남대학교 전자공학과  
(공학석사)  
1982년 3월~현재, 한국전자통  
신연구원 DSL 기술팀  
선임기술원

<주관심 분야> ATM 교환 / DSL 시스템