

# 적응 윈도우 필터를 이용한 주파수 도약용 비트 동기방식

정회원 김정 섭\*, 황 찬 식\*\*

## The Bit Synchronizer of The Frequency Hopping System using Adaptive Window Filter

Jung-sup Kim\*, Chan-sik Hwang\*\* *Regular Members*

### 요 약

본 논문에서는 주파수 도약 방식 시스템에 적합한 비트 동기 방식을 제안한다. 제한한 비트 동기 방식은 적응 윈도우를 이용한 에러 심볼 검출기를 고안하여 이를 기존의 디지털 루프 필터와 결합한 ADPLL 방식이다. 제안된 비트 동기 방식은, 홵뮤트 잡음과 임펄스 잡음 등과 같은 잡음 구간에서, 비트 추적을 억제하여 디지털 루프 필터의 성능을 향상시키고, 주파수 도약 시스템에서의 동기 확률을 개선시켰다. 모의 실험 결과, 제안한 비트 동기 방식이 기존의 방식에 비해서 더욱 개선된 성능을 보여줄을 입증하였다.

### ABSTRACT

In this paper, we propose a bit synchronizer which is suitable for frequency hopping systems. The proposed bit synchronizer is an ADPLL in which the digital loop filter is combined with an error symbol detecting circuit using an adaptive window. Suppressing the tracking process when hop mute and impulse noises are detected improves the performance of the digital loop filter and enhances the probability of the frequency hopping system. The simulation results demonstrate an improved performance of the proposed bit synchronizer compared with existing ones.

### I. 서 론

스펙트럼 확산기법(Spread Spectrum Technique) 중에 주파수 도약 기법은 송수신기간에 무작위로 주파수 도약을 하기 때문에 동기(synchronization) 유지가 이루어 저야만 음성 및 데이터 통신이 가능하다. 주파수 도약 동기는 비트(bit) 동기, 프레임(frame) 동기, 홵(hop) 동기로 구성되어 있으며, 그 중 해당하는 비트열의 클럭을 재생하는 비트 동기 기술이 주파수 도약 동기의 가장 기본적인 기술이 된다고 할 수 있다. 비트 동기 성능은 PLL(Phase Locked Loop)의 루프(loop) 특성에 의하여 좌우되

므로 개발하고자 하는 시스템에 적절한 PLL의 적용이 무엇보다도 중요하다고 할 수 있다. PLL 방식은 Gupta<sup>[1]</sup>, Lindsey<sup>[2]</sup>, Gardner<sup>[3]</sup> 등에 의하여 제안된 아날로그 PLL(APLL)과, Westlake<sup>[4]</sup>, Eisenberg<sup>[5]</sup> 및 Gill과 Gupta<sup>[6]</sup> 등에 의해 제안된 디지털 PLL(DPLL), Cessana<sup>[7]</sup>, Reddy<sup>[9]</sup>에 의해 제안된 All-Digital PLL(ADPLL)의 세 가지로 크게 나눌 수 있다. APLL은 데이터 통신 채널특성에 따라 루프 파라미터(loop parameter)의 변경이 용이하지 않으며, 루프 온도보상 및 VCO(Voltage Controlled Oscillator)의 비선형 특성 등의 문제점이 있다. 또한 PLL의 기본 구성이 되는 위상 검출기(phase

\* 국방과학연구소 위성통신연구실(jungsup@sunam.kreonet.re.kr),

\*\* 경북대학교 전자공학부 디지털통신연구실(cshwang@cc.kyungpook.ac.kr)

논문번호 : 98453-1014, 접수일자 : 1998년 10월 14일

detector), VCO 및 루프 필터(loop filter)가 모두 아날로그 회로이므로 Custom IC화가 어려워 시스템의 소형화에 제약 조건이 된다. 그리고 DPLL은 위상 검출기만 디지털 회로이고 VCO 및 루프 필터는 아날로그 회로로 구성된 아날로그와 디지털의 hybrid 형태이므로 APLL의 단점을 그대로 갖고 있어, 이 방식 또한 시스템의 소형화에 문제점이 있다. VCO와 루프 필터, 위상 검출기를 모두 디지털화한 ADPLL(All Digital Phase Lock Loop)방식<sup>17,13)</sup>은 기존의 APLL 및 DPLL의 문제점을 보완하였으며, 모두 디지털 회로로 구성되어 있어 Custom IC화가 용이하여 단일 칩(chip)으로의 구현이 가능하므로 시스템 파라미터의 측정이 어려운 대부분의 주파수 도약 방식의 시스템에서는 이 방식을 적용하고 있다.

주파수 도약 무전기는 사용자가 주파수를 사용할 수 있는 주파수 대역 내에서 무작위로 바뀔 수 있는 여러 명의 사용자가 다중 통신(Multiple Access)을 할 때 같은 시간에 같은 주파수를 송신할 확률이 많게 되어 사용자 상호간에 간섭을 받게 되는 Cositing 환경에 접하게 될 수도 있고 재밍에 의해 의도적인 주파수 대역 간섭을 많이 받을 수도 있어 낮은 SNR 환경에서 운용된다. 또한 주파수 도약 무전기는 통신 채널상의 일반적인 잡음(가우시안 잡음, shot 잡음 등) 뿐 아니라 도약간에 발생하는 홉 뮤트(Hop Mute) 잡음 등으로 인하여 시스템 잡음레벨이 단일 채널 무전기에 비해서 상당히 높다. 따라서 주파수 도약 무전기의 비트 동기 방식은 기존의 비트 동기 방식과는 달리 낮은 신호 대 잡음비( $E_b/N_0, SNR$ )하에서의 비트 동기의 생존성이 보장되어야 한다. 기존의 비트 동기 방식중 ADPLL 방식은 APLL 및 DPLL 방식과는 달리 낮은 SNR 환경에서 비교적 개선된 위상 오류 응답(phase error response)을 보여준다<sup>10)</sup>. 그러나 ADPLL 방식은 무조건 심볼의 Rising Edge 성분에서 추적이 이루어지게 되므로 재밍환경에서는 재밍홉에서 연속적으로 수신되는 여러 심볼에서 추적이 이루어질 수도 있고 홉뮤트시 홉뮤트 잡음이 수신될 경우에도 추적이 이루어질 수도 있어 오동기가 발생될 확률이 상당히 높아지게 된다.

따라서 본 논문에서는 홉뮤트 잡음과 임펄스 잡음 등과 같은 잡음 구간에서의 비트 추적을 억제하기 위하여 적응 윈도우를 이용한 여러 심볼 검출기(Error Symbol Detect Circuit)를 고안하여 기존의 ADPLL 방식에 적용함으로써, 재밍 환경 및 상호 주

파수 간섭 환경에서도 동기 확률을 개선시켰으며 이를 모의 실험을 통해 입증하였다.

## II. 기존의 ADPLL

그림 1에서는 ADPLL의 기본 블록도를 보여준다. 디지털 루프는 크게 이진 위상검출기, 디지털 루프 필터 및 디지털 클럭의 블록으로 나뉘어지며, 이진 위상검출기는 적분기, 샘플러 및 양자기로 구성된다. 입력신호  $s(t)$ 는 크기가  $\sqrt{E_b/\psi}$ 이고 주기가  $\psi$ 인 구형 펄스열이다. 여기서  $E_b$ 는 신호 심볼 에너지(Signal Symbol Energy)를 나타낸다.

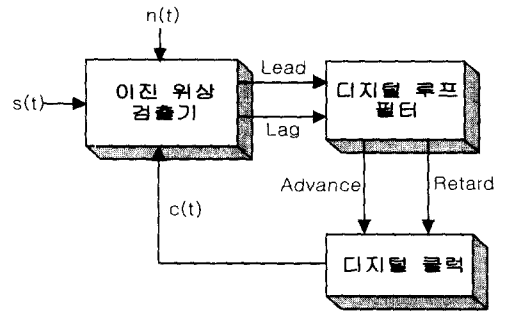


그림 1. ADPLL의 기본블록도

$\phi$ 가  $s(t)$ 와  $c(t)$ 의 위상차를 나타낼 경우 부가 가우시안 잡음이 없을 때 적분기의 샘플값을  $R(\phi)$ 라 하면, 그림 2와 같이  $s(t)$ 와  $c(t)$ 사이의 Cross Correlation 형태로 나타나게 되며 양자기는  $R(\phi)$ 를 샘플링하여 이진 출력을 발생시킨다.

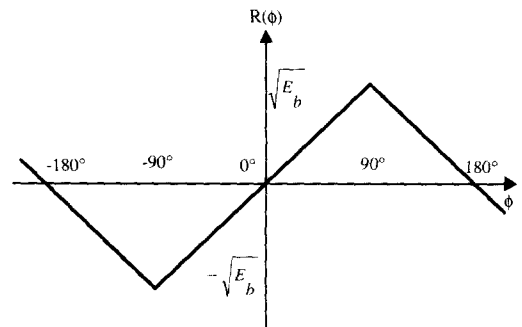


그림 2. 적분기의 출력

그림 3은 평균치가 "0"이며 전력 스펙트럼 밀도(Power Spectral Density)가  $N_0/2$ 인 부가 가우시안 잡음이 있는 경우의 이진 위상 검출기를 표현한 개략도이다.

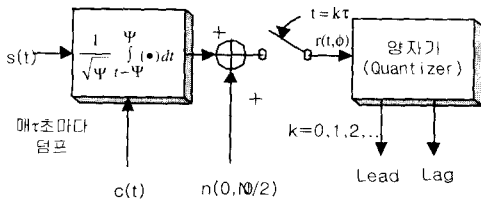


그림 3. 부가 가우시안 잡음이 있는 경우의 이진 위상검출기를 표현한 개략도

그림 3에서 샘플러의 출력  $r(t, \phi)$ 는 다음 식과 같다.

$$r(t, \phi) = R(\phi) + n_0(t), \quad t = 0, \tau, 2\tau \quad (1)$$

식(1)에서 부가 가우시안 잡음이 있는 경우 양자기의 입력은 평균값  $R(\phi)$ , 분산이  $N_0$ 인 가우시안 랜덤 변수가 되며, 확률 밀도 함수는 그림 4에 나타내었다. 샘플러의 출력  $r(t, \phi)$ 에 대한 양자기 출력의 각각의 확률은 다음 식과 같이 된다.

( $P_u$  : lead 펄스가 발생할 확률,  $P_d$  : lag 펄스가 발생할 확률)

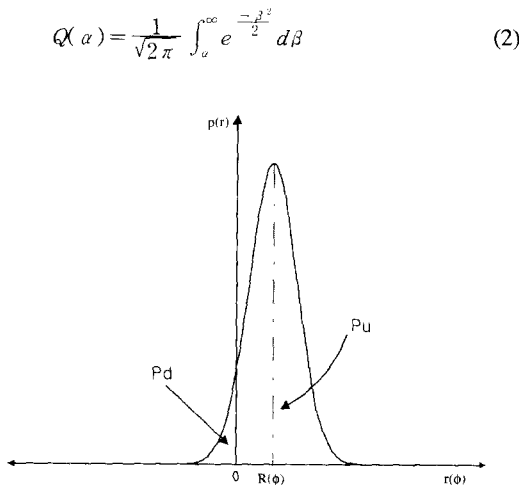


그림 4. Quantizer의 입력 밀도 함수

$$P_u = 1 - Q \left[ \frac{R(\phi)}{\sqrt{N_0/2}} \right] \quad (3)$$

$$P_d = Q \left[ \frac{R(\phi)}{\sqrt{N_0/2}} \right] \quad (4)$$

SNR을 변화시켜줌에 따른  $P_u$ 와 위상 오류(Phase error)  $\phi$ 와의 관계를 그림 5에서 보여준다. 디지털

루프 필터의 사용 목적은 SNR이 나빠짐에 따른 루프의 특성을 보상하여 적절한 위상 보정의 확률을 증가시켜 주어 그림 5에서 보여주는 이상적 특성곡선에 가깝게 접근시키는데 있다. 따라서 적절한 디지털 루프 필터의 설계시의 고려할 점은 다음과 같이 크게 두 가지로 요약할 수 있다. 첫째, 위상 오류가 "0"에 접근함에 따라 루프 필터의 심볼 수에 대한 평균 출력수가 최소가 될 수 있게 한다. 즉, 디지털 루프의 lock이 이루어진 후 루프 필터의 출력당 평균 입력 비트수 T를 최대화시킬 수 있도록 설계되어야 한다. 둘째, 시스템의 과도 응답(transient response) 특성이 적절한 제한값 이내에 유지될 수 있도록 설계되어야 한다. 그림 5에서 입력위상  $(\phi)$ 이 "0"에 가깝고 SNR이 적을 때에는  $P_u$ 가 0.5에 가까워짐을 알 수 있다. 이때 루프 위상 보정이 이 확률곡선에 근거하여 이루어진다고 가정할 경우 많은 오 조정이 발생하게 되며 결국 사이클 누락이 발생할 확률이 높아지게 된다. 따라서 디지털 루프 필터의 사용 목적은 이를 사용함으로써 이상적인 확률 곡선에 가깝게 하여 오 조정을 줄여주어 비트 동기 확률을 높여주는데 있다.

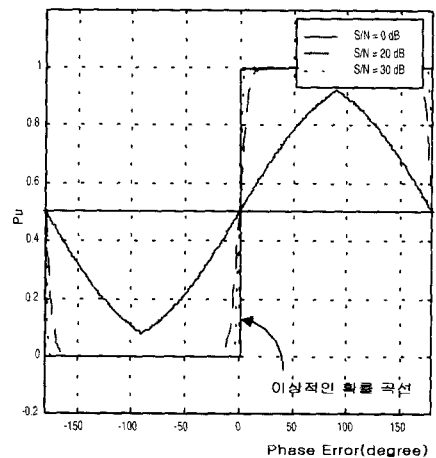


그림 5. Quantizer에 의하여 lead 펄스를 출력할 확률( $P_u$ )

유형 II 디지털 필터인 N-before-M filter와 랜덤 워크 필터에 대해 살펴보면, N-before-M filter( $N=8, M=12$ )와 랜덤 워크 필터( $N=4$ )의 특성이 유사함을 알 수 있다.<sup>[6]</sup> 동일한 성능이 요구될 때 랜덤 워크 필터가 N-before-M filter에 비하여 게이트수가 적게 소요되고 설계가 용이하다. 따라서 본 논문에서는 디지털 루프 필터로서 랜덤 워크 필터를 적용하였다.

### III. 제안된 적응 윈도우 필터(Adaptive Window Filter)를 적용한 ADPLL

주파수 도약방식은 단일 채널 방식과는 달리 지정된 대역폭 내에서 무작위로 도약을 하기 때문에 재밍 상황이나 주파수 상호 간섭 상황에서도 통신이 가능하다. 그러나 여기에는 비트 동기가 잘 유지된다는 가정이 성립해야만 가능하다. 특히 동기흡을 재밍 당하였을 때는 동기 확률을 저하시키므로 비트 동기 유지는 필수적이다. 여기서 재밍시의 복조 데이터는 가우시안 잡음으로 가정한다. 재밍이 안된 주파수흡들에서 클럭 복원(clock recovery)이 잘 이루어지지만, 재밍을 당했을 경우에는 재밍받은 주파수 흡에서 노이즈의 입력으로 인하여 비트 동기가 유지될 수 없어 비트 누락 확률이 매우 높아지게 된다. 따라서 재밍을 받은 다음 흡에서는 비트 누락으로 인하여 프레임 동기가 수 비트 ~ 수십 비트 정도 어긋나게 되어, 흡의 앞, 뒤로 수 비트 ~ 수십 비트의 데이터 에러가 발생하게 되며, 이런 현상이 계속 반복되면 결국은 통신이 두절되게 된다.

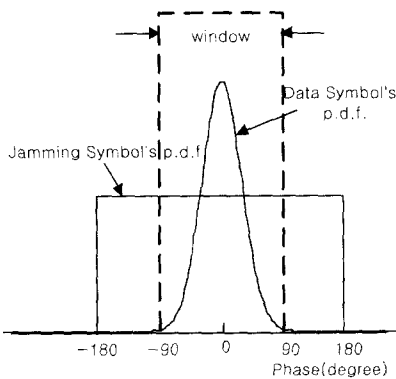


그림 6. 위상 오류의 확률 밀도 함수

그림 6은 위상 오류의 확률 밀도 함수(천이 분포 특성)를 나타내었다. 이상적인 경우를 가정할 때 실제 데이터 흡의 데이터 심볼의 edge는 lock이 이루어진 후에 기준 클럭과의 위상 오류는 "0"을 계속 유지한다. 그러나 잡음의 입력으로 일반적인 데이터 심볼에서의 위상 오류의 확률 밀도 함수(천이 분포 특성)는 가우시안 분포 특성을 가진다. 반면에 재밍을 당한 심볼에서는 가우시안 잡음만 입력된다고 가정하면 재밍을 당한 심볼의 위상 오류의 확률 밀도 함수는 균일 분포 특성을 갖게 된다.

본 논문에서는 이런 분포 특성을 이용하여 다음과 같은 적응 윈도우를 이용한 에러심볼 검출방식을 제안하고 이를 비트 추적 알고리즘에 적용하였다. 우선 심볼당 적응 윈도우를 설정하고 심볼의 상태를 에러 심볼 검출기를 사용하여 다음과 같이 분류시킨다. 여기서 초기의 적응 윈도우는 추적이 유지되는 기준 클럭으로 생성되며 주기는 기준 클럭과 동일하며 위상 성분만  $90^\circ$  앞선다.

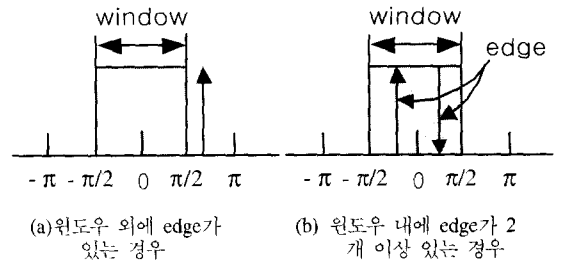


그림 7. 에러 심볼 형태

그림 7은 2가지 유형의 에러 심볼을 보인 것이다. 그림 7 (a)는 윈도우 외에 edge가 있는 경우의 에러 심볼을 보인 것으로 이와 같은 유형은 비주기적 심볼에 해당하는 것으로 재밍을 당한 데이터, 가우시안 잡음, 홉뷰트 잡음 등이 포함된다. 그림 7 (b)는 윈도우 내에 edge가 2개 이상 있는 경우의 에러 심볼을 보인 것으로 이와 같은 유형은 Shot 잡음, 임펄스 잡음 등이 포함된다.

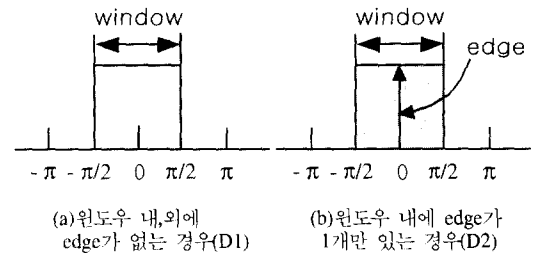


그림 8. 데이터 심볼 형태

그림 8는 2가지 유형의 데이터 심볼을 보인 것이다. 그림 8 (a)는 윈도우 내, 외에 edge가 없는 경우의 데이터 심볼(D1)을 보인 것으로 "0"의 값을 가진 데이터가 검출될 경우이다. 그림 8 (b)는 윈도우 내에 edge가 1개만 있는 경우의 데이터 심볼(D2)을 보인 것으로 "1"의 값을 가진 데이터가 검출될 경우이다. 그림 9는 에러 심볼 검출기를 나타낸 것이며 표 1은 이 에러 심볼 검출기의 출력

$y(t)$ ,  $z(t)$ 에 따른 심볼 상태의 분류를 나타낸 것이다.

표 1. 심볼 상태의 분류

심볼 상태	데이터 심볼		에러 심볼
상 태	D1	D2	N
에러 심볼 검출기의 출력	$y(t)=0,$ $z(t)=0$	$y(t)=0,$ $z(t)=1$	$y(t)=1,$ $z(t)=1$
적용 윈도우의 변화량	0	-1	+1

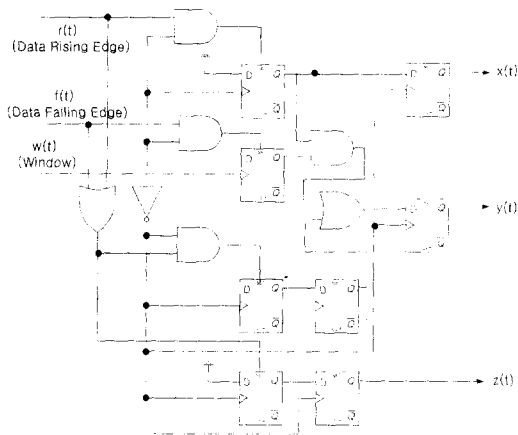


그림 9. 에러 심볼 검출기

적용 윈도우 발생 알고리즘은 수시로 변하는 통신 채널의 상태를 윈도우의 크기로 최대한 반영하기 위하여 고안된 알고리즘으로, 적용 윈도우( $a(k)$ )는 매 심볼당 설정되며 바로 앞의 심볼( $(k-1)$ 번째) 상태로 다음 심볼( $k$ 번째)의 윈도우로 변화한다. 표 1에서 나타낸 바와 같이 에러 심볼 검출기의 출력에 따라 "1"만큼씩 증감하던가 이전 상태를 그대로 유지한다. 단,  $a(k)$ 의 크기( $W$ )는 샘플링 축을 중심으로 최대치는  $w_s/2w_o$ 이며, 최소치는 "1"로 한다. 여기서  $w_s$ 는 샘플 클럭 주파수( $w_o$ 의 2배 되는 주파수, 여기서  $n$ 은 2이상의 정수)로 이것으로 적용 윈도우가 만들어진다.  $k$ 번째 심볼의  $W(k)$ 는 다음식을 만족한다.

$$1 \leq W(k) \leq w_s/2w_o (=W_{max}) \quad (5)$$

적용 윈도우는 에러 심볼 여부에 따라  $+1/0/-1$ 씩 더해진다고 가정할 때 선형 특성을 가진다. 따라서 적용 윈도우의 크기의 평균치( $W_{avg}$ )는 SNR이 클수

록 최소치(1)에 접근하고, 작을수록 최대치( $W_{max}$ )에 접근한다.

본 논문에서는 적용 윈도우를 이용한 에러 심볼 검출기와 기존의 디지털 루프 필터(랜덤 워크 필터)를 결합한 형태를 적용 윈도우 필터(Adaptive Window Filter)라 명명한다. 그림 10은 새롭게 제안한 적용 윈도우 필터를 적용한 ADPLL의 블록도를 보인 것이다. 적용 윈도우를 이용한 에러 심볼 검출기에서는 적용 윈도우내의 edge를 관찰하여 에러 심볼로 판명된 심볼에서는 루프 필터의 카운터 동작을 'disable'시켜줌으로써 에러 심볼에서의 추적(retard, advance)을 억제하고, 데이터 심볼의 rising edge에서만 추적이 가능하게 하여 실제 데이터 심볼에서 비트 동기가 유지되게 한다. 또한 SNR이 적은 흡에서는 윈도우 크기  $W(k)$ 가 커지게 되어 에러 심볼 검출 확률을 높여줌으로써 임펄스 글리치(glitch)나 샷(shot) 잡음에서도 비트 추적이 유지되는 일종의 차단 특성이 좋은 저역통과 필터의 효과를 가진다. 따라서 적용 윈도우 필터를 적용한 제안된 ADPLL 방식이 기존의 루프 필터(랜덤 워크 필터, N-before-M Filter 등)만을 이용한 ADPLL 방식에 비하여 우수한 위상 오류 특성을 보여준다.

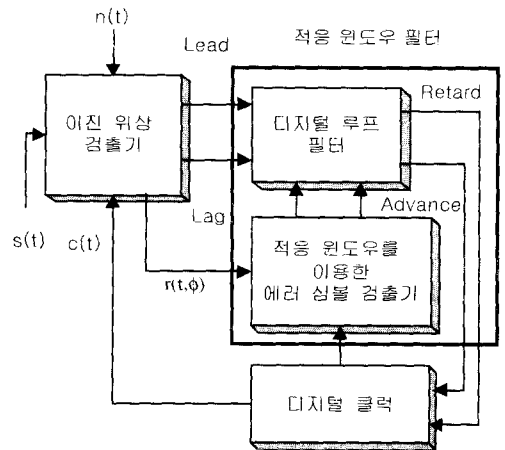
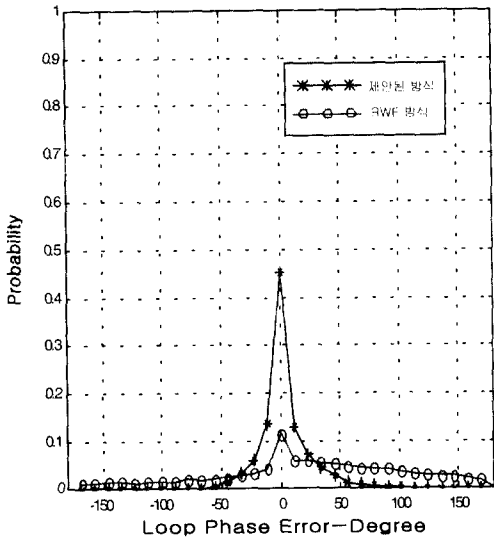


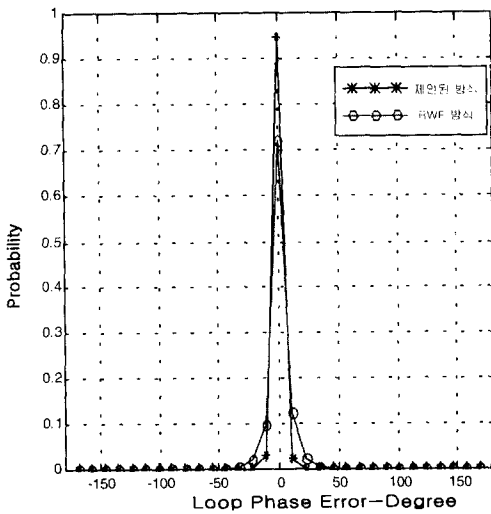
그림 10. 제안된 적용 윈도우 필터를 적용한 ADPLL

#### IV. 모의 실험 결과 및 고찰

그림 11(a),(b)는 기존의 방식과 제안된 방식의 위상 오류 응답을 보인 것이다. 그림 12 (a),(b)에서 알 수 있듯이 SNR이 적을수록 위상 오류 응답이 기존의 방식에 비하여 개선됨을 알 수 있다.



(a) SNR = -10dB



(b) SNR = 0dB

그림 11. 위상 오류 응답

그림 12은 기존의 방식과 제안된 방식의 루프 과도 응답(Loop Transient Response)특성을 보인 것이다. 그림 12에서 알 수 있듯이 입력 신호의 SNR이 -10dB이고 위상 오프셋이 45° 이내일 경우에는 lock에 이르는 시간이 더 적게 소요됨을 알 수 있다.

다음에는 재밍 환경 하에서의 시스템 응답특성을 알아본다. 여기서 재밍을 당한 홉의 수신 복조신호를 가우시안 잡음으로 가정한다.

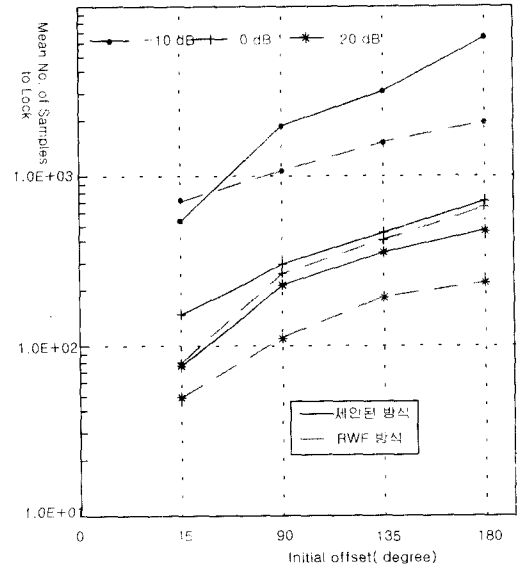


그림 12. 루프 과도 응답

그림 13에서 보여주듯이 10홉 동안 재밍을 주고 10홉 동안 데이터 홉을 수신하는 Sequence를 반복하여 50%의 재밍을 주었을 때 루프의 응답 특성에 대하여 모의 실험을 하였다.

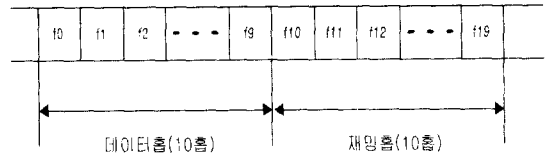


그림 13. 모의 실험 Model(재밍 : 50%)

그림 14는 재밍 환경(50%)하에서의 위상 오류 응답 및 비트 누락 발생수를 보인 것이다. 그림 14(a)에서 알 수 있듯이 -10dB의 데이터 홉이 50%의 재밍을 받았을 때 기존의 방식(RWF 방식)으로는 16회 이상의 비트 누락이 발생하지만 제안된 방식으로는 비트 누락이 전혀 발생되지 않았다. 따라서 제안된 방식이 다른 방식에 비하여 SNR이 저하될 수록 기존의 방식에 비해 루프 특성이 우수함을 알 수 있다.

## V. 결론

본 논문에서는 주파수 도약 무전기에서 홉무트 잡음과 임펄스 잡음과 같은 잡음 구간에서의 비트

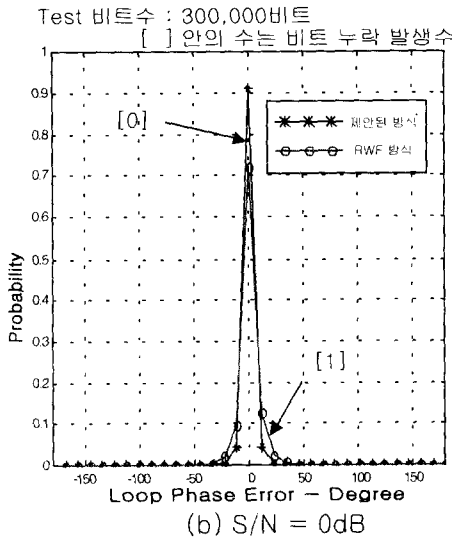
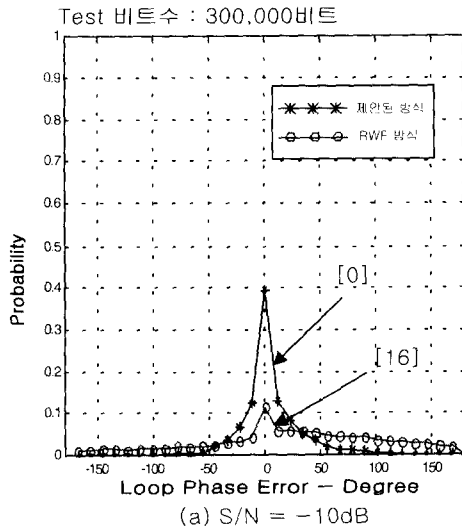


그림 14. 채널 환경(50%)하에서의 위상 오류 응답 및 비트 누락 발생수

추적을 억제하기 위하여, 적응 윈도우를 이용한 여러 심볼 검출기(Error Symbol Detect Circuit)를 기존의 비트 동기 방식에 적용한 새로운 비트 동기 방식을 제안하였다. 또한 제안된 방식이 '모두 디지털' 이므로 단일 IC로 설계가 가능하며, 실제로 단일 IC로 설계하여 국내 주파수 도약 시스템에 적용하였으며, 주파수 도약 시스템 외에 모든 디지털 장비에도 적용 가능하다. 모의 실험을 통해 제안된 방식과 기존의 비트 동기 방식에 비해 개선된 위상 오류 및 비트 누락 특성을 입증하였으며, 특히 SNR이 낮아질수록 개선된 성능을 보여줌을 확인하였다.

향후 성능 개선을 위해서는 여러 심볼 검출 알고리즘에 지속적인 연구가 필요하다.

### 참고 문헌

- [1] S.C.Gupta, "Phase-locked loops," *Proc.IEEE*, vol.63,pp.291-306,Feb.1975.
- [2] W.C.Lindsey, "Synchronization Systems in Communication and Control," *Englewood Cliffs, NJ : Prentice-Hall*, 1972.
- [3] F.M.Gardner, "Phase Lock Techniques," *2nd ed. New York Wiley*,1979.
- [4] Westlake, P.R., "Digital Phase Control Techniques," *IRE Trans. Communication Systems*, CS-8, pp.237-246, Dec. 1960.
- [5] Eisenberg, B.,R., "Gated Phase Lock Loop Study," *IEEE Trans. Aerospace and Electronics*, pp.469-477, May 1971.
- [6] Gill, G.S. and S.C. Gupta, "First Order Discrete Phase Locked Loop with Application to Demodulation of Angle Modulated Carrier," *IEEE Trans. on Communications*, June 1972.
- [7] Blasche, P.R., "Analysis of First and Second Order Binary Quantized Digital Phase-Locked Loops for Ideal and White Gaussian Noise Inputs," *ph.D dissertation of Ohio University*, March 1980.
- [8] Cessana, J.R. and Levy, D.M., "Phase Noise and Transient Times for a Binary Quantized Digital Phase Locked Loop in White Gaussian Noise," *IEEE Trans. on Communication*, vol. COM-20, No.2, April 1972
- [9] Holmes, J.K., "Performance of a First Order Transition Sampling Digital Phase Locked Loop Using Random Walk Models," *IEEE Trans. on Communications*, April 1972
- [10] Reddy, C.P., "On a Class of All Digital Phase Locked Loops : Modeling, Analysis and Application," *ph.D dissertation of Southern Methodist University*, July 1972.
- [11] Shayan, Y.R. and Le-Ngoc, T., "All Digital Phase Locked Loops : Concept, Design and Application," *IEE Proceeding*, vol. 136, pt. F, No.1, Feb. 1989.
- [12] Mcgille, C.D. and McCain, W.B., "Perform-

ance Improvement of DPLL's in Non-Gaussian Noise Using Robust Estimators," *IEEE Trans. on Communication*, Vol. COM-35, No-11, Nov. 1987

[13] Roland E. Best, "Phase-Locked Loops," 3rd ed. McGraw-Hill, 1997.

김 정 섭(Jung-sup Kim) 정회원



1986년 2월 : 경북대학교 전자  
공학과 졸업(공학사)  
1988년 2월 : 경북대학교 전자  
공학과 졸업(공학석사)  
1997년 8월 : 경북대학교 전자  
공학과 박사과정 수료  
1988년 2월~현재 : 국방과학  
연구소 선임연구원

<주관심 분야> 대전자전기법, 대역확산통신, 위성통신.

황 찬 식(Chan-sik Hwang) 정회원



1977년 2월 : 서강대학교 전자  
공학과 졸업(공학사)  
1979년 8월 : 한국과학기술원  
전기전자공학과 졸업  
(공학석사)  
1996년 2월 : 한국과학기술원  
전기전자공학과 졸업  
(공학박사)

1979년 9월~현재 : 경북대학교 전기전자공학부 교  
수

1991년 8월~1992년 8월 : Univ. of Texas 전기  
전자공학부 Visiting Prof.

<주관심 분야> 영상신호처리, 암호통신