

# 비디오 신호처리용 저전력 아날로그 디지털 변환기

정희원 조성익\*, 손주호\*\*, 김동용\*\*

## Low-power Analog-to-Digital Converter for video signal processing

Seong-ik Cho\*, Ju-ho Son\*\*, Dong-yong Kim\*\* *Regular Members*

### 요약

본 논문에서는 파이프라인드 방식의 빠른 변환 속도와 축차 비교 방식의 저전력 구조를 이용하여 고속, 저전력 아날로그 디지털 변환기를 제안하였다. 제안된 구조의 변환 방법은 축차 비교 방식의 변환에서 비교기를 파이프라인드 구조로 연결하여 홀드된 주기에 비교기의 기준 전위를 전 비교기의 출력값에 의해 변환하도록 하여 고속 동작이 가능하도록 하였다. 제안된 구조에 의해 비디오 신호처리가 가능한 10MS/s 아날로그 디지털 변환기를 0.8 $\mu$ m CMOS 공정으로 HSPICE로써 시뮬레이션하였다. 6비트 아날로그 디지털 변환기는 100kHz 사인 입력 신호를 10MS/s로 샘플링 하여 DFT 측정된 결과 37dB의 SNR을 얻을 수 있었으며, 전력 소모는 1.46mW로 측정되었다. 8비트 아날로그 디지털 변환기는 INL/DNL은 각각  $\pm 0.5/\pm 1$ 이었으며, 100kHz 사인 입력 신호를 10MS/s로 샘플링 하여 DFT 측정하였을 때 SNR은 41dB를 얻을 수 있었고, 전력 소모는 4.14mW로 측정되었다.

### ABSTRACT

In this paper, The High-speed, Low-power Analog-to-Digital Conversion Architecture is proposed using the Pipelined architecture for High-speed conversion rate and the Successive-Approximation architecture for Low-power consumption. This architecture is the Successive-Approximation architecture using Pipelined Comparator array to change reference voltage during Holding Time. The Analog-to-Digital Converter for video signal processing is designed using 0.8 $\mu$ m CMOS technology. When an 6-bit 10MS/s Analog-to-Digital Converter is simulated, the INL/DNL errors are  $\pm 0.5/\pm 1$ , respectively. The SNR is 37dB at a sampling rate of 10MHz with 100kHz sine input signal. The power consumption is 1.46mW at 10MS/s. When an 8-bit 10MS/s Analog-to-Digital Converter is simulated, the INL/DNL errors are  $\pm 0.5/\pm 1$ , respectively. The SNR is 41dB at a sampling rate of 10MHz with 100kHz sine input signal. The power consumption is 4.14mW at 10MS/s.

### I. 서론

멀티미디어 및 통신 시스템에서 널리 사용되는 디지털 신호처리 기술의 발전으로 인하여 아날로그 신호를 디지털 신호로 바꾸어 주는 아날로그 디지털 변환기의 중요성이 점차 증가하고 있으며, 현재 아날로그 디지털 변환기 설계 방식은 저전압, 저전력, 고속, 고해상도에 관한 연구가 진행되고 있다.

그러나 CMOS 공정은 발달하였지만 변환 방법에 의한 한계를 나타내고 있다.

고해상도를 구현하기 위한 방법으로 시그마-델타 변환 방법이 널리 사용되고 있지만 구조가 복잡하고 변환 속도가 느리다는 단점을 가지고 있다. 따라서 플래시 구조와 2스텝 방식, 파이프라인드 방식이 고속 변환 방법에 사용되고 있다.<sup>[1][2]</sup> 그중에서도 플래시 구조는 가장 간단하고 빠른 변환기이지만,

\* 현대전자 메모리 연구소(sicho@sr.hei.co.kr),

\*\* 전북대학교 전자정보공학부(maxwell@electric.chonbuk.ac.kr)

논문번호 : 98463-1020, 접수일자 : 1998년 10월 20일

해상도를 높일 경우 많은 비교기가 요구되어 전력 소모가 많고 집적회로로 실현하는 경우 한정된 칩 면적 때문에 고해상도 방식에는 적절치 못하다는 단점을 가지고 있다. 또한, 2스텝 방식에서도 고해상도를 위해서는 역시 많은 비교기가 필요로 하고, 각 단을 연결하기 위해 DAC(Digital Analog Converter), 샘플/홀드 회로, 뿔샘기 및 잔류 증폭기가 필요하게 되어 전력 소모가 많다는 단점을 지닌다. 따라서 비교기의 수를 줄임으로써, 고속으로 신호를 변환하기 적합한 파이프라인드 구조가 사용되고 있다. 하지만, 이 방법은 비교기의 수를 현저하게 줄일 수는 있으나, 각 단 사이에 DAC, 샘플/홀드 회로 및 뿔샘기, 잔류 증폭기가 필요하게 되며, 각 단을 거치면서 발생하는 오차를 제거하기 위해 디지털 교정 회로를 사용하게 된다. 또한, 12비트 이상의 고해상도를 위해서는 그 외에 디지털 보정 회로를 더 추가해야만 하는 단점을 가진다.<sup>[2],[5]</sup> 중속 변환 방식에는 축차 비교 방식과 알고리즘 방식이 있으며 이 방식은 구조가 간단하고, 저전력을 실현할 수는 있으나, 고해상도를 위해 많은 클럭이 필요하게 되어 변환 속도면에서 단점을 가진다.<sup>[3],[6],[10]</sup>

본 논문에서는 이러한 단점을 보완하기 위해 축차 비교 방식을 기본으로 하면서 파이프라인식 비교기 배열을 이용하여 고속 변환과 저전력 특성을 가질 수 있는 새로운 아날로그 디지털 변환기를 제안하고, 제한한 구조를 이용하여 비디오 신호처리가 가능한 10MS/s 아날로그 디지털 변환기를 설계하였다.

## II. 제안된 구조의 아날로그 디지털 변환기 설계

### 2.1 기존의 축차 비교 방식과의 비교

축차 비교 방식은 비교기 한 개, DAC와 샘플/홀드 회로로 구성되어 있으며, 입력된 신호가 비교기에서 비교되어 출력값을 얻고, DAC를 통해 비교 전위를 바꾸어 주게 된다. 이때 출력값은 디지털 소자에 저장하고 전체 클럭이 끝날 때 동시에 디지털 출력값을 나타내게 된다.

제안한 구조의 8비트 아날로그 디지털 변환기를 그림 1에 나타내었다. 비교기를 파이프라인식으로 배열하여 비교기의 출력값을 데이터로 사용하도록 하였으며, N비트 해상도를 구현하기 위해 N개의 비교기를 사용하였다. 축차 비교 방식에서 한 개의 비교기만으로 동작하는 것에 비해 많은 비교기를 사용하지만 속도를 향상시킬 수 있다.

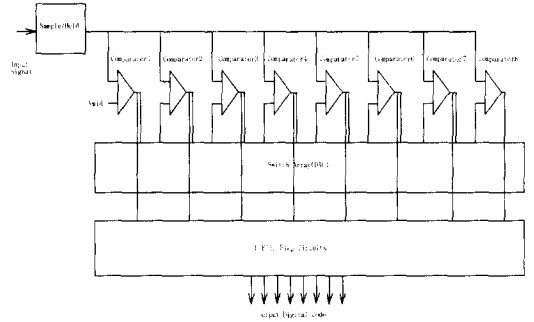


그림 1. 8비트 아날로그 디지털 변환기의 블록도

축차비교 방식에서 한번의 비교기 동작을 위한 클럭을 사용하지만, 제한한 구조에서는 비교기 출력값에 의해 다음 비교기의 기준 전위를 바꾸어 주므로 축차 비교 방식보다 빠른 동작이 가능하게 된다.

### 2.2 제안된 구조의 동작

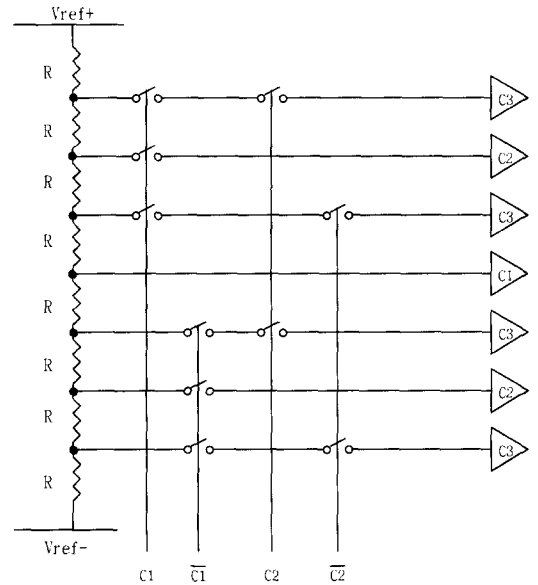


그림 2. 3비트 기준 전위 절체 회로

그림 1에서 입력 신호가 샘플/홀드 회로에 입력된 후 홀드된 주기 동안에 비교기 N개가 순차적으로 동작하도록 하였다. 비교기 부분은 파이프라인드 방식을 사용하고, 기준 전위 절체부는 축차 비교 방식의 DAC부분을 사용하기로 하며, 스위치 배열을 이용하였다. 변환 동작 원리는 먼저 홀드된 신호가 비교기 1, 2, 3에 모두 입력되고, 각각 기준 전위는

아직 입력되어 있지 않은 상태에서 비교기 1은 항상 1/2 기준 전위(Vmid)에 연결되어 비교기 1을 동작시킨다. 이때 비교기 1에서 나온 출력값은 D플립플롭에 저장되며 또한 비교기 2의 기준 전위를 바꾸어 준다. 이때 비교기 2는 동작을 시행할 것이고 비교기 1의 동작을 반복하게 된다. 비교기 1, 2, 3에 의해 전송된 디지털 출력값은 D플립플롭에서 동시 동작을 위한 과정을 거치고 완성된 N비트 디지털 출력값을 얻게된다.

그림 2에서는 기준 전위 절체를 위한 그림을 나타내고 있다. 본 논문에서는 그림 2에서 보는 것과 같이 로직 회로를 사용하지 않고 스위치를 사용하여 설계하였으며, 로직 회로보다 적은 면적을 가지게 된다. 그러나, 많은 스위치들에 의한 잡음 개선 및 기준 전위에 의한 스위치 온저항값의 고려가 필요하다.

### III. 사용된 회로 설계

#### 3.1 샘플/홀드 회로

기존 증폭기를 갖는 샘플 홀드 회로를 사용할 경우에는 증폭기 자체 전력 소모하므로 전체 전력 소모가 커질 수 있지만, 8비트 이상의 해상도를 위해서는 스위치와 캐패시터만으로는 고해상도를 이룰 수 없으므로 증폭기를 갖는 샘플 홀드 회로를 사용해야 된다. 본 논문에서 사용한 트랙/홀드 회로는 최대 8비트 해상도만 만족하면 되므로 스위치와 캐패시터만으로 구성된 가장 간단한 구조를 갖는 BUTTOM PLATE 방식을 이용하였고, 사용된 캐패시터는 4pF이다.<sup>[8]</sup>

#### 3.2 비교기

간단한 디지털 비교기만으로는 8비트 해상도를 구현할 수 없으므로, 프리 앰프 2개를 사용하여 8비

트 이상의 해상도를 갖는 비교기를 사용하였다. 비교기 하나의 전력 소모는 10MHz의 동작 속도에서 0.35mW이다.<sup>[9],[11]</sup>

#### 3.3 스위치

간단한 CMOS 상보형 스위치가 사용되었으며, 트랙/홀드 회로에 사용된 스위치의 크기는 25 $\mu$ m/5 $\mu$ m(PMOS/NMOS)이며, 비교기의 기준 전위 변환에 사용된 스위치는 10 $\mu$ m/4 $\mu$ m(PMOS/NMOS)이다.

### IV. 시뮬레이션 결과 및 고찰

10MS/s 아날로그 디지털 변환기를 0.8 $\mu$ m CMOS 공정 파라이터를 이용하여 HSPICE로 시뮬레이션 하였으며 그림 4에서 램프 입력에 의한 출력값을 나타내었고, 그림 5에서 INL/DNL (Integral Non-Linearity/Differential Non-Linearity)을 나타내고 있다. 또한, 100kHz의 사인 입력 신호를 10MHz 샘플링 클럭을 사용하였을 때 사인 출력 파형을 그림 6과 같이 얻었다. 이를 DFT(Discrete Fourier Transform)측정한 결과를 그림 7에 나타내었으며, 6비트일 때 측정 결과 37dB의 SNR(Signal to Noise Ratio)값과, 8비트일 때 측정결과 41dB의 SNR값을 얻었으며, 이는 식(1)을 이용하여 각각 5.85비트와 6.5비트의 ENOB (Effective Number Of Bit)를 구할 수 있었다.

$$ENOB = \frac{SNR - 1.76dB}{6.02} \quad (1)$$

표 1에서는 설계한 아날로그 디지털 변환기를 기존 방식과 비교하고 있다. INL/DNL의 오차는 샘플/홀드 회로의 오차에 의해 발생하였음을 알 수 있으며, 10비트 이상의 분해능을 갖는 샘플/홀드 회로를 갖는 10비트 아날로그 디지털 변환기를 설계하였을 때 전력 소모 10mW이하가 가능할 것으로 예상된다.

표 1. 기존방식과의 비교

	본 논문		[3]	[4]	[5]	[6]	[7]
비트수	6비트	8비트	8비트	8비트	8비트	8비트	8비트
속도	10MHz		1.3MHz	20MHz	4.5MHz	10kHz	2MHz
공급 전압	3V		5V	5V	5V	5V	3V
소비 전력	1.46mW	4.14mW	70mW	50mW	128mW	9.8mW	6.5mW
CMOS 공정	0.8 $\mu$ m		3 $\mu$ m	1 $\mu$ m	0.8 $\mu$ m	0.8 $\mu$ m	1.2 $\mu$ m
INL	0	+0.5	+0.3	+0.5	$\pm$ 0.9	$\pm$ 1.2	$\pm$ 0.015
DNL	0	$\pm$ 1	$\pm$ 0.9	$\pm$ 0.5	$\pm$ 0.9	$\pm$ 0.5	$\pm$ 0.15
구조	제한한 구조		Successive Approximation	Subranging	Pipelined	Algorithm	2Step Successive Approximation

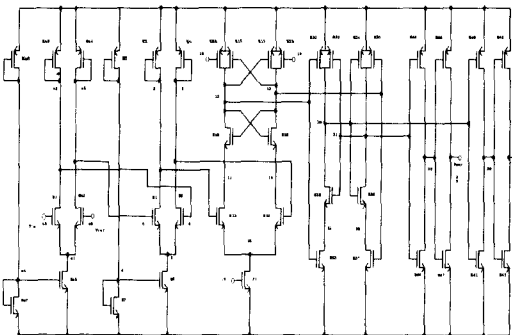


그림 3. 비교기 회로

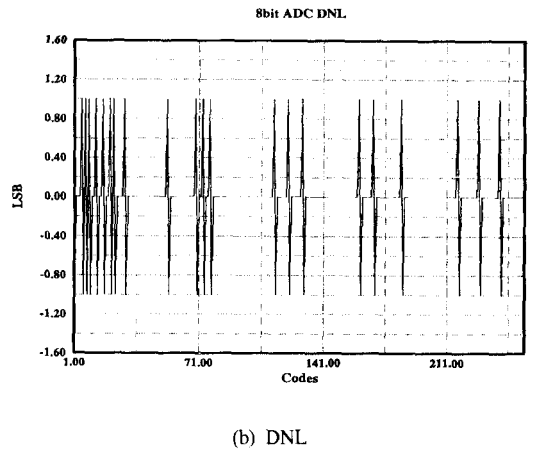
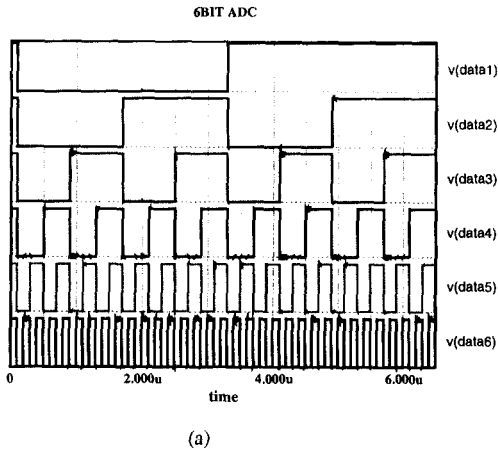


그림 5. 8비트 아날로그 디지털 변환기 INL, DNL 결과

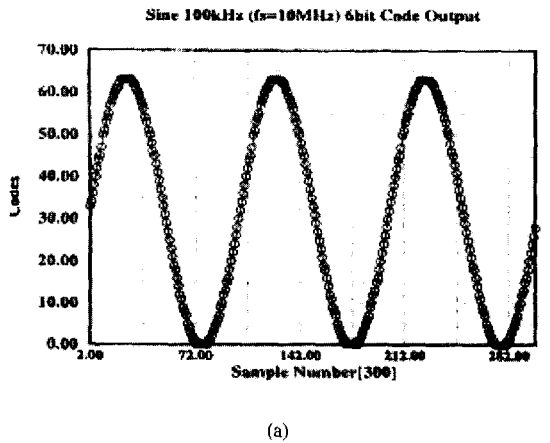
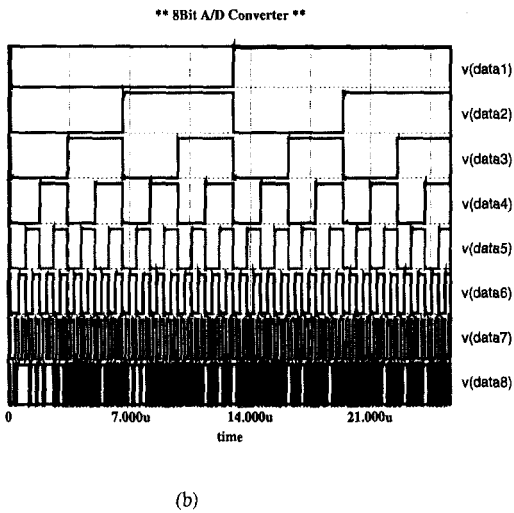


그림 4. 램프 입력에 의한 출력값  
(a) 6비트 아날로그 디지털 변환기,  
(b) 8비트 아날로그 디지털 변환기

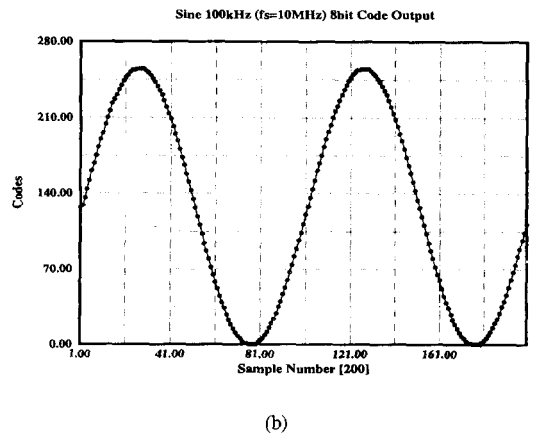
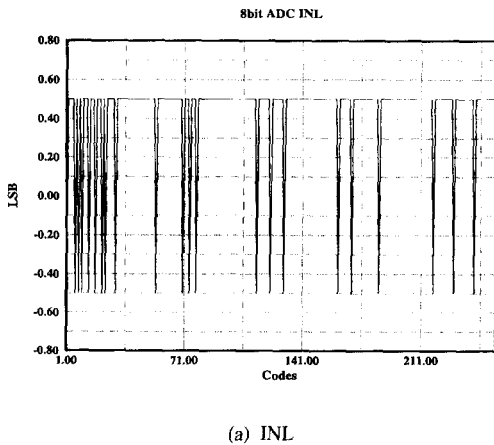
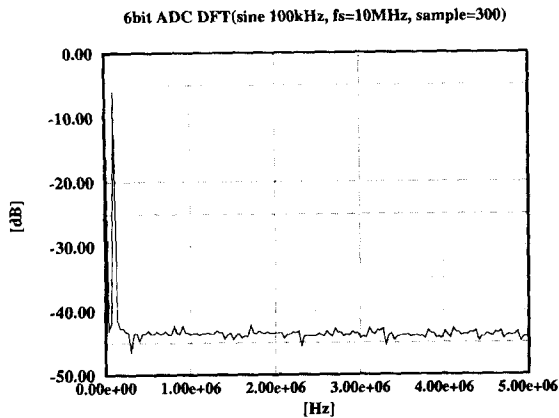
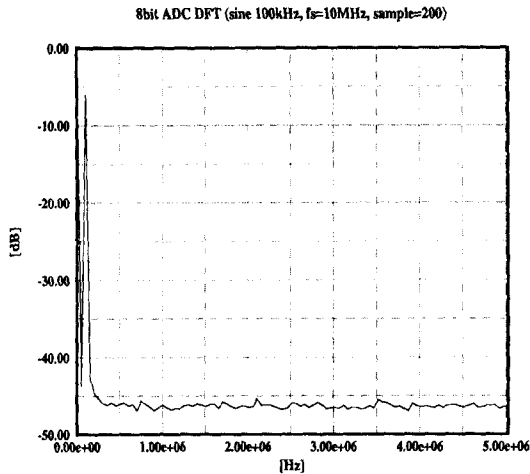


그림 6. 100kHz 사인 출력 파형  
(a) 6비트 아날로그 디지털 변환기,  
(b) 8비트 아날로그 디지털 변환기



(a)



(b)

그림 7. DFT 결과

- (a) 6비트 아날로그 디지털 변환기  
(100kHz 사인 입력과, 10MS/s 샘플링, 300point 샘플링),
- (b) 8비트 아날로그 디지털 변환기  
(100kHz 사인 입력과, 10MS/s 샘플링, 200point 샘플링)

## V. 결론

아날로그 디지털 변환기는 고속, 저전력을 위한 연구가 되고 있으며, 성능 향상을 위해 여러 가지 방식이 도입되고 있으나, 기존 구조가 가지는 문제에 의해 한계를 가진다. 이러한 구조의 문제를 극복하여, 비디오 신호처리가 가능하며 저전력 특성을 갖기 위해서 축차비교 방식을 기본으로 파이프라인식 비교기 배열을 이용한 아날로그 디지털 변환기

를 제안하였다. 제안된 구조를 이용하여 10MS/s 아날로그 디지털 변환기를 설계하였으며, 0.8 $\mu$ m CMOS 공정과라이터를 이용하여 HSPICE로 시뮬레이션하였으며, 6비트일 때 INL/DNL은 0이었으며, 100kHz 사인 입력 신호를 10MHz 샘플링 클럭을 사용하여 DFT 측정하여 37dB의 SNR값을 얻었으며, 1.46mW의 전력 소모를 측정하였다. 또한, 8비트일 때 INL/DNL은 각각  $\pm 0.5/\pm 1$ 이었으며, 100kHz 사인 입력 신호를 10MHz 샘플링 클럭을 사용하여 DFT 측정하여 41dB의 SNR값을 얻었으며, 4.14mW의 전력 소모를 측정하였다. 제안된 구조를 이용하여 플래시 방식을 대체하여 2스텝 방식 및 다단 방식 아날로그 디지털 변환기에 응용이 가능하며, 휴대용 비디오 신호처리가 필요한 장비에 사용이 가능하다.

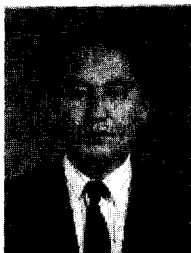
## 참고 문헌

- [1] Raf Roovers, Member, IEEE, and Michiel S. J. Steyaert, Senior Member, IEEE, "A 175MS/s, 6b, 160mW 3.3V CMOS A/D Converter," *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp. 938-944, July, 1996.
- [2] Gil-Cho Ahn, Hee-Cheol, Shin-Il Lim, Seung-Hoon Lee, and Chul-Dong Lee, "A 12-b, 10-MHz, 250-mW CMOS A/D Converter" *IEEE J. Solid-State Circuits*, vol. 31, NO. 12, pp 2030-2035, December, 1996
- [3] KH.HADIDI, VINCENT S. TSO, Member, IEEE, and GABOR C. TEMES, Fellow Member, IEEE, "An 8-b 1.3-MHz Successive-Approximation A/D Converter," *IEEE J. Solid-State Circuits*, vol. 25, no. 3, pp. 880-885, June, 1990.
- [4] SHIRO HOSOTANI, TAKAHIRO MIKI, ATSUSHI MAEDA, and NOBUHARU YAZAWA, "An 8-bit 20-MS/s CMOS A/D Converter with 50-mW Power Consumption," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 167-172, Feb., 1990
- [5] Chung-Yu, Member, IEEE, Chih-Cheng Chen, Student Member, IEEE, and Jyh-Jer Cho, "A CMOS Transistor-Only 8-b 4.5-Ms/s Pipelined Analog-to-Digital Converter Using Fully-Differential Current-Mode Circuit Techniques," *IEEE J. Solid-State Circuits*, vol. 30,

- no. 5, pp. 522-532, May, 1995.
- [6] 하장용, 박중태, 유종근, "스위치드-캐패시터 기술을 이용한 알고리즘 아날로그-디지털 변환기 설계," 대한전자공학회논문지, 제34권, C편, 제 8호, pp. 29-38, 1997.
  - [7] Nasirul CHOWDHURY, Hassan ELWAN, and Mohammed ISMAIL, "A Low Power Transistor-Only CMOS Current-Mode A/D Converter Architecture," *IEEE 2nd Analog VLSI Workshop proceedings*, pp. 137-144, June, 1998.
  - [8] 최희철, 장동영, 이승훈, 이승훈, "고정밀 CMOS Sample-and-Hold 증폭기 설계 기법 및 성능 비교," 대한전자공학회논문지, 제33권, A 편, 제 6호, pp. 239-247, 1996.
  - [9] Tsuguo Kobayashi, Kazutaka Nogami, Tsukasa Shirotori, and Yukihiko Fujimoto, "A Current-Controlled Latch Sense Amplifier and a Static Power-Saving Input Buffer for Low-Power Architecture," *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 523-527, Apr., 1993.
  - [10] 이재엽, 이승훈, "10비트 CMOS Algorithmic A/D변환기를 위한 저전력 MDAC 회로 설계," 대한전자공학회논문지, 제34권, C편, 제12호, pp. 20-27, 1997.
  - [11] 광명보, 이승훈, 이인환, "저전력용 CMOS 비교기의 시스템 응용을 위한 오피셋 전압 최소화 기법," 대한전자공학회논문지, 제34권, C편, 제12호, pp. 28-36, 1997.

조 성 익(Seong-ik Cho)

정회원

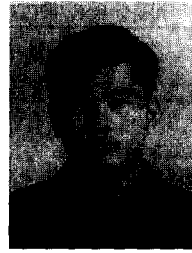


1987년 2월 : 전북대학교 전기  
공학과 졸업  
1989년 2월 : 전북대학교 전기  
공학과 석사  
1994년 2월 : 전북대학교 전기  
공학과 박사  
1996년 5월~현재 : 현대전자  
(주) 메모리 연구소  
선임연구원

<주관심 분야> ADC, DAC, PLL, DLL, Filter,  
Analog Circuit Design

손 주 호(Ju-ho Son)

학생회원



1994년 2월 : 전북대학교 전기  
공학과 졸업  
1999년 2월 : 전북대학교 전기  
공학과 석사  
1999년 3월~현재 : 전북대학교  
전기공학과 박사과정

<주관심 분야> ADC, DAC, Analog Circuit Design

김 동 용(Dong-yong Kim)

정회원



1967년 2월 : 전북대학교 전기  
공학과 졸업  
1973년 2월 : 전북대학교 전기  
공학과 석사  
1985년 5월 : 캐나다 마니토바  
대학교 전자공학과 박사

1986년 10월~현재 : 전북대학교 전기공학과 교수,  
전기전자회로합성연구소 소장

<주관심 분야> 회로 및 시스템