

# 단방향 경로 스위칭 링을 위한 경로 제어 스위치 소자

정회원 이 상 훈\*

## A Path Control Switch Chip for an Unidirectional Path Switched Ring

Sang-hoon Lee\* *Regular Member*

### 요 약

1.25Gb/s 처리용량의 디지털 신호들의 경로를 제어하는 스위치 소자가 COMPASS 툴로 설계되었고 0.8 $\mu$ m CMOS 게이트 어레이로 LG 반도체에서 제작되었다. 이 소자는 초고속국가망의 전송노드 역할을 하는 SDH 전송 시스템에서 디지털 중속신호들의 자기복구동작을 가능하게 한다. 본 논문에서 제안한 경로 제어 스위치 소자는 SDH 선형 전송망과 단방향 링과 같은 환형 전송망에도 적용 가능한 구조로 설계되었다. 경로 제어 스위치 소자의 자기복구동작은 스위치내의 데이터 레지스터에 저장된 설정 데이터들을 변경시킴으로 이루어진다. SDH 전송시스템에의 적용시험 결과, 이 소자는 임의의 광선로 장애 시 즉시 복구가 가능함을 보여 주었으며 BER 10<sup>-11</sup>~10<sup>-12</sup> 정도로 양호하게 동작됨이 검증되었다. 2개의 동일한 혹은 그 이상의 스위치를 병렬구조로 구성하면 2.5Gb/s 혹은 그 이상의 처리용량도 얻을 수 있다.

### ABSTRACT

A 1.25Gb/s path control switch chip has been designed and implemented with COMPASS tool and 0.8 $\mu$ m CMOS gate-array of LG semiconductor. This device controls the path of digital signals in SDH-based transmission system. The proposed switch chip is suitable for self-healing operations both in a linear network and an unidirectional ring. The self-healing operation of the switch is effectively done by the configuration information stored in the registers of the switch. The test results of this device adapted to SDH-based transmission system, show immediate restoration and a 10<sup>-11</sup>~10<sup>-12</sup> bit error ratio. And 2.5Gb/s or more high throughput can be realized by combining two identical or more switches with the parallel architecture.

### I. 서 론

ITU 권고안<sup>[1-2]</sup>에 따른 SDH (Synchronous Digital Hierarchy) 광전송시스템은 대용량의 정보를 초고속으로 전송할 수 있기 때문에 초고속 국가전송망의 하부구조 역할을 한다. 그러나 전송시스템이나 광선로 상에 장애가 발생할 때는 대용량의 데이터를 장시간 잃어버리기 때문에 이에 대한 연구들이 행해져 왔다<sup>[3-5]</sup>. 이러한 망 장애에 대한 대책으로는 ADM (add-drop multiplexer) 광전송시스템들로 구성되는 자기 복구링(self-healing ring)을 구축함으로써 전송망의

생존율을 향상시킬 수 있다. 이는 전송망을 링 구조로 구축하여 전송되는 데이터의 예비경로를 마련함으로써 전송로 중 어느 한곳의 결함 발생 시 다른 경로를 통해서 전송시킴으로 불통된 서비스를 자동적으로 복구시켜 준다. 이와 같이 재난발생에 대비하여 전송망이 링 구조와 같이 매우 복잡해짐에 따라서 각 전송망에서 노드의 역할을 하는 광전송시스템도 용량 증가와 더불어 복잡해진다. 즉 전송시스템에 접속되는 중속신호들의 수가 많아지고 또한 그 신호들의 흐름이 재난발생에 대비하여 별도의 복안 경로를 가져야 하므로 복잡해지며, 선로 화재 등의 사고

\* 한서대학교 전자공학과(shilee@hanseo.ac.kr)  
 논문번호 : 99123-0328, 접수일자 : 1999년 3월 28일

발생 시는 이들 신호들의 신속한 경로변경이 이루어져야한다. 따라서 ADM 광전송시스템에 자기복구동작이 가능한 스위치 회로의 도입이 요구된다. 본 논문에서는 선형 전송망과 환형 전송망의 하나인 단방향 링(unidirectional ring)의 구조에 적합하고 전송로 상에 장애가 발생할 때 데이터 복구가 될 수 있는 구조를 갖는 스위치 소자를 제안하고 이를 0.8 $\mu$ m CMOS gate array로 설계 및 제작하였다.

## II. 단방향 경로 스위칭 링

그림1은 TM(terminal multiplexer)과 중계기, ADM 등으로 구성된 선형 전송망을 보여준다. 선형 전송망은 재난 등으로 인해 통신 전송로인 광선로가 물리적으로 절단되는 사고가 발생할 때 대용량 데이터의 생존을 측면에서 취약한 구조를 갖는다. 즉, 그림에서와 같이 노드 A와 B간 선로가 절단될 때 A와 B, C, D간의 데이터 전송은 대안의 통신경로가 없기 때문에 불가능한 상황이다. 선형 전송망의 선로 보완책은 주로 또 하나의 광선로를 동일 케이블 내에 이중화하는 1+1 dedicated protection이나 하나 또는 여러개(m개)의 예비 광선로가 n개의 운용 광선로를 백업하는 1(혹은m):n(단, n>m) shared protection을 사용하고 있다.

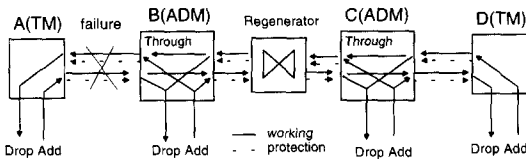


그림 1. 선형 전송망

그러나 선형 전송망은 별도의 다른 경로의 전송로를 마련하지 않은 한 예비 광선로를 포함한 선로장애 시 데이터 생존율을 높일 수 없다. 이에 비해서 자기복구링은 폐루우프를 형성하는 노드들로 구축된다. 이 때 각 노드들은 이중방식(duplex)으로 두 개의 인접노드들과 연결되어 있다. 자기복구링은 풍부한 대역폭을 제공하며 망 장애 발생 시 손실된 서비스를 즉시 복구할 수 있을 뿐만 아니라 특정 선로가 과부하 시 우회 회선의 제공이 용이하고, 망의 재구성성이 쉬우며, 서비스를 중단하지 않고 시설의 교체 및 전송 노드의 변경을 할 수 있다. 가장단순한 형태의 자기복구링인 단방향 경로 스위칭 링(unidirectional path switched ring)은 링으로 유입되는 add

traffic과 링으로부터 분기되는 drop traffic이 링을 따라서 한쪽방향으로만 진행한다. 그림2는 단방향 경로 스위칭 링의 자기복구동작을 보여준다. 노드 A와 노드 C 사이에서 서로 송신되는 운용 트래픽들은 먼저 운용 광선로를 따라 각 노드에서 같은 방향으로 전송되나 목적지에서는서로 다른 경로를 거쳐서 도착한다.

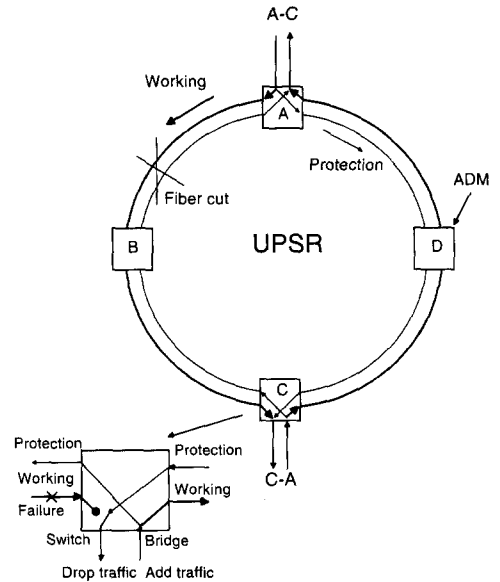


그림 2. 단방향 경로 스위칭 링의 자기복구동작

다음으로 예비 광선로를 통해서 전달되는 예비 트래픽들은 운용 광선로에서의 정보와 동일한 복사본이지만 반대 방향으로 전달된다. 따라서 송신 노드에서는 동일한 정보를 서로 다른 방향으로 보내므로 "1+1 protection" 혹은 "dual-fed"로 동작하고 수신 노드에서는 운용선로와 예비선로의 서로 다른 방향으로 전달되어온 동일한 신호 중 품질이 양호한 것을 선택한다. 자기복구동작의 일례로서 노드 A와 C간 통신 중 노드 A와 노드 B간 광선로 절단이 발생하면 노드 C에 수신되는 신호는 경로복구를 위해 노드 D를 경유하여 들어오는 예비 채널로 경로 스위칭 된다. 노드 A, C, D의 경우도 마찬가지이다. 따라서 각 노드는 광선로 절단에도 불구하고 영향을 받지 않는다. 그러나 단방향 경로 스위칭 링은 광선로 절단과 같은 사고가 발생하면 각 노드에서의 링 스위칭 루우프백 기능이 없기 때문에 더 이상 링으로서의 토폴로지는 유지하지 못하고 선형 전송망 형태로 바뀌어서 계속 서비스하게 된다. 수신노드에서의 신호신

택은 수신된 신호들의 높은 우선 순위 조건에 따른다. 우선 순위는 'clear', 'lockout of protection', 'forced switch', 'manual switch'의 외부구동명령어, 'wait-to-restore', 'no request'의 상태명령어 혹은 'SF(signal failure)', 'SD(signal degrade)'의 자동구동명령어를 따른다. 다만 SF, SD의 동시 발생 시는 동일한 우선 순위가 적용되어 신호의 스위칭이 이루어지지 않는다. 단방향 경로 스위칭 링의 장점은 경로 스위칭을 위해서 노드간 정보의 교환이 필요 없기 때문에 가장 단순한 형태의 링이다. 즉, 스위칭을 위한 프로토콜이 필요 없기 때문에 양방향 링의 경우 보다 스위칭이 빠르게 수행되며, 여러 곳에서 문제가 발생할 경우 트래픽의 복구 기회가 많다. 그러나 링의 최대 대역폭이 임의의 두 노드간 최대 트래픽에 의해 제한되기 때문에 채널 대역폭 이용을 측면에 있어서는 효율적이지 못하다. 다시 말해서 임의의 두 노드 구간에서 채널 대역폭이 여유가 있다라도 다른 임의의 두 노드 사이의 최대 트래픽에 의해 제한되기 때문이다. 아울러 장애가 발생하지 않은 정상 상태 시에도 예비 채널 상에 항상 운용 채널상의 데이터와 동일한 데이터가 전송되고 있으므로 예비 채널을 extra traffic의 전송으로 활용 할 수 없다. 따라서 단방향 경로 스위칭 링은 대용량의 데이터들이 전송되는 transport ring 보다는 그것에 접속되어 중소용량의 데이터를 전달하는 access ring에 사용되는 것이 적합하다. 그림3은 우리나라의 대도시를 기점으로 중소도시를 연결하는 단방향 경로 스위칭 링이 적용되고 있는 예를 도시하였다.

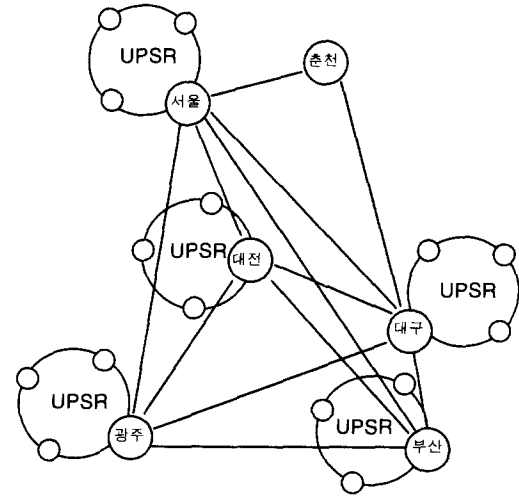


그림 3. 초고속 국가 전송망

### III. 경로 제어 스위치

그림4는 본 논문에서 제안한 경로 제어 스위치 소자가 적용되는 ADM 전송시스템의 신호접속 블록도이다. ADM에 입·출력으로 접속되는 west, east 및 tributary 방향의 데이터 용량은 각각 48채널의 AU-3 (51.84Mb/s) 신호로서 2.5Gb/s의 용량이다. west 및 east의 링크는 STM-16(2.5Gb/s) 신호로 접속되고 tributary의 링크는 48개의 DS-3 (44.736Mb/s) 혹은 16개의 STM-1 (155Mb/s) 또는 4개의 STM-4(622Mb/s) 신호들로 접속된다. 결국 경로 제어 스위치 소자를 하나의 칩으로 설계할 때 요구되는 예상 I/O의 수는 300핀 이상이 되므로 칩 패키지 이용에 어려움이 있어 본 논문에서는 2개의 동일한 경로 제어 스위치 소자를 병렬구조로 사용하여 이를 해결하였다. 즉, 각 칩의 west, east 및 tributary 방향의 데이터 용량은 1.25Gb/s로 24 채널의 AU-3 데이터들이 각각 입·출력된다.

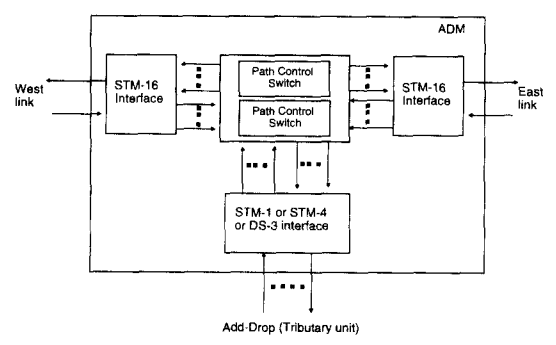


그림 4. ADM 전송시스템의 신호접속 블록도

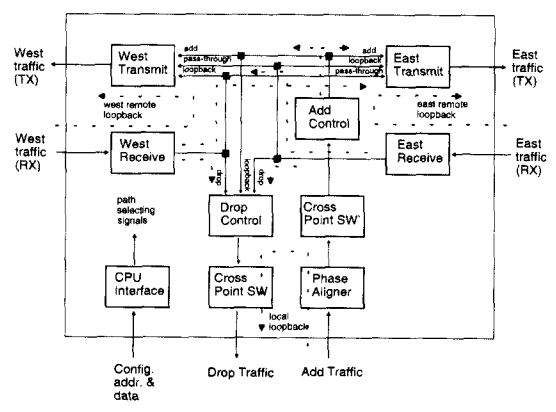


그림 5. 경로 제어 스위치 소자의 블록도

이는 하나의 경로 제어 스위치 소자가 처리하는 데이터 용량은 west, east, tributary 방향으로 각각 1.25Gb/s 용량으로 입·출력되지만 칩 내에서 라우팅되는 총 신호의 용량은 7.2Gb/s가 된다. 본 논문에서 설계한 경로 제어 스위치 소자의 구조는 그림5에서와 같이 교차 스위치, 위상 정렬기, west-east 및 add-drop 제어부 및 마이크로프로세서 접속부로 구성되어 선형 전송망뿐만 아니라 단방향 경로 스위칭의 자기복구동작을 가능하게 한다.

1. 24 x 24 교차 스위치

중속부로부터 입력되는 add 데이터들과 중속부로 출력되는 drop 데이터들은 각각 24 채널의 AU-3 신호들로서 DS-3 동축케이블에 의해서 최종적으로 연결되어 전송망으로 add-drop 되는 부분이므로 입·출력되는 신호들의 흐름이 nonblocking 구조로 설계되어야 전송시스템이 가변성을 가질 수 있다. non-blocking 스위치 구조에 대해서는 많은 연구가 이루어져 왔고 가장 기본적인 구조가 3단 T(time)-S(space)-T(time) 연결 구조이다. 즉 입력 및 출력단 노드는 TSI(time slot interchange) 구조이고 중간단 노드는 TMS(time multiplexed switch) 구조이다. 본 논문에서는 24 x 24 nonblocking 구조의 AU-3 교차 스위치를 설계하기 위해서 24개의 24:1 MUX를 사용하여 1단 구조로 설계하였다. 각 해당 채널신호의 선택은 시스템 제어부의 설정 데이터에 의해 자유롭게 선택된다. 그림6은 설계된 24x24 교차 스위치의 상세 회로도를 보여준다.

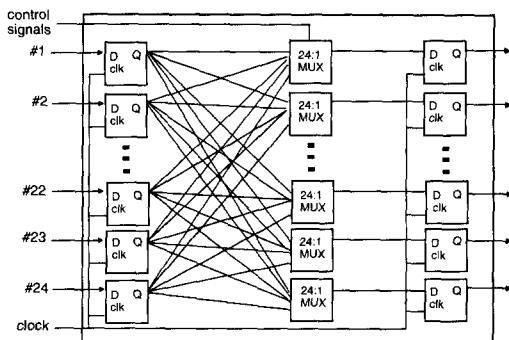


그림 6. 24x24 교차 스위치

2. 위상 정렬기<sup>(6)</sup>

중속부로부터 전송망으로 add되는 24 채널의 AU-3 신호들은 비록 중속부에서 동일한 클럭(ackl)과 프레임 동기 신호(afs)에 의해 처리된다 하더라도 각 채널들이 전송 케이블로 접속되기 때문에 케이블 길이의 차이와 인쇄회로기판상의 데이터 버퍼의 전파지연시간의 차이 등으로 인해 클럭과 데이터 경로 상에 skew가 존재한다. 이것은 각 채널들의 데이터 프레임 위상이 서로 다른 상태로 경로 제어 스위치 소자에 입력됨을 의미한다. 따라서 이들 신호들을 교차 스위치 블록에서 처리하기 전에 그 데이터 프레임 위상들을 일치시켜야 한다. 그림7은 이러한 프레임 위상 정렬기의 기능을 보여준다. 전송케이블을 통해 입력되는 중속신호들의 데이터 프레임 위상을 기준 프레임 동기신호(rfs)와 기준 동기클럭(rclk)에 의해서 프레임 동기 시켜 출력시킨다.

널들이 전송 케이블로 접속되기 때문에 케이블 길이의 차이와 인쇄회로기판상의 데이터 버퍼의 전파지연시간의 차이 등으로 인해 클럭과 데이터 경로 상에 skew가 존재한다. 이것은 각 채널들의 데이터 프레임 위상이 서로 다른 상태로 경로 제어 스위치 소자에 입력됨을 의미한다. 따라서 이들 신호들을 교차 스위치 블록에서 처리하기 전에 그 데이터 프레임 위상들을 일치시켜야 한다. 그림7은 이러한 프레임 위상 정렬기의 기능을 보여준다. 전송케이블을 통해 입력되는 중속신호들의 데이터 프레임 위상을 기준 프레임 동기신호(rfs)와 기준 동기클럭(rclk)에 의해서 프레임 동기 시켜 출력시킨다.

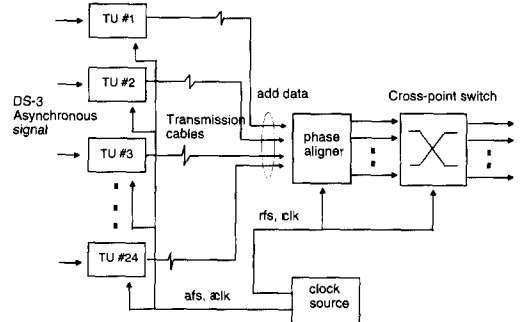


그림 7. 프레임 위상 정렬기의 기능도

그림8은 프레임 위상 정렬기의 타이밍도이다. 중속부로부터 입력되는 add 데이터들은 그림에서와 같이 기준 프레임 동기신호에 비해서 그 데이터 프레임 위상이 빠르거나 늦게 입력될 수 있다.

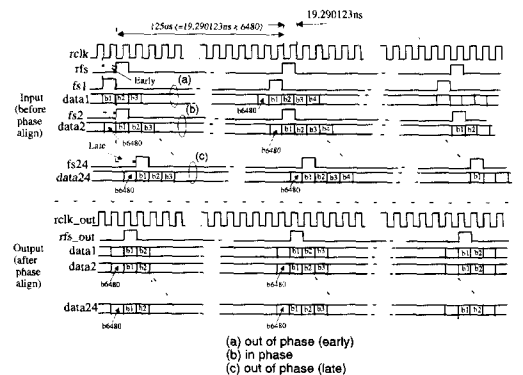


그림 8. 프레임 위상 정렬기의 타이밍도

혹은 프레임 위상이 일치하여 입력될 수 있다. 하지만 어느 경우이든지 프레임 위상 정렬기의 프레임

위상 정렬 범위 내에 입력되는 데이터들은 그림과 같이 프레임 위상 정렬된 후 출력된다. 프레임 위상 정렬기의 구조는 먼저 1:6 직·병렬 변환을 수행하는 역다중화부와 다시 6:1 병·직렬 변환을 수행하여 동기 출력시키는 다중화부로 구성된다. 설계된 프레임 위상 정렬기의 frame phase margin은 -2/+3 bit time을 갖는다. 이것은 종속부로부터 경로 제어 스위치 소자로 입력되는 24채널의 AU-3 데이터들의 프레임 위상이 기준 프레임 위상보다 2-bit time (=38.4ns)만큼 빠르거나 3-bit time(=57.6ns)만큼 늦을 경우도 프레임 위상 정렬됨을 의미한다.

### 3. Add-Drop 및 West-East 제어부

24 채널의 AU-3 데이터가 각각 west, east 및 add, drop 신호의 형태로 각각 경로 제어 스위치 소자에 입·출력된다. 이들 입·출력되는 채널 데이터들의 경로들은 전송시스템이 전송망에 적용되는 구조에 따라서 시스템의 configuration data에 의해 물리적으로 라우팅 된다. 즉 전송시스템의 설정 모드가 선형 전송망 모드이거나 단방향 경로 스위칭 링 모드에 따라서 내부 채널 신호들의 연결이 달라지게 된다. 내부 신호들의 경로는 주로 멀티플렉서와 플립플롭들로 구성되는 회로에 의해 연결된다. 이들 내부 채널 신호들의 경로 제어 동작은 시스템 제어부인 마이크로 프로세서의 인터페이스에 의해 수행된다. 즉, 시스템 제어부의 8-bit 설정 데이터가 어드레스신호와 칩선택신호, I/O 쓰기신호에 의해 여러 번에 걸쳐 선택제어신호의 형태로 레지스터에 저장된 후 마스터 신호에 의해 일시에 해당 채널들의 경로를 결정하게 된다. 하나의 마스터 신호의 활성화에 의한 내부 신호들의 경로설정작업은 신호들의 경로변경이 ITU 권고안에 따라서 50ms이내에 수행되어야 하기 때문이다. 따라서 임의의 광선로 절단과 같은 장애가 발생할 때 자기복구동작은 내부 신호들의 흐름이 그림5에서와 같이 물리적으로 모든 가능한 경로로 연결되어 있기 때문에 가능하다.

### 4. 마이크로프로세서 접속부

마이크로 프로세서 접속부는 전송시스템이 전송망에의 적용 구조에 따라 configuration data를 쓰고, 읽는 기능을 수행한다. 이를 위해서 마이크로 프로세서 접속부는 어드레스 디코더, 데이터 레지스터들로 구성된다. 전송선로 상에 장애가 발생했을 때 해당 신호들이 복구될 수 있도록 add, drop, pass through, loopback등으로 경로 제어 스위치 소자의 설정 상태

를 변경시켜 신호들의 새로운 경로를 제어한다. 이와 같은 신호들의 자기복구동작은 경로 제어 스위치 소자의 데이터 레지스터에 새로운 설정 데이터를 외부 데이터 버스를 통해 써넣음으로써 이루어진다. 데이터 레지스터의 재 설정 과정은 각각 add-drop 및 west-east 제어부의 어드레스-데이터 맵과 add와 drop의 교차 스위치 블록의 어드레스-데이터 맵에 의해 이루어진다.

## IV. 시뮬레이션 및 시험결과

경로 제어 스위치 소자는 COMPASS 툴을 사용하여 설계되었고 LG 반도체에서 0.8μm CMOS gate array를 사용하여 제작되었다. 시뮬레이션을 위한 데스트 벡터 프로그램은 toggle-rate를 100%로 하기 위해 신호의 흐름이 소자 내부의 모든 가능한 경로로 연결되는 경우를 고려하여 작성되었다. 이는 west와 east 링크는 all-add 모드, all-pass through 모드, add-path through 모드, path through-add 모드, remote loopback 모드로, 종속부는 all-west drop 모드, all-east drop 모드, west-east drop 모드, east-west drop 모드, local loopback 모드로 신호연결이 되게끔 하였다. 이외에 입력되는 add 신호가 없거나, remote loopback 및 local loopback시 AIS(alarm indication signal) 신호가 해당 채널에 삽입되도록 하였다. 시뮬레이션의 순서는 전송망 모드에 따른 신호들의 경로를 결정하기 위해 add-drop, west-east 제어부를 먼저 설정하고, 교차스위치 블록의 신호경로를 결정 한 후 채널 데이터를 입력 시켰다. 그림9는 경로 제어 스위치 소자의 post-layout 시뮬레이션 결과를 보여준다.

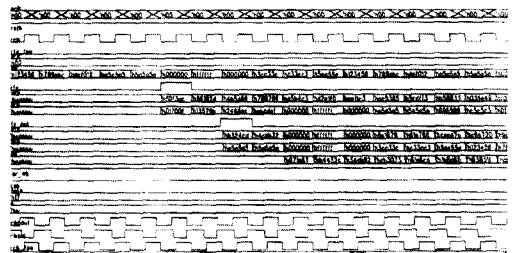


그림 9. 경로 제어 스위치 소자의 레이아웃 후 시뮬레이션 결과

표1은 제작된 경로 제어 스위치 소자의 특성을 나타낸 것이다. 제작된 소자의 성능을 평가하기 위하여 광전송시스템과 Anritsu사의 ME3401A DS-3 송·수

신 계측기를 이용하여 시험장치를 구성하였다.

표 1. 경로 제어 스위치 소자의 특성

Item	Value
Input	3 groups(24chs/group)
Output	3 groups(24chs/group)
Data rate	51.84 Mb/s
Throughput	1.25 Gb/s
Technology	0.8 $\mu$ m CMOS
Gate size	25,000 gates
Package	240 pin QFPF

그림10은 이의 시험 구성도 이다. 그림에서와 같이 DS-3계측기로부터 출력되는 스크램블된 PRBS (pseudo random bit stream) 패턴의 DS-3 신호가 전송시스템의 종속부(TU)에서 AU-3 신호로 변환된 후 경로 제어 스위치 소자에 하나의 입력 데이터 채널로 입력된다. 이후 다중화 과정을 거쳐 STM-16 신호가 생성되고 광 송신 모듈(OTX)에 의해 광 신호로 변환된 후 광케이블로 전송된다. 이 신호는 전송시스템내의 고속 신호 수신 유니트(HSRU)로 다시 입력된 후 광 수신 모듈(ORX)의 광·전변환과 역다중화의 과정을 거쳐 AU-3 신호로 재 변환된 후 종속부를 통해 DS-3 신호로 다시 바뀐다. 이 신호를 DS-3 계측기에 연결하여 채널별로 경로 제어 스위치 소자의 입출력 데이터를 측정 비교하였다. 임의의 특정 채널의 입·출력 데이터를 일정시간동안(72시간) 측정하여 BER(bit error ratio)을 검사한 결과  $10^{-11} \sim 10^{-12}$  정도로 양호한 특성을 얻었다. 따라서 설계된 경로 제어 스위치 소자는 신뢰성 있게 동작함을 알 수 있었다.

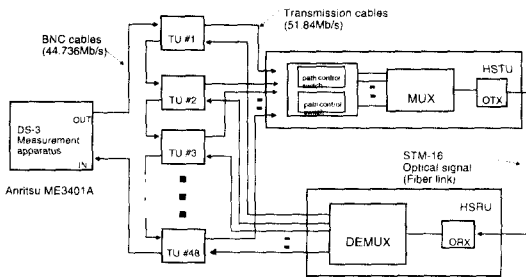


그림 10. 경로 제어 스위치 소자의 시험 구성도

그림11은 광신로 절단과 같은 장애가 발생 했다고 가정하여 경로 제어 스위치 소자의 설정 상태를 변경시킨 후 임의의 특정 채널에서의 입·출력 데이터

를 Tektronix사의 DSA601A digital signal analyzer로 측정된 결과의 일부이다. 이 경우 채널상의 에러가 발생하지 않아 즉시 복구가 가능함을 보여 주었다. 아울러 설계 제작된 경로 제어 스위치 소자는 24 채널의 AU-3(51.84Mb/s)를 처리하므로 신호 throughput은 1.25Gb/s이다. 그런데 STM-16(2.5Gb/s 용량) 신호를 처리하기 위해서는 2개의 스위치 소자가 있어야 한다. 이 경우 2개의 소자로부터 출력되는 모두 48 채널의 AU-3 경로 제어된 데이터들이 이후 고속 송신 유니트에서 다중화될 때, 단지 하나의 마스터 클럭에 의해서 리타이밍 되므로 데이터들간의 skew와 스위치 소자간의 skew도 중요하게 고려되어야 한다. 제작된 하나의 스위치 소자에서 측정된 출력 데이터들간의 skew와 2개의 스위치 소자간 skew는 약 2.0~3.0ns 이하로 측정되어 리타이밍을 위한 마스터 클럭의 비트 주기가 19.2ns임을 감안하면 다수 스위치 소자의 적용에는 큰 문제가 없다. 이는 이론적으로 2개, 4개, 6개, 8개 이상의 동일한 스위치 소자를 병렬 구조로 사용하여 2.5Gb/s, 5.0Gb/s, 7.5Gb/s, 10Gb/s의 스위칭 용량을 갖는 경로 제어 스위치 소자를 구현할 수 있음을 의미한다. 그림12는 제작된 경로 제어 스위치 소자의 사진이다.

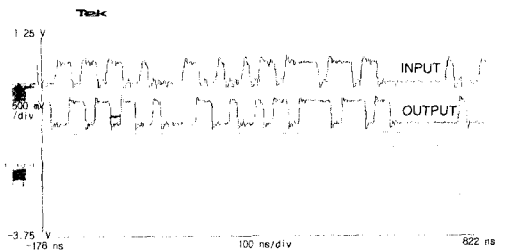


그림 11. 경로 제어 스위치 소자의 측정된 입출력 파형

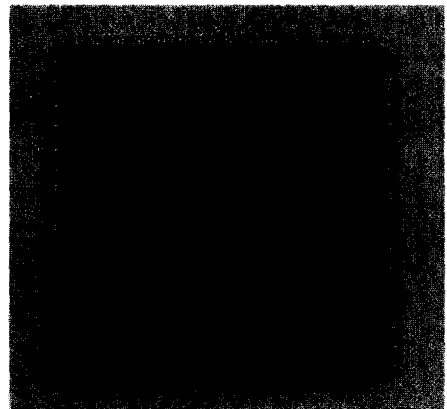


그림 12. 제작된 경로 제어 스위치 소자

## V. 결론

SDH 전송망의 ADM 광전송시스템에 적용되는 경로 제어 스위치 소자를  $0.8\mu\text{m}$  CMOS gate array를 사용하여 설계 및 제작하였다. 이 소자는 ADM 전송시스템이 선형 전송망뿐 아니라 단방향 경로 스위칭 링과 같은 환형 전송망에도 적용될 수 있는 구조로 설계되었다. 이 소자의 적용은 임의의 광선로 상에 장애가 발생 할 때 ADM 전송시스템의 자기복구동작을 가능하게 하여 전송망에서의 데이터 생존율을 높일 수 있다. 설계 제작된 소자의 처리용량은  $1.2\text{Gb/s}$ 이나 2개의 동일한 소자를 병렬구조로 사용함으로써  $2.5\text{Gb/s}$ 의 신호를 처리 할 수 있다.

## 참고 문헌

- [1] "Network Node Interface for the Synchronous Hierarchy," *ITU-Recommendation G.708*, Mar 1993
- [2] "Synchronous Multiplexing Structure," *ITU-T Recommendation G.709*, Mar 1993
- [3] T. H. Wu, *Fiber Network Service Survivability*, Artech house, ch4, 1992
- [4] T. H. Wu et al., "Feasibility Study of a High-speed SONET Self-healing Ring Architecture in Future Interoffice Networks," *IEEE Communications Magazine*, pp. 33-51, Nov 1990
- [5] "Type and Characteristics of SDH Network Protection Architectures," *ITU-T Recommendation G.841*, Nov 1997
- [6] S. H. Lee et al., "Frame Phase Aligner," *U.S. Patent 5,546,401* Aug 1996

이 상 훈(Sang-hoon Lee)

정회원



1984년 2월 : 고려대학교 전기공학  
학과 졸업

1987년 8월 : 고려대학교 전기공  
공학과 석사

1987년 9월 ~ 1991년 1월  
: 삼성전자(주)

1991년 1월 ~ 1995년 3월 : 한국  
전자통신연구원

1995년 3월 ~ 현재 : 한서대학교 전자공학과 조교수

<주관심 분야> 통신시스템, ASIC 설계