

ATM 멀티캐스트 스위치의 성능 향상을 위한 연구

준회원 이 일 영*, 정회원 조 양 현**, 오 영 환***

A Study for Improving Performance of ATM Multicast Switch

Il-young Lee* Associate Member, Yang-hyun Cho**, Young-hwan Oh*** Regular Members

요 약

멀티캐스트 트래픽의 특징은 한 노드에서 특정 다수노드로 셀을 전송하는 방법으로써 ATM 스위치의 중요한 기능으로 부각되고 있다. 그러나 기존에 나와 있는 point-to-point 스위치로 멀티캐스트 기능을 수행할 경우 멀티캐스트 셀 뿐만 아니라 유니캐스트 셀도 복사망을 통과하게 되어 복사망에서 추가적인 부하가 발생된다. 이 추가적인 부하로 인하여 멀티캐스트 셀이 다른 셀과의 충돌로 셀이 손실되는 데드락 현상이 발생하여 전체 스위치 성능을 현저히 감소시킨다. 또한 입력 저장 스위치(Input queued switch)구조는 전체 스위치의 성능을 저하시키는 HOL 블로킹(blocking)의 단점을 가지고있다. 제안한 스위치 구조는 HOL 블로킹 및 데드락 현상을 줄이기 위하여 공유 메모리 스위치를 이용하였다. 스위치의 복잡도와 셀 처리 시간을 줄이고 처리율(throughput)의 향상을 위해 셀 형태에 따라 분리해서 경로 배정하는 방식과 제어부에서 최대 2N개의 셀들을 동시에 처리하는 스케줄링 기법을 이용하였다. 또한 특정 포트에 트래픽이 밀집되었을 때 발생하는 손실률을 줄이기 위하여 출력 메모리를 이용하였으며 메모리 효율성 향상을 위하여 입력 셀의 트래픽 형태에 따라 셀들을 분리 저장하는 방식과 출력 메모리에서 일정 시간이 지난 셀을 폐기하는 방식을 이용하였다. 제안한 스위치의 분석을 위하여 마코프(Markov) 체인을 이용한 성능 해석을 실시하였고 버스트(burst) 트래픽 조건에서의 모의 실험을 통하여 제안한 방식과 기존의 방식간의 성능을 비교, 분석하였다.

ABSTRACT

A multicast traffic's feature is the function of providing a point to multipoints cell transmission, which is emerging from the main function of ATM switch. However, when a conventional point-to-point switch executes a multicast function, the excess load is occurred because unicast cell as well as multicast cell passes the copy network. Additionally, due to the excess load, multicast cells collide with other cells in a switch. Thus a deadlock that losses cells raises, extremely diminishes the performance of switch. An input queued switch also has a defect of the HOL (Head of Line) blocking that less lessens the performance of the switch.

In the proposed multicast switch, we use shared memory switch to reduce HOL blocking and deadlock. In order to decrease switch's complexity and cell's processing time, to improve a throughput, we utilize the method that routes a cell on a separated paths by traffic pattern and the scheduling algorithm that processes a maximum 2N cell at once in the control part. Besides, when cells is congested at an output port, a cell loss probability increases. Thus we use the Output Memory (OM) to reduce the cell loss probability. And we make use of the method that stores the assigned memory (UM, MM) with a cell by a traffic pattern and clears the cell of the Output memory after a fixed saving time to improve the memory utilization rate. The performance of the proposed switch is executed and compared with the conventional policy under the burst traffic condition through both the analysis based on Markov chain and simulation.

I. 서론

ATM은 B-ISDN의 핵심 전송 기법으로 ATM의

* 광운대학교 전자통신공학과
논문번호 : 99306-0809,

** 삼육의명대학 전산정보과
접수일자 : 1999년 8월 9일

*** 광운대학교 전자통신공학과

* 이 논문은 1999학년도 광운대학교 교내학술연구비에 의하여 이루어졌음.

핵심 기술 중에 하나가 ATM 스위치이다. 또한 multicast는 화상 회의나 분산 데이터 처리 등과 같이 한 노드에서 특정 다수 노드로 데이터를 보내는 기술로서 현재 ATM 스위치의 중요한 기능 중 하나로 부각되고 있다^[1,2,3]. 멀티캐스트 스위치의 주요 기능은 들어오는 셀을 유니캐스트 셀과 멀티캐스트 셀로 구별해서 멀티캐스트 셀일 경우 routing을 원하는 출력포트 수만큼 셀을 복사한 후 이 셀들을 적절한 출력단으로 경로 배정하는 기능이다^[4,6,7,8]. 그러나 기존에 나와 있는 point-to point 스위치로 멀티캐스트 기능을 수행할 경우 멀티캐스트 셀뿐만 아니라 유니캐스트 셀도 복사망을 통과하게 되어 복사망에서 추가적인 부하가 발생하게 된다. 이 추가적인 부하로 인하여 멀티캐스트 셀이 다른 셀과의 충돌로 셀이 손실되는 데드락 현상이 발생하여 전체 스위치 성능을 현저히 감소시킨다^[5]. 또한 입력 저장 스위치 (Input queued switch) 구조에서는 HOL 블러킹(blocking) 문제가 발생하여 전체 스위치 성능의 저하를 초래하게 된다^[11]. 따라서 이러한 문제점을 해결하기 위해 다수의 멀티캐스트 스위치들이 제안되었다^[13,15,21]. 멀티캐스트 스위치들은 셀 복사 및 라우팅 방식에 따라 크게 공간 분할형, 공유 매체형 및 공유 메모리형 스위치로 구분된다. 공간 분할형인 경우 부가적인 하드웨어와 셀의 내부 충돌로 인하여 수율이 감소되는 단점이 있다. 그러나 공유 매체형 및 공유 메모리형에서는 모든 입력 트래픽들이 입력 라인 속도의 N배인 단일 대역 스트림으로 멀티플렉싱 되어야 하며, 트래픽의 중앙 집중 제어가 요구되는 단점이 있으나 최근 메모리 액세스 속도의 증가로 이러한 문제점을 극복하고 있다. 따라서 본 논문에서는 HOL 블러킹 및 데드락 현상을 줄이기 위하여 공유 메모리 스위치형을 이용하였고 스위치 제어의 중앙 집중으로 인한 복잡도를 줄이기 위하여 셀의 입력 부분과 출력 부분을 나누어서 셀을 처리함으로써 복잡도를 줄였다. 또한 제안한 스위치 구조와 기존의 멀티캐스트 스위치의 성능을 비교 평가하였다.

II. 제안한 스위치의 구조 및 동작

1. 스위치의 구조

그림 1은 제안한 스위치이다. 스위치 구조는 세 부분으로 나뉜다.

- i) 셀 분리, 저장부
- ii) 출력부

iii) 스위치 제어부

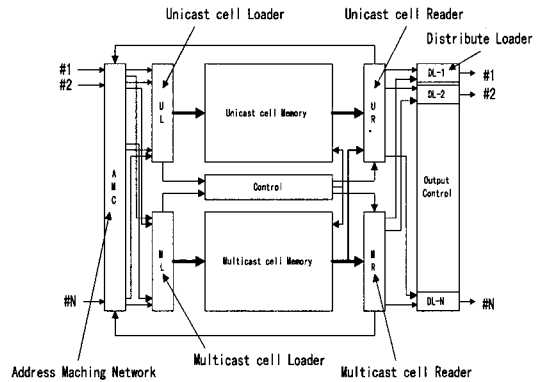


그림 1. 제안한 멀티캐스트 ATM 스위치 구조

1.1 셀 분리, 저장부의 구성과 역할

1) 셀 분리부(AMC)

셀의 형태에 따라 유니캐스트 셀과 멀티캐스트 셀로 분리하고 메모리의 빈 주소를 셀에 붙인 후 셀 저장부로 이 셀들을 입력시킨다. 또한 각 메모리 (UM, MM)의 빈 주소를 관리한다.

2) 셀 저장부

(1) UL(Unicast cell Loader): 셀을 유니캐스트 메모리에 저장하고 이 저장한 셀의 메모리 저장 주소와 셀 헤더를 제어부에 알려준다.

(2) ML(Multicast cell Loader): 셀을 멀티캐스트 메모리에 저장하고 저장한 셀의 메모리 저장 주소와 셀 헤더를 제어부에 알려준다.

(3) UM(Unicast cell Memory): 유니캐스트 셀을 저장한다.

(4) MM(Multicast cell Memory): 멀티캐스트 셀을 저장

1.2 출력부의 구성과 역할

1) 메모리 출력부: 역 다중화 및 주소 필터링을 하여 셀을 원하는 출력 제어부(OC) 입력단으로 출력한다.

(1) UR(Unicast memory Reader): UM에서 입력되는 셀들을 제어부의 정보(셀 헤더 정보)에 따라 주소 필터링을 하여 원하는 출력 제어부(OC) 입력단으로 출력한다.

(2) MR(Multicast memory Reader): MM에서 입력되는 셀을 제어부의 정보(셀 헤더 정보)에 따라

주소 필터링을 하여 원하는 복수의 출력 제어부 입력단으로 출력한다.

2)출력 제어부(OC)

(1) 분할 부하기(Distribute Loader):출력 버퍼가 가득 찬 경우, 이 포트에 들어오는 셀들을 출력단 메모리(OM)에 저장시키기 위해 자기 포트 번호를 붙여 출력한다. 동시에 출력단 제어기(OCU)에 과잉 밀집(출력 버퍼가 찼다는) 되었다는 것을 알려준다.

(2) 출력단 제어기 (Output Control Unit) ; 과잉 밀집 된 포트를 조사하고 주소 테이블(Address Table: AT)의 관리 및 밀집이 해소 된 포트의 셀을 OM에서 출력한다. 또한 일정 시간이 지난 셀의 주소를 주소 테이블에서 지운다.

(3) 주소 테이블(Address Table:AT) : 출력단 메모리의 빈 주소 관리 및 저장 셀들의 주소를 관리하고 출력단 제어기(OCU)의 정보에 따라 출력단 메모리에서 셀을 출력한다.

(4) 저장기(Loader:L) : 주소 테이블의 정보에 따라 셀을 출력단 메모리에 저장한다.

(5) 출력단 메모리(Output Memory:OM) : 셀을 저장한다.

(6) Timer : 밀집 된 출력단의 경과 시간을 계산하여 일정시간이 지나면 출력단 제어기에 알린다.

큐의 정보(각 셀들의 헤더값)를 UR과 MR에 출력한다.

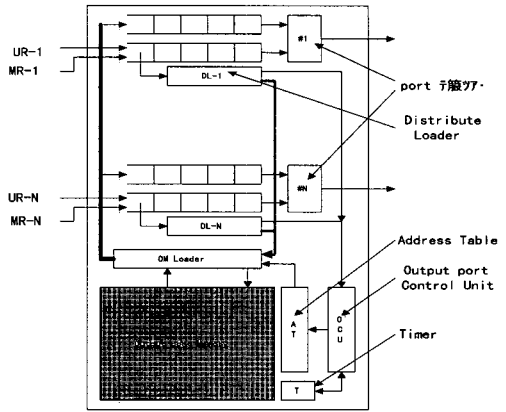


그림 2. 출력 제어부의 구조

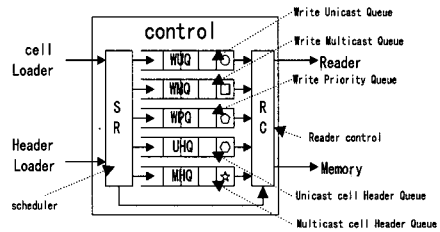


그림 3. 제어부의 구조

2.3 스위치 제어부(Control)의 구성과 역할

각 메모리에 저장 된 셀의 메모리 저장 주소를 관리하며 각 셀의 특성에 따라 출력 순서를 제어한다.

제어부의 각 구성과 역할은 다음과 같다.

(1) WUQ(Write Unicast Queue) : 메모리에 저장 된 유니캐스트 셀의 주소를 저장한다.

(2) WMQ(Write Multicast Queue) : 메모리에 저장 된 멀티캐스트 셀의 주소를 저장한다.

(3) UHQ(Unicast cell Header Queue) : 유니캐스트 셀의 원하는 출력단을 저장한다.

(4) MHQ(Multicast cell Header Queue) : 멀티캐스트 셀의 원하는 출력단(복수)을 저장한다.

(5) WPQ(Write Priority Queue) : 스케줄링에 의해 처리되지 못한 멀티 캐스트 셀을 다음 셀 타임에서 우선 처리하기 위해 주소셀을 저장한다.

(6) RC(Reading Control) : 스케줄러의 정보에 따라 각 저장 큐에 저장 된 메모리 주소 셀들을 각 메모리에서 셀들을 출력하여 UR과 MR에 전달하고 읽은 메모리 셀들을 AMC에 저장한다. 또한 각 헤더

표 1. 큐에 저장되는 주소 셀

	...	t-1	t	...
UC ¹	...	N/2	N/2	
MC ²	...	9	5	
PC ³	...	1	0	

UC¹; Unicast Cell, MC²: Multicast Cell, PC³; Priority Cell

표 2. RC의 처리 테이블

	...	t-1	t	...
WUQ	...	N/2	N/2	...
WMQ	...	9	3	...
WPQ	...	0	2	...

(7) 스케줄러(SR) : 메모리에 저장되는 셀들의 트

래픽 패턴에 따라 각 주소 셀을 분리하고 각 셀의 출력 순서를 결정해서 해당 큐에 저장, 출력한다. 예를 들어 임의의 시간 t 클락에서 복사 요구 수가 m 개인 우선 순위 셀이 1개, 도착하는 유니캐스트 셀이 $N/2$ 개, 멀티캐스트 셀이 5개 들어 왔을 때 표 1과 같이 각 큐에 주소 셀들을 저장한다. 출력 과정은 도착한 유니캐스트 셀의 수와 도착한 멀티캐스트 셀과 우선 순위 셀의 복사 요구수의 합이 $2N$ 개 이하이면 이 셀들을 동시에 처리하기 위해 표 2와 같이 쓴다. 만일 그 합이 $2N$ 개 이상이면 도착한 멀티캐스트 셀의 나머지 셀은 다음($t+1$)클락에서 우선 처리하기 위해 WPQ에 저장한다.

2. 스위치의 동작

셀이 분리부(AMC)에 입력되면 셀 형태에 의해 멀티캐스트 셀과 유니캐스트 셀로 분리되어 각 저장기(UL, ML)에 입력된다. 각 저장기에 입력된 셀들은 다중화되어 각 메모리(UM, MM)에 저장하고 메모리에 저장한 셀의 주소를 제어부에 알려준다. 이때 UL은 셀의 목적지 출력단을 조사하고 ML은 셀의 복사 요구 수를 조사해서 제어부에 알려준다. 이 정보에 의해서 제어부의 스케줄러는 각 셀의 출력 순서를 결정하여 메모리에서 셀을 각 출력부(UR, MR)에 출력하게 된다. 이 출력 과정에서 유니캐스트 메모리 출력부(UR)는 최대 N 개의 셀을 해당 출력 제어부(OC)의 입력단으로 입력시킨다. 또한 멀티캐스트 메모리 출력부(MR)는 셀이 원하는 복사 요구 수만큼 복사 한 후 해당 출력 제어부의 입력단으로 셀이 입력한다. 이 셀들을 받은 출력 제어부(OC)는 출력을 위해서 출력 제어부 내부에 있는 출력 버퍼에 셀을 저장시킨다. 만일 출력 버퍼가 가득 차게 되면 분할 부하기(DL)가 출력 버퍼가 빌 때까지 셀들을 해당 포트 번호를 붙여서 출력 제어부 내부에 있는 출력단 메모리(OM)에 저장한다. 또한 OC 내부의 출력단 제어부(OCU)는 이 출력단의 출력 버퍼를 조사하다가 출력 버퍼가 비워지면 다시 출력단 메모리에 저장된 셀을 이 출력단으로 출력하게 된다. 또한 일정 시간 동안 계속해서 출력 버퍼가 비워지지 않을 경우 출력단 메모리에 저장된 셀들을 전체 스위치 성능을 위해 폐기시킨다.

3. 셀의 구성 및 역할

스위치 내에서 사용되는 셀의 구조는 그림 4와 같다. 일반적으로 사용하는 ATM 53 바이트 셀과

밀집된 포트로 라우팅된 셀이라는 것을 표시하기 위하여 Congestion Port(CP) 필드를 이용한다. 출력단의 출력 버퍼가 비워지면 OCU는 CP 필드를 보고 OM에서 셀들을 해당 포트로 셀을 출력하게 된다. 또한 각 메모리에 셀들을 저장하기 위하여 Memory Field(MF)를 이용한다.

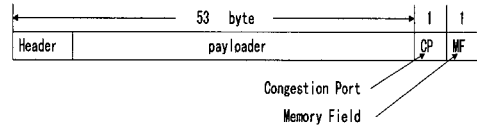


그림 4. 셀의 구조

4. 스위치의 성능 분석

제한한 스위치의 성능을 평가하기 위한 파라미터는 셀 손실률, 처리율(throughput), 셀 처리 시간, 스위치의 복잡도와 전체 스위치의 메모리 크기를 사용한다. 스위치의 셀 손실은 메모리에서의 손실과 과잉 밀집에 대한 손실로 나뉜다. 스위치 성능 분석을 위해 버스트(burst)한 특징을 가지는 on-off 트래픽 패턴의 경우를 고려하였다.

4.1 분석 모델

스위치의 입력포트에서의 셀 도착은 서로 독립적이며 베르누이(Bernoulli)프로세스를 따른다. 전체 입력포트 N 에 셀이 존재하는 비율을 입력 부하라 한다. 입력포트로 들어오는 모든 셀은 고정 ATM 셀이라 가정한다. 목적지 주소에 대한 확률 분포는 균일 분포를 따른다.

성능 분석을 하기 위해서 아래와 같이 파라미터를 정의한다.

- active : 입력포트에 셀 도착이 있는 상태.
- idle : 입력포트에 셀 도착이 없는 상태.
- p : active 상태에 머무를 확률.
- r : idle 상태에 머무를 확률.
- L : 제공된 부하(offered load)
- λ_u : 유니캐스트 셀의 도착률
- λ_m : 멀티캐스트 셀의 도착률

1) 입력 부하(load) L_{off} :

(1) i 주기 동안 셀이 도착 할 확률($p(i)$):

$$P(i) = p(i)^i (1-p)^{1-i}, i \leq N \quad (1)$$

이고 평균 burst 길이 ($E_B(i)$):

$$E(i)_B = \sum_{i=1}^{\infty} i \cdot P(i) = 1/p \quad (2)$$

(2) j주기 동안 셀 도착이 없을 확률(R(j)):

$$R(j) = r^j (1-r)^{j-1}, j \geq 0 \quad (3)$$

이고 평균 idle 주기 (E_i(j)):

$$E(j)_i = \sum_{j=1}^{\infty} j \cdot R(j) = (1-r)/r \quad (4)$$

제공된 전체 입력 부하(load) L_{off}:

$$L_{off} = \frac{E(i)_B}{E(i)_B + E(j)_B} = \frac{r}{r + p - r \cdot p} \quad (5)$$

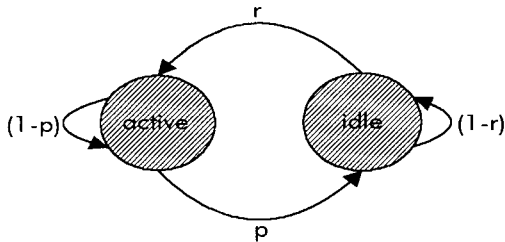


그림 5. 두 상태 On-Off 모델

2) 혼합된 traffic에서의 effective offered load L_{eff};

분석을 위해 각 파라미터를 다음과 같이 정의 한다.

- X : 멀티캐스트 셀의 복사 요구 수.
- f : 버스트(burst) 트래픽 부분에서 멀티캐스트 셀이 있을 확률.
- E(X) ; 멀티캐스트 패킷 당 평균 복사 수
- p(X=x) : 멀티캐스트 셀이 x개일 확률.

따라서 L_{eff}는 다음과 같다.

$$L_{eff} = [(1-f) \cdot L_{off}] + [f \cdot L_{off} \cdot E(X)] \quad (7)$$

여기서 임의의 시간동안 들어오는 멀티캐스트 셀의 수(p(X=x)) :

$$p_r(X = k) = g(k) = \frac{(1-q)q^{k-1}}{1-q^N}, \quad 1 \leq k \leq N \quad (8)$$

평균 복사 요구 수(E(X))를 구하면

$$E(X) = \frac{1}{q} - \frac{N \cdot q^N}{1-q^N} \quad (9)$$

전체 effective offered load L_{eff}는

$$L_{eff} = \left[(1-f) \cdot \frac{r}{r+p-r \cdot p} \right] + \left[(1-f) \cdot \frac{r}{r+p-r \cdot p} \right] \cdot \left[\frac{1}{q} - \frac{N \cdot q^N}{1-q^N} \right] \quad (10)$$

여기서

$$\lambda_u = (1-f) \cdot \left[\frac{r}{r+p-r \cdot p} \right]$$

$$\lambda_m = f \cdot \left[\frac{r}{r+p-r \cdot p} \right]$$

3) 입력단에서의 도착 셀의 수(N_i)

(1) 유니캐스트 셀의 수(N_u).

$$N_u = p_r(K=i) = \binom{N}{i} \left(\frac{\lambda_u}{N} \right)^i \left(1 - \frac{\lambda_u}{N} \right)^{N-i} \quad (11)$$

(2) 멀티캐스트 셀의 수(N_m).

$$N_m = p_r(K=k) = \binom{N}{k} \left(\frac{\lambda_m}{N} \right)^k \left(1 - \frac{\lambda_m}{N} \right)^{N-k} \quad (12)$$

여기서

$$i+k=N$$

4) Throughput : S

위의 정의에 따라 각 셀은 스케줄러의 동작에 의해 출력되고 또한 다른 경로를 통해서 라우팅 하므로 각 셀을 OC단으로 전송 할 때 OC단에서의 도착률은 아래와 같다.

(1) 유니캐스트 셀의 경우

스케줄러에 의해 출력 된 셀이 최대 N개씩 처리되므로 OC단의 도착률(λ_u'):

$$\lambda'_u = \lambda_u \quad (13)$$

(2) 멀티캐스트 셀의 경우

스케줄러에 의해 출력 된 셀이 AF를 통하여 평균 복사 요구 수만큼 복사된다.

$$\lambda'_m = \lambda_m \cdot E(X) \quad (14)$$

또한 OC로 들어오는 셀 도착률을 마코비안으로 가정하여, M/D/1으로 모델링 할 수 있다. 분석을 간단히 하기 위하여 파라미터를 아래와 같이 정의 한다.

- 셀 도착률 ; $\lambda_o = \lambda'_m + \lambda'_u$
- 서비스시간 ; s
- $p_k(t)$; 임의의 시간 t에서 셀 수가 k개일 확률

I) 정상 상태 확률 P_k 는

$$\begin{aligned} p_k(t) &= p_0(t) \frac{(s\lambda_o)^k}{k!} \cdot e^{-s\lambda_o} + p_1(t) \frac{(s\lambda_o)^k}{k!} \cdot e^{-s\lambda_o} \\ &\quad + \sum_{i=2}^{m+1} p_i(t) \frac{(s\lambda_o)^{k-i+1}}{(k-i+1)!} \cdot e^{-s\lambda_o} \\ &= a_k(p_0 + p_1) + \sum_{i=2}^{m+1} p_i(t) \cdot a_{k-i+1} \end{aligned} \quad (15)$$

여기서

$$a_k = \frac{(s\lambda_o)^k}{k!} \cdot e^{-s\lambda_o} \quad (16)$$

ii) 출력단에서의 평균 셀 수(N_{oc}):

$$\begin{aligned} p(z) &= \sum_{i=0}^{\infty} p_i \cdot z^i \quad (|z| \leq 1), \\ &= \frac{p_0(1-z)}{1 - \frac{z}{A(z)}} \cdot \begin{cases} p_0 = 1 - s\lambda_o = 1 - \rho \\ A(z) = \sum_{i=0}^{\infty} a_i \cdot z^i = e^{-s\lambda_o(1-z)} \end{cases} \\ &= \frac{(1-\rho) \cdot (1-z)}{1-z \cdot e^{\rho(1-z)}} \end{aligned} \quad (17)$$

(17) 식을 z에 대해서 미분한 후 z=1을 대입하면

$$\left. \frac{dp(z)}{dz} \right|_{z=1} = \rho + \frac{\rho^2}{2(1-\rho)} = N_{oc} \quad (18)$$

iii) 버퍼에서의 평균 셀 수(N_{Oq}):

$$N_{Oq} = N_{oc} - \rho = \frac{\rho^2}{2(1-\rho)}, \quad (\rho: \text{utilization}) \quad (19)$$

iv) 임의의 하나의 셀이 OC를 빠져나갈 때까지 기다리는 시간(W):

$$W = \frac{N_{oc}}{\lambda_o} \quad (20)$$

임의의 출력단의 버퍼가 가득 찼을 때 그 출력단으로 셀이 들어오는 경우 손실(P_{ol})이 발생하게 된다. 이 손실을 줄이기 위해 규정 버퍼 크기(x) 이상 들어오는 셀은 OM 저장시키게 된다. 이 과정에서 식 (21)과 같이 재순환 트래픽이 발생된다.

$$P_{ol} = e^{-\frac{1}{L}x} = e^{-\frac{\rho(2-\rho)}{2(1-\rho)}x}, \quad x = \text{버퍼크기} \quad (21)$$

i) 재순환 확률(P_r):

$$P_r = \frac{i}{N} \cdot \lambda_o, \quad (i = N \cdot P_{ol}) \quad (22)$$

ii) 재순환 셀의 수($p[K=k]$):

$$\begin{aligned} p[K=k] &= \lim_{N \rightarrow \infty} \binom{N}{k} \cdot P_r^k \cdot (1-P_r)^{N-k} \\ &= \frac{(\lambda_o \cdot i)^k}{k!} \cdot e^{-\lambda_o \cdot i} \end{aligned} \quad (23)$$

iii) 평균 재순환 셀의 수($E(X)_r$):

$$\begin{aligned} E(X)_r &= \sum_{k=0}^{\infty} k \cdot \left[\frac{(\lambda_o \cdot i)^k}{k!} \cdot e^{-\lambda_o \cdot i} \right] \\ &= e^{-\lambda_o \cdot i} \cdot (\lambda_o \cdot i) \cdot \sum_{k=0}^{\infty} \left[\frac{(\lambda_o \cdot i)^{k-1}}{(k-1)!} \right] \\ &= e^{-\lambda_o \cdot i} \cdot (\lambda_o \cdot i) \cdot e^{\lambda_o \cdot i} = \lambda_o \cdot i \end{aligned} \quad (24)$$

5) 메모리 크기

(1) 유니캐스트 메모리(UM) 크기(S_u):

$$S_u = |N - N_u|, \quad 0 \leq S_u \leq N \quad (25)$$

(2) 멀티캐스트 메모리(MM) 크기(S_m):

$$S_M = |N_M - \lambda_m \cdot E(X)| \quad (26)$$

(3) 출력단 메모리 (OM) 크기(S_{OM}):

$$S_{OM} = \lambda_0 \cdot i \quad (27)$$

주어진 식에 의해 전체 메모리 크기(S):

$$S = S_U + S_M + S_{OM}$$

$$= |N - N_N| + |N_M - \lambda_m \cdot E(X)| + \lambda_0 \cdot i \quad (28)$$

6) 손실률 :

(1) UM과 MM의 저장 공간이 없을 때 셀이 들어 올 경우; 정해진 손실률 이하까지 보장

$$L_{SM} \ll 10^{-9} \quad (29)$$

(2) 정해진 시간 이상 출력 버퍼가 비워지지 않을 경우; 정해진 손실률 이하까지 보장

$$L_{SOM} < 10^{-6} \quad (30)$$

7) 스위치의 복잡도

셀 처리를 위한 각 스위치의 소자(SE) 수와 메모리의 크기를 동시에 고려한다. 여기서 스위치 소자는 셀 복사와 경로 배정(routing)을 위해 필요한 것이며 메모리는 셀 처리 시 필요한 저장 공간과 셀 손실을 줄이기 위해 저장되는 부가적인 메모리 크기를 합한 값이다.

4.2 결과 및 비교

1) 결과

성능 분석을 하기 위하여 각 파라미터를 아래와 같이 정의한다.

$$N=16, i=2, f=1/2, r=0.2, p=0.8, E(X)=1/2,$$

$$L(\text{출력 버퍼 크기})=4$$

위 파라미터 값을 이용하여 지연(delay), 처리율(throughput), 손실률, 스위치의 복잡도에 대해 Matlab을 이용하여 수치 해석적으로 성능을 분석하였다. 여기서, .PS:제한된 스위치 구조, .SM:공간 분할 방식과 공유 메모리 방식을 이용한 스위치 구조^[4], .SWSR:Single Write Single Read scheme with output mask^[8], .LS:Large scalable ATM multicast Switch^[21]

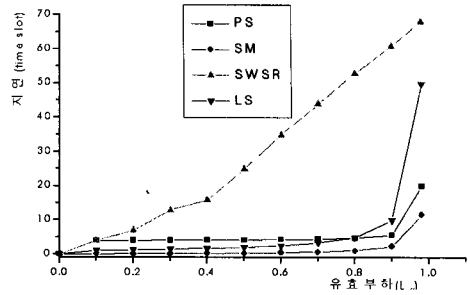


그림 6. 유효 부하 대 지연

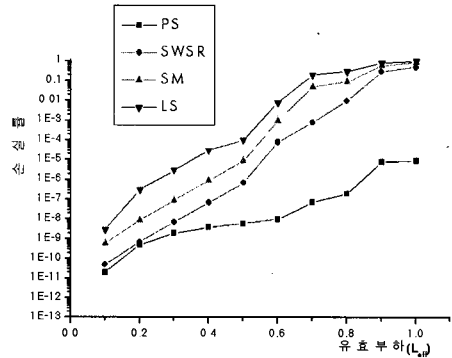


그림 7. 유효 부하 대 손실률

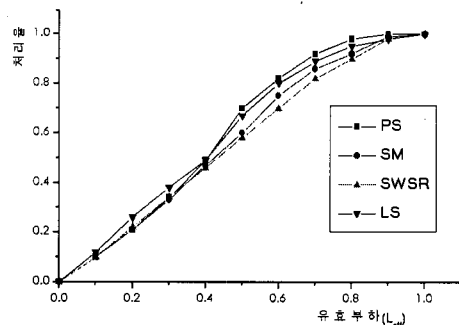


그림 8. 유효 부하 대 수율

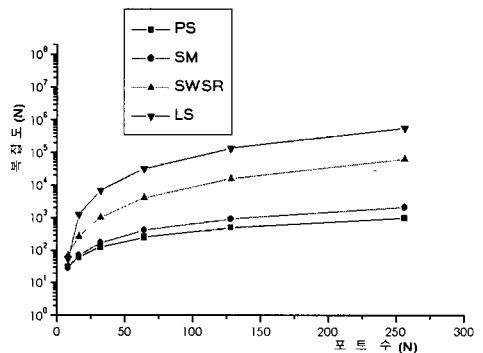


그림 9. 하드웨어의 복잡도

2) 비교

(1) 지연(delay) : 그림 6은 각 스위치 구조의 유효 부하 대 셀 처리 지연(delay) 특성 그래프이다. 낮은 부하일 때(0~0.8) 셀 처리 지연의 특성은 셀을 분리하고 메모리에 저장, 출력하는 시간으로 인해 LS, SM 방식보다 성능이 1~10% 떨어진다. 그러나 SWSM 방식보다 30%향상 된 특성을 보인다. 높은 부하(0.8~1.0)일 때의 특성은 제어부에서 최대 2N의 셀을 처리함으로써 LS, SWSR 구조보다 2.5~4배 좋은 특성을 보인다.

(2) 손실률(loss probability) : 과잉 밀집에 의해 일정시간(300msec이상)까지 출력버퍼가 비워지지 않을 경우 출력 메모리(OM)에서 손실이 발생한다. 따라서 일정시간 이하까지 과잉 밀집 된 포트에 들어오는 모든 셀을 일정기간 동안 출력단에서 저장함으로써 가장 낮은 손실률의 특성을 보였다.

(3) 처리율(throughput) : 낮은 부하(0~0.4)일 때는 비슷한 특성을 보인다. 그러나 Heavy 부하일 때는 제어부에서 최대 2N개의 셀을 동시에 처리함으로써 다른 스위치 구조보다 최대 30%까지 개선된 특성을 보였다.

(4) 복잡도(complexity) : 스위치 복잡도는 표 3과 같다. 분산 제어 방식과 스케줄링 방법을 이용하여 전체 스위치의 복잡도를 줄임으로써 그림 9와 같이 다른 스위치 구조보다 가장 낮은 복잡도 특성을 보였다.

표 3. 하드웨어의 복잡도 비교

	복잡도
PS	$(2\log_2 N + (5N/2))$
SM	$\frac{N}{2} \cdot [K \cdot (\log_2 N) + 1]$
SWSR	$N(N+1)$
LS	$\left[\frac{N-1}{r-1} + N \frac{(\log_2 L)^2 + 3\log_2 L + 4}{4} - \frac{L(\log_2 L + 2)}{2} \right]$

k: 스위치 평면의 수, r: tree radix parameter
L: Knockout parameter

III. 결 론

본 논문에서는 공유 메모리 스위치, 셀 분리 방식과 스위치의 분산 제어 방식을 이용한 멀티캐스트 ATM 스위치를 제안하였다. 제안한 스위치 구조는 HOL 블럭킹 및 데드락 현상을 줄이기 위하여 공유 메모리 스위치를 이용하였다. 또한 스위치의 복잡도 및 셀 처리 시간을 줄이고 제어의 중앙 집중을 막기 위해 셀 형태에 따라 분리, 저장 및 출력하는 분산 처리 방식과 제어부에서 들어오는 셀 패턴에 따라 스케줄링해서 최대 2N개의 셀들을 동시에 처리하였다. 특정 포트에 트래픽이 밀집되었을 때 발생하는 손실률을 줄이기 위하여 출력 메모리를 이용하였으며 메모리 효율성을 향상을 위하여 입력 셀의 트래픽 형태에 따라 셀들을 분리 저장하는 방식과 OM에서 일정 저장 시간이 지난 셀을 폐기하는 방식을 이용하였다. 스위치의 성능은 버스트 트래픽의 조건에서 평가되었다. 성능 분석 결과 제안한 스위치 구조가 기존의 스위치 구조보다 작은 복잡도와 낮은 손실률 특성을 가지면서 높은 수율 특성을 보임을 알 수 있었으며 일반적인 공유 메모리 방식의 스위치보다 메모리 액세스 시간이 감소됨을 볼 수 있었다. 앞으로의 과제는 스위치 모듈의 하드웨어 구현과 수율 특성의 향상을 위해 멀티캐스트 셀과 유니캐스트 셀의 라우팅 부분으로 효율적으로 경로 배정하는 기법 등에 대한 연구가 있을 것이다.

참 고 문 헌

[1] Yu-Sheng LIN and C. Bernard SHUNG, "An Efficient Architecture for Multicasting in Shared Buffer ATM Switches." IEICE trans comm. vol. 22. No.4, pp.1371-1379. Feb/Mar/Apr 1994.

[2] Sang H. Kang, Changhwan Oh and Dan K. Sung, "A HIGH SPEED ATM SWITCH WITH COMMON PARALLEL BUFFERS." IEEE Trans. on Commun. Vol. 41, No. 4, pp. 371-379. Mar 1995

[3] Sung C. Liew, "Performance Various Input-buffered and Output-buffered ATM Switch Design Principles under Bursty Traffic: Simulation Study." IEEE Trans. on Commun. Vol. 42, No. 2/3/4, pp.1371-1379. Feb/Mar/Apr 1994.

- [4] 이병천, 정재일, 박형섭, “공간 분할 방식과 공유 메모리 방식을 이용한 멀티캐스트 ATM 스위치 설계”, 한국 통신학회, pp.725-733. Mar 1998.
- [5] Soung C. Liew, “A General Packet Replication Scheme for Multivasting with Application to Shffle-Exchange Networks,” IEEE Trans. on Commun., Vol.44, N. 8, pp 1024-1033, Aug. 1996.
- [6] Toshiki Endo, Masaki Umayabashi, Shigeki Shiokawa and Iwao Sasase. “Performance of atm Multicast Switch with Separate Routes Depending on Unicast Cell/ Multicast Cell.” proc of IEEE'96 Vol 1.pp 225~229 Mar 1996
- [7] Yieh R. Haung and Maria c. Yuang, “A High-Performance Input Access Scheme for ATM Multicast Switching.” Proceedings of the 1996 IEEE International conference on comm.. pp 454~461. vol 2. June.1996
- [8] Sanjeev Kumar, Fujitsu Transmission Systems and Dharma P. Agrawal. “On Multicast Support for Shared-Memory-Based ATM Switch Architecture. IEEE Network. pp 34-39, January/February. 1996
- [9] H.Saito, H. Yamanaka, H. Yamada, M. Tuzuki, H. Kondoh, Y. Matsuda and K. Oshima, “Multicast Function and its LSI Implementation in Shared Multibuffer ATM Switch.” Proc. IEEE INFOCOM '92, pp. 315-322, 1994.
- [10] Nick Mckeown and Balaji Prabhakar, “SCEDULING MULTICAST CELLS IN AN INPUT-QUEUED SWITCH.” Inforcom'96 Vol 1. pp 272~278. 1996
- [11] Xinyi Lie and H.T Mouftah, “High performance copy network design for multicast ATM Switching.” COMPUTER commun. Vol 20.n2.pp 89~96. Mar 1997
- [12] Xinyi Lie and H.T Mouftah, “Queueing performance of copy networks with dynamic cell splitting for Multicast ATM Switching.” IEEE Trans on commun. vol 45. n4. Apr 1997
- [13] Jin Li and Chunan-lin Wu, “Design and Implementation of a Multicast-Buffer ATM Switch.” Proceedings 1995 International conference on Network protocols. Nov 1995
- [14] 이종익, 손종무, 이문기. “HOL 블로킹 없는 공유 다중 버퍼 ATM 스위치 아키텍처 개발 및 성능 평가.” 전자공학회지, 제 36권 s편. 제4호 pp 395-404.4월.1999.
- [15] Soung C. Liew, “A General Packet Replication Scheme for Multicasting with Application to Shuffle Exchange Networks.” IEEE Trans. on Commun. Vol. 44, No. 8, pp.1021-1033, Aug. 1996.
- [16] Hideaki YAMANAKA, Hirotaka SAITO, Hirotoshi YAMADA, Harufusa KONDOH, “Shared Multibuffer ATM Switches with Hierarchical Queueing and Multicast Functions.” IEICE trans commun. vol E79B. no.8. Agu 1996.
- [17] Tony T. Lee, “Nonblocking Copy Networks for Multicast Packet Switching.” IEEE JSAC, Vol. 6, No. 9, pp.1455-1467, Dec.1988.
- [18] J M Pitts and A Shoromans, “Introduction to ATM Design and Performance with Application Analysis Software.” JOHN WILLEY & SONS, pp. 47-69
- [19] Mounir Ham and Jogesh Muppala, “Performance Evaluation of ATM Switches Under Various Traffic and Buffering Schemes.” Globecom '95 . vol 20. pp 828~832. Nov 1995.
- [20] Khalid H. Sheta and Mukesh Singhal, “Performance study of buffer management schemes under muticasting traffic in ATM switching nodes.” COMPUTER commun. Vol 20. n 12. pp 1060~1068. Nov.1997
- [21] Ka Lun Eddie Law and Alberto Leon-Garcia. “A Large Scalable ATM Multicast Switch.” IEEE jr on selec in comm. vol 15. no 5. pp. 844~854. June 1997.
- [22] Gary N. Higginbottom. “Performance Evaluation of Communication Networks.” Artech House Publisher. pp 41~91, 303~315.
- [23] Ng Chee Hock. “Queueing Modelling Fundamentals.” JOHN WILEY & SONS. pp 8~57.
- [24] Thomas M. Chen, Stephen S. Liu “ATM SWITHING SYSTEMS.” Artech House Publisher. pp 81~171.

이 일 영(II-young Lee)

준회원



1998년 2월 : 홍익대학교 전자
전산공학과 졸업

1998년 3월~현재 : 광운대학교
전자통신공학과
석사과정

<주관심 분야> ATM망 관련기술, 통신망 성능분석,
ATM 교환 기술 등

조 양 현(Yang-hyoung Cho)

정회원

1982년 2월 : 광운대 전자통신공학과 졸업

1985년 2월 : 광운대 대학원 전자통신공학과 졸업

1999년 2월 : 광운대학교 대학원 전자통신공학과 박사
사과정 수료

1985년 3월~1995년 7월 : LG정보통신(주) 전송기술
개발실 과장

1995년 8월~1997년 6월 : 서울기능대학 정보통신과
전임강사

1997년 7월~현재 : 삼육의명대학 전산정보과 전임강
사

<주관심 분야> Routing 기술, 동기기술, LAN,
ATM망 관련기술, SDH기술 등

오 영 환(Young-hwan Oh)

정회원

한국통신학회 논문지 제 23권 11호 pp.2983~2990
참조