

WN_x Self-Align Gate GaAs LDD MESFET의 제작 및 특성

문재경 · 김해천 · 광명현 · 강성원 · 임종원 · 이재진

한국전자통신연구원 회로소자기술연구소 화합물반도체연구부 무선통신회로팀
(1999년 8월 31일 접수)

Fabrication and its characteristics of WN_x self-align gate GaAs LDD MESFET

Jae Kyoung Mun, Haecheon Kim, Myeong-Hyeon Kwak,
Sung-Won Kang, Jong-Won Lim, and Jae Jin Lee

*Electronics and Telecommunications Research Institute, Micro-Electronics Technology
Laboratory, Compound Semiconductor Department, Wireless Communication Circuit Section*

(Received August 31, 1999)

요약 - 본 연구에서는 SiO₂ side-wall 공정을 이용하여 내열금속 WN_x 자기정렬형 게이트 갈륨비소 MESFET을 개발하였다. MESFET은 평면 대칭형 자기정렬 구조를 가지며, 이온주입법을 이용하여 집적화가 가능하게 하였다. 게이트전압 +0.6V에서 전달컨덕턴스는 354 mS/mm, 포화전류는 171 mA/mm를 나타내었다. RF 측정 결과 기생성분의 de-embedding없이 차단주파수는 43 GHz이상으로 평가되었다. WN_x 자기정렬형 게이트 갈륨비소 MESFET 기술은 휴대전화기, 개인이동통신, 무선통신망과 같은 디지털 이동통신 시스템용 신형 전력 증폭기 집적회로나 다기능 모노리식 집적회로를 구현하는데 활용될 것으로 기대된다.

Abstract - We have developed a refractory WN_x self-aligned gate GaAs metal-semiconductor field-effect transistor (MESFET) using SiO₂ side-wall process. The MESFET has a fully ion-implanted, planar, symmetric self-alignment structure, and it is quite suitable for integration. The uniform trans-conductance of 354 mS/mm up to V_{gs} = +0.6V and the saturation current of 171 mA/mm were obtained. As high as 43 GHz of cut-off frequency has been realized without any de-embedding of parasitic effects. The refractory WN_x self-aligned gate GaAs MESFET technology is one of the most promising candidates for realizing linear power amplifier ICs and multifunction monolithic ICs for use in the digital mobile communication systems, such as hand-held phone (HHP), personal communication system (PCS) and wireless local loop (WLL).

1. 서 론

최근 초고주파 집적회로(MMICs: Monolithic Microwave Integrated Circuits)의 핵심소자로 각광을 받고 있는 GaAs MESFET (Metal-Semiconductor Field-Effect Transistor)은 제작 과정에 있어서 게이트 형성 공정이 가장 중요하며, 특히 내화금속을 이용한 planar 게이트 구조의 경우 게이트 리세스 공정이 없어 임계전압 (V_{th}:threshold voltage)의 균일도가 우수할 뿐만 아니라 Side-wall을 이용한 self-align 게이트는 소오스 저항을 줄일 수 있어 고성능의 소자 제작을 가능하게 한다. 이

경우 활성층 형성을 위하여 850°C 이상의 고온에서 열처리가 수행되므로 게이트 금속과 GaAs 반도체 사이의 쇼트키 고온 안정성과 함께 열팽창 계수 차이에 따른 응력(stress)에 의한 박리현상이 없는 박막의 증착이 필요하다. 일반적으로 이를 위하여 WSi_x [1], TiW [2], TiWSi_x [3], WN_x [4-7] 등과 같은 내화금속 화합물이 사용된다.

본 연구에서는 반응성 스퍼터링에 의한 WN_x 내화금속 게이트 전극을 증착한 후, 소자의 특성 개선에 핵심이 되는 Side-wall을 형성하기 위하여 PECVD법으로 SiO_x 박막을 증착하였다. 증착된 SiO_x 박막은 건식식각

법을 이용하여 게이트 길이(L_g)에 따른 SiO_x side-wall의 형성 양상을 조사한 후 소자 제작에 응용하였다. 이 공정을 이용하여 소오스 저항이 낮고 임계전압의 균일도가 우수한 고성능의 self-aligned gate MESFET을 제작하였다.

2. 실험 방법

그림 1은 SiO_x side-wall을 이용한 self-aligned gate LDD(Lightly Doped Drain) MESFET의 제작 과정을 보여준다. 먼저 3-inch GaAs 기판상에 채널층 형성을 위한 Si 이온을 주입한 후 Ar/N₂ 혼합가스와 W(99.99%) 금속 타겟을 이용한 d.c. 반응성 스퍼터링 방법으로 WN_x 박막을 증착하였다. 박막의 응력은 N₂의 조성 x에 따라 다르며, 일반적으로 10% 전후의 조성에서 안정적인 박막을 얻을 수 있다. 본 연구에서는 background 압력을 3×10⁻⁸ Torr 이하로 유지하고 상온에서 6%의 N₂ 조성과 d.c. 전력 250 W, 증착 압력은 3.2×10⁻³ Torr에서 3000 두께의 박막을 증착하였다. 증착된 WN_x 박막 중 게이트 전극 이외의 불필요한 부분은 MERIE(Magnetic Enhanced Reactive Ion Etching)에 의한 건식 식각법으로 제거한다. 건식식각은 SF₆와 CHF₃를 혼합하여 50 mTorr의 챔버 압력과 150 Watt의 전압과 50 Gauss의 자기장에서 진행되었다. 여기에 게이트 전극 자체를 마스크로하여 LDD 이온 주입을 수행한 후 PECVD법에 의한 SiO_x 증착과 MERIE에 의한 Side-wall을 형성한다. 본 연구에서 중요한 Side-wall 형성을 위한 식각 조건은 CF₄+CHF₃와 50 mTorr의 챔버 압력과 100 Watt의 전압과 90 Gauss의 자기장에서 진행되었다. 이를 이용하여 소오스와 드레인 전극 영역이 될 부분에 N⁺ 이온주입을 수행한다. 그 후 채널층의 활성화를 위하여 RTA(Rapid Thermal Annealing)를 사용하여 900°C에서 30 sec 동안 열처리하였다. 채널층은 가속 에너지 40 keV, 도즈 4e12/cm²로, LDD는 50 keV, 8e12/cm²로 이온주입하였고, SiO_x에 의한 Side-wall의 폭은 2500으로 조절하였다. 오믹 접촉은 AuGe/Ni/Au 합금을 열증착 한 후 RTA를 이용하여 N₂ 분위기에서 380°C에서 20sec 동안 열처리하여 형성하였다. 소자의 passivation은 SiN_x 박막을 이용하였고, 측정시 probing을 위하여 패드 부분은 Au도금을 하였다. 제작된 소자의 d.c. 특성은 hp4145B parameter analyzer로, a.c. 특성은 hp8510B network analyzer를 이용하여 평가하였다.

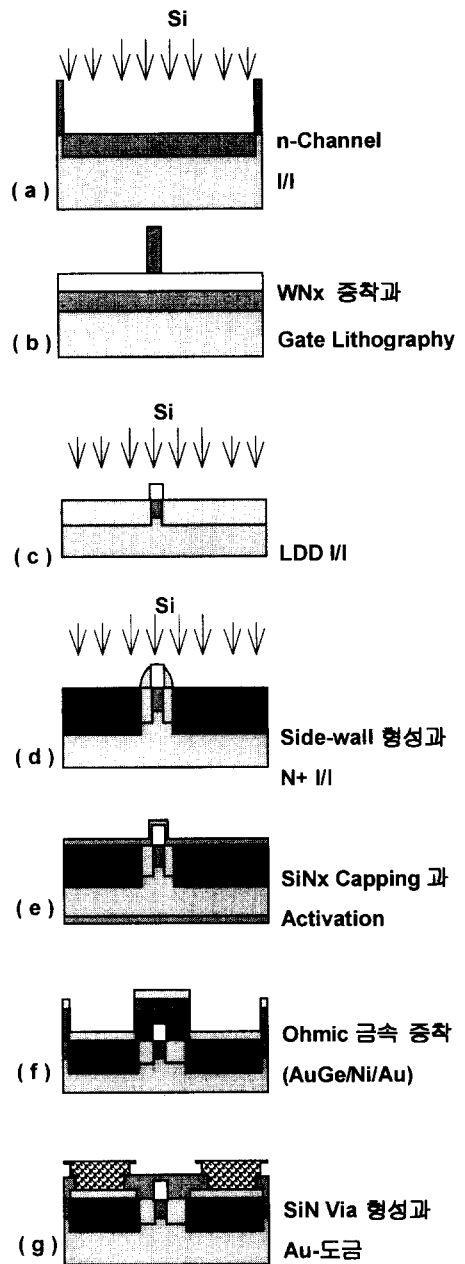


그림 1. Side-wall 공정을 이용한 WN_x self-aligned gate MESFET의 제작 흐름도.

3. 결과 및 고찰

본 연구의 핵심은 side-wall 형성 공정으로, 게이트 측면에 남아 있는 SiO_x의 두께 편차 및 수직성은 트랜

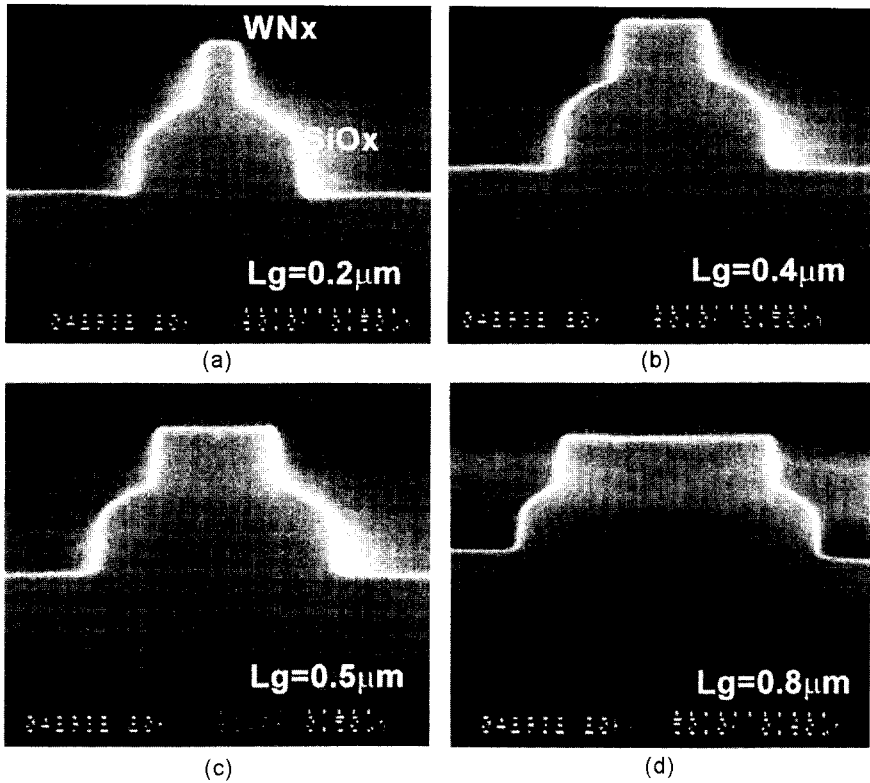


그림 2. 게이트 길이에 따른 Side-wall 형상을 보여주는 SEM 사진(Lg = 0.2 μm에서도 우수).

지스터의 특성 편차로 나타난다. 그림 2는 게이트 길이에 따른 SiO_x side-wall의 형상으로 0.2 μm 이상의 게이트 패턴 크기에서 수직으로 잘 형성됨을 알 수 있다.

본 공정을 이용하여 게이트 길이 0.5 μm, 게이트 폭 100 μm인 MESFET을 제작하였다. 그림 3은 전류-전압 특성 곡선으로 게이트 전압 V_{gs}=+0.8V까지 우수한 특성을 보인다.

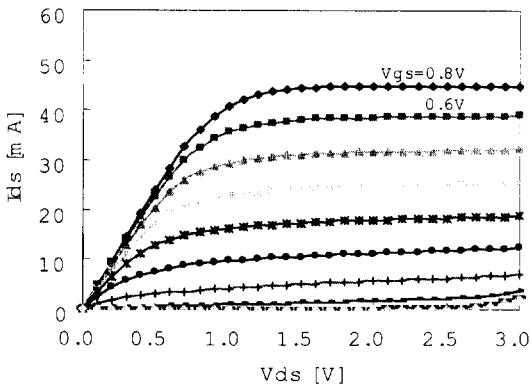


그림 3. WN_x self-align gate LDD MESFET의 전류-전압 특성 곡선(V_{gs}=+0.8V to -1.0V with -0.2V step, V_{th}=-0.78V at V_{ds}=2.0V)

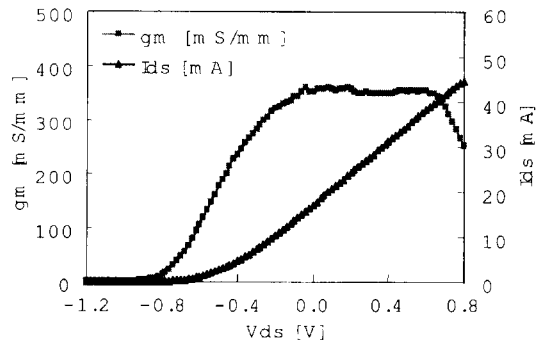


그림 4. WN_x self-align gate LDD MESFET의 게이트 전압에 따른 전달컨덕턴스 특성 곡선(Device size : 0.5 μm×100 μm at V_{ds}=2.0V).

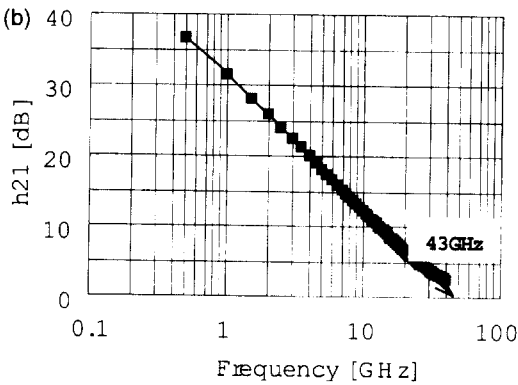
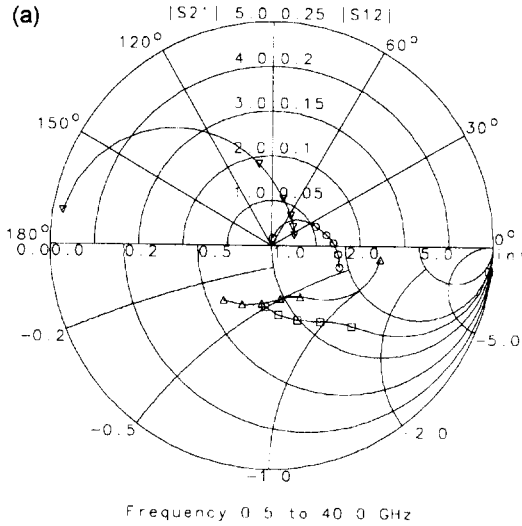


그림 5. 주파수 0.5GHz에서 40GHz까지 측정된 S-parameter(a)와 주파수에 따른 $|h_{21}|$ 의 변화(Device size : 0.5 $\mu\text{m} \times 100 \mu\text{m}$ at $V_{ds}=2.0\text{V}$ 이며, extrapolation은 -20dB/decade 로 하여 f_T 는 43GHz로 평가됨).

그림 4는 0.5 $\mu\text{m} \times 100 \mu\text{m}$ 크기의 FET에 대하여 $V_{ds} = 2.0 \text{V}$ 에서 게이트 전압에 따른 전달컨덕턴스의 변화를 나타낸다. 드레인 전류가 1 mA/mm로 정의되는 임계전압은 -0.78V , 트랜스컨덕턴스는 354 mS/mm, 그리고 포화전류는 171 mA/mm로 평가되었다. 특히 본 연구에서 개발된 SAGFET는 트랜지스터의 게이트 전압 변화에 따른 균일한 트랜스 컨덕턴스의 특성은 RF 소자로 사용할 때 마이크로웨이의 왜곡특성을 없애주기 때문에 균일한 신호의 전달을 가능하게 한다.

그림 5(a)는 0.5 $\mu\text{m} \times 100 \mu\text{m}$ 게이트 FET의 S-parameter 측정 결과로, HP8510B network analyzer와 Cascade Microtech microwave probe를 이용하여 주파수 0.5

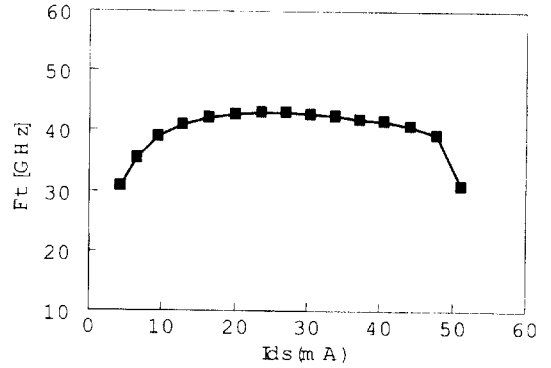


그림 6. 소오스-드레인 전류에 따른 전류이득 차단 주파수의 변화(Device size : 0.5 $\mu\text{m} \times 100 \mu\text{m}$ at $V_{ds}=2.0\text{V}$).

GHz에서 40GHz까지 측정하였다. 측정된 S-parameter로부터 계산된 주파수에 따른 전류 이득 곡선을 그림 5(b)에 나타내었다. -20 dB/decade 의 기울기로 전류 이득을 1에 extrapolation한 결과 차단주파수 f_T 는 43 GHz로 평가되었고, 특히 균일한 트랜스컨덕턴스의 경향과 함께 차단주파수 역시 게이트 바이어스, 즉 소오스-드레인 전류의 변화에 따라 넓은 범위에서 40 GHz 이상으로 균일한 값을 보였다(그림 6).

4. 결 론

본 연구에서 개발된 Side-wall 공정을 이용한 WN_x self-aligned gate LDD GaAs MESFET은 게이트 길이가 0.2 μm 까지 작은 경우에도 사용 가능하며, 특히 낮은 소오스 저항과 균일한 임계전압 특성, 그리고 높고 균일한 트랜스컨덕턴스 특성은 우수한 선형성이 요구되는 HHP (Hand-Held Phone) 및 PCS (Personal Communication System)와 같은 이동 통신용 단말기의 MMICs의 제작에 활용될 것으로 기대된다.

참고문헌

- [1] K. Imamura, N. Yokoyama, T. Ohnishi, S. Suzuki, N. Nakai, H. Nishi, and A. Shibatomi, Jpn. J. Appl. Phys. **23**, L342 (1984).
- [2] N. Yokohama, T. Miura, M. Fukuta, and H. Ishikawa, Int. Solid State Circuits Conf. Digest of Tech. Papers, 218 (1981).
- [3] N. Yokoyama, T. Ohnishi, K. Onodera, and M. Abe, Int.

- Elec. Dev. Meet. Tech. Dig, 80 (1981).
- [4] H. Yamagishi and Y. Yamamoto, *Jpn. J. Appl. Phys.* **26**, 122 (1987).
- [5] O. Eung-Gie, Y. Jeon-Yang, P. Chul-Soon, and P. Kwang-Eui, *GaAs IC Symp.* 93 (1995).
- [6] K. Nishihori, Y. Kitaura, M. Hirose, M. Mihara, M. Nagaoka, and N. Uchitomi, *IEEE Trans. Elec. Dev.* **45**, 1385 (1998).
- [7] 문재경, 양전욱, 이재진, 편광의, 제14회 한국진공학회 학술대회논문집, 56 (1998).