

특집 : 최신 전자식 안정기 부품 기술

역률제어용 IC

박 주 일 <FairChild Korea Semiconductor R&D 1Group System Application Team 주임연구원>

1. 개 요

현재 선진국에서는 역률에 대한 관심이 높아지고 있으며 역률을 높이기 위해 많은 노력을 기울이고 있다. 이러한 노력에 부응하여 IC로 집적화 된 것이 PFC IC이고 당사에서도 여러 종류의 PFC IC를 보유하고 있다. PFC IC의 역할은 입력단의 전류파형을 입력단의 전압 파형과 같은 동위상의 사인파를 만들어 줌으로써 Converter가 고역률을 가지고 동작하도록 하는 것이다. 물론 외부소자들을 IC화 함으로써 PCB영역의 최소화, 소자수의 최소화 그리고 저전력 소비 가능등도 실현 가능하게 하였다. 특히 KA7526은 최소한의 소자를 사용하여 오프-라인 Active Pre-converter를 구현할 수 있도록 고안되어 IC내에 집적화 된 고기능Current-mode 역률 개선용 제어 IC이다. KA7526은 여러개의 기본동작 영역과 보호회로 영역을 집적화 하였다. 또한 간단하게 8핀으로 되어 있으며 넓은 범위의 입력 전압 영역에서 탁월한 기능의 능동적인 역률 개선 기능을 가지고 있다. 그리고 기존에 LEB시간을 위해 외부에 설계하던 저항과 캐패시터를 IC 내부에 집적화 함으로써 기존방식의 번거러움을 덜게 하였으며 VCC 인가전압의 변화에 관계없이 Power MOSFET의 게이트 전압을 제한하는 기능을 가지고 있다는 것도 KA7526의 특징이다.

1.1 KA7526의 특징

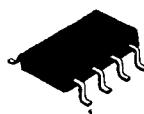
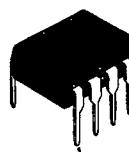
- 내부 초기 동작 타이머
- LEB시간을 위한 외부 저항, 캐패시터 소자의 IC 내부 집적화
- 출력전압의 Run-away를 막는 과전압 비교기
- 영전류 검출기
- 5% 내부 Bandgap 기준단
- 5V 히스테리시스를 갖는 UVLO
- 상한 전압제한을 갖는 토템폴 출력단
- 저전류 초기 구동 및 저전류 구동
- 간단한 8DIP & 8SOP

1.2 응용처

- 전자식 안정기
- SMPS
- Fly-back Controller
- 고효율 전력 공급 시스템

Package

1. KA7540/KA7541(8DIP) 2. KA7540D/KA7541D(8SOP)



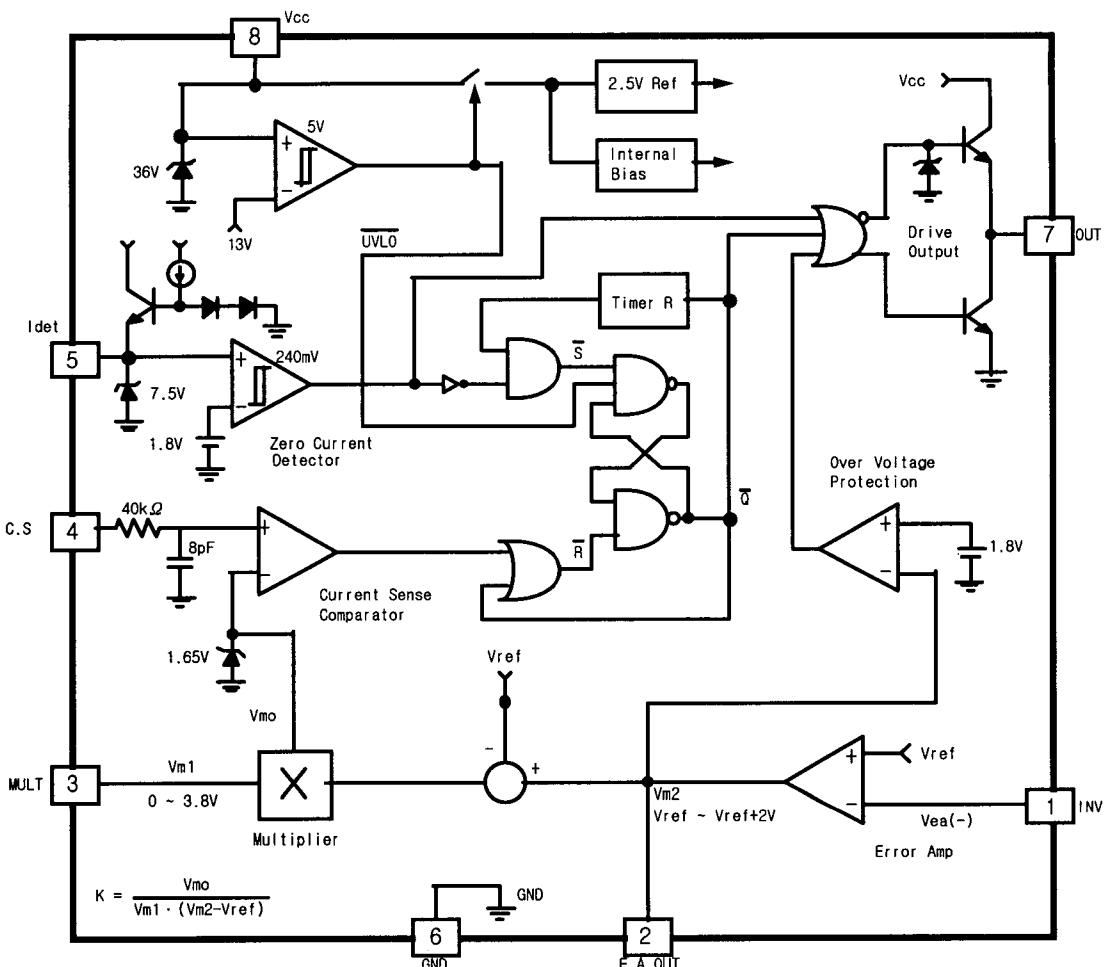


그림 1. 접속 회로 구성도

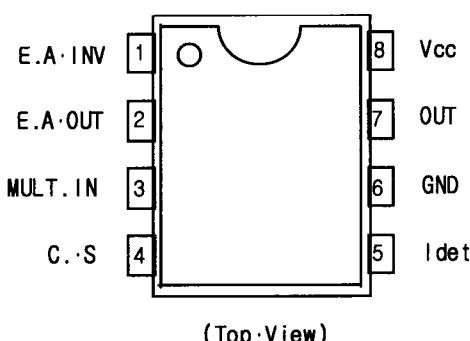


그림 2. PIN 구성도

표 1. PIN 기능

No	이 름	기 능
1	INV	오차증폭기의(-)입력 Boost converter의 출력이 저항에 의해 분할 된 2.5V가 이 편에 연결된다.
2	EA OUT	오차증폭기의 출력이 편과 INV 편(1번 편)사이에 피드백 회로가 연결된다.
3	MULT	배암기의 입력단 전파정류된 AC입력 전압이 분할되어 이 편에 연결된다.
4	CS	PWM 비교기의 입력, Booster 단의 MOSFET의 소스 저항에 의해 검출된 전류가 전압으로 전환된다. 이상 고주파에 의해 전류파형에 설립 수 있는 잡음을 제거하기 위하여 R/C 필터를 IC에 접착화 하였다.
5	Idet	Booster Inductor의 2차 권선전압이 1.8V이하로 떨어질 때를 포착하여 Inductor 전류가 영전류가 되는 것을 감지한다.
6	GND	모든 편의 접지단
7	OUT	Power MOSFET의 게이트를 구동하는 출력편
8	Vcc	IC 동작을 위한 인가 전압편

표 2. 절대정격

항 목	Symbol	값	단위
원기전압	VCC	30	V
최고조 출력 구동전류	IOH,IOL	?~500	mA
출력구동 체한다이オ드 전류	Iclamp	?~10	mA
감지단 채한 다이오드 전류	Idet	?~3	mA
동작온도 범위	Topr	-25 ~ 125	oC
저장온도 범위	Tst	-65 ~ 150	oC
전력 소비	Pd	0.8	W
열저항(Junction to Air)	?ja	100	oC/W

기타 각 부문별 전기적 특성은 관련 DataSheet을 통하여 알 수 있다.

2. IC 동작 특성 설명

2.1 오차증폭기와 과전압 비교기

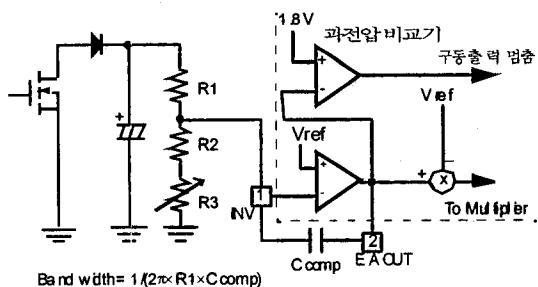


그림 3. 오차증폭기와 과전압 비교기

1) 오차증폭기

오차증폭기는 PFC_OUT의 전압(대략400V)에서 저항을 사용하여 분할한 전압을 입력으로 사용하는 반전단 입력, 외부로 편은 나와있지 않지만 내부자체적으로 2.5V의 기준전압이 설정되어 있는 비반전단, 그리고 편2의 출력단으로 구성되어있다. 오차증폭기의 주요목적은 PFC_OUT의 전압(대략400V)이 부하의 변동에 관계없이 일정하게 유지되도록 하고 Over Voltage의 신호를 과전압 비교기에 전달해주는 것이다. 만약 PFC_OUT의 전압이 설정전압보다 증가하게 되면 이 전압은 그림 3에서 보는 바와 같이 R1,R2 그리고 가변저항 R3에 의해 분할되어 반전단

입력인 1번 편의 입력신호가 된다. 이렇게 입력된 반전단 입력 신호는 오차증폭기의 출력신호를 감소시켜 내부적으로 설계된 배압기, M2의 입력으로 작용하게 된다. 그리하여 IC전체적으로 부궤한 동작을 하여 PFC_OUT의 전압을 설정전압으로 감소시키는 것이다. PFC_OUT의 전압이 설정전압 이하로 감소할 때는 위 경우와 반대로 생각하면 된다.

Fig1. E.A. Output Voltage vs C.S. Threshold

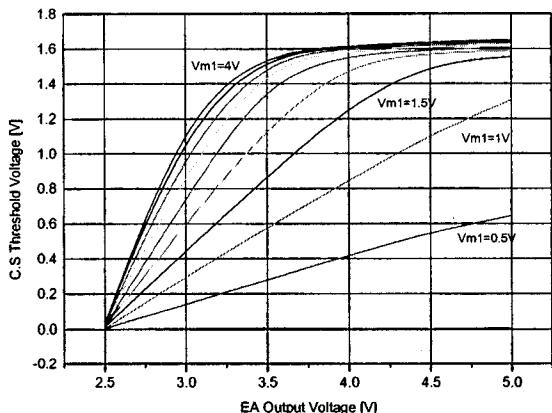


그림 4. 오차증폭기 출력전압 대비 전류 검출 문턱 전압

2) 과전압 비교기

오차증폭기의 낮은 루프 Band-width(일반적으로 20Hz 이하) 특성은 출력전압 Run-away 현상을 막아준다. 이러한 출력전압 Run-away현상은 초기개시 상태, 갑작스런 무부하 상태 혹은 출력이 아크방전할 때 생길 수 있다. 이런상태에 다다르면 내부의 과전압 비교기가 오차증폭기의 출력 전압이 1.8V이하로 내려가는 것을 인지하여 과전압 비교기를 High로 유기하여 오차증폭기의 반전단 입력전압이 2.5V이하가 될 때까지 IC의 출력을 멈추게 한다. 이 상태에 다다르게 되면 오차증폭기의 출력은 (-)상태가 되고 IC의 출력을 다시 정상동작 상태로 복귀 시킨다.

2.2 배압기

두개로 구성된 배압기의 입력신호는 이 IC가 좋은 특성의 역률개선 IC가 되는 아주 중요한 요소이다.

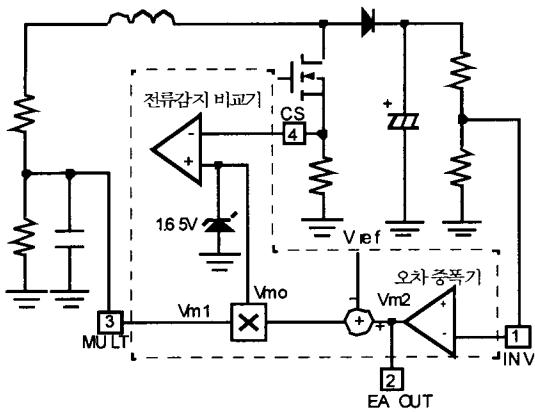


그림 5. 배압기

두개의 입력 중 1개인 V_{M1} 은 오차증폭기의 반전단 입력 1번 편과 내부 기준전압, 2.5V차가 증폭된 DC 전압에 의해서 구해지고, 또 다른 1개의 입력 신호인 V_{M2} 는 입력 정류전압 파형을 저항을 통해 분할하여 3번 편을 통해 입력 시킴으로써 구해진다. 배압기는 일반적인 동작 범위에서 3번편의 입력 전압 범위 (V_{M1}) $0\sim3.8V$ 와 오차증폭기의 출력 전압범위 ($2.5V\sim4.5V$)의 넓은 입력범위에서 선형적인 전달곡선을 그릴 수 있도록 설계되어진다. 또한 이 배압기의 출력전압(V_{M0})은 내부적으로 1.65V의 상한값 제한을 받게 설계 되었는데 이는 Power MOSFET이 ON 상태일 때나 이상 부하 상태일때, Power MOSFET의 Peak 전류를 제한하기 위함이다. 아래의 방정식은 배압기의 출력과 입력 관계를 나타낸다.

$$V_{M0} = K \times V_{M1} \times (V_{M2} - V_{ref})$$

K : 배압기이득, V_{M1} : 3번편전압,

V_{M2} : 오차증폭기 출력 전압,

V_{M0} : 배압기 출력전압

전류감지 비교기의 출력단에는 설정된 주기동안 단지 Single 펄스만이 구동 출력에 나타나도록 하기 위해 RS latch 구조를 채택했다. 이 전류감지 비교기의 두입력중 반전단 입력인 4번편의 입력 신호는 Power MOSFET의 드레인 전류가 소오스에 직렬로 연결된 저항에 의해 전압으로 변환되어 들어오는 신

Fig2. Multiplier Input Voltage vs C.S. Threshold

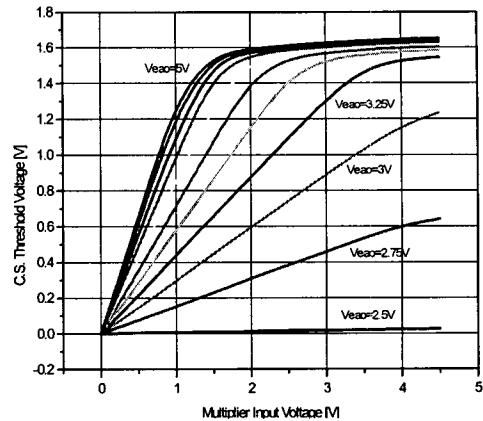


그림 6. 배압기 입력 전압 대비 전류 검출 문턱 전압

2.3 전류감지 비교기

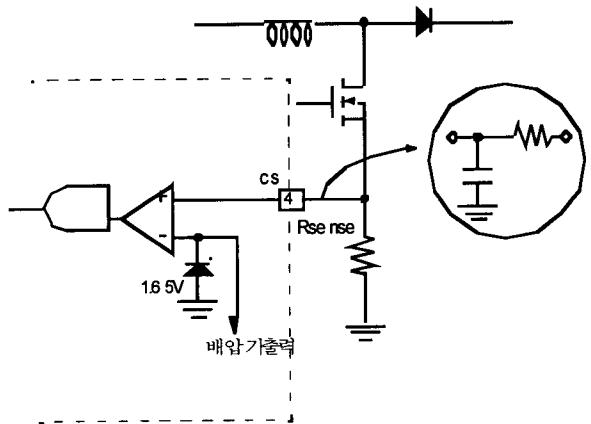


그림 7. 전류감지 비교기

호이다. 이 전압값가 배압기의 출력단에 의해 설정된 기준전압 값을 초과하게 되면, 전류감지 비교기는 출력단에 연결된 PWM Latch단을 Reset시키고, 따라서 Power MOSFET의 구동을 멈추게 한다. 이 Latch 단은 Power MOSFET의 드레인 전류가 Zero로 떨어질때까지 Power MOSFET의 게이트를 Low 상태로 유지시킨다. 정상동작 상태에서의 Peak Inductor전류는 배압기의 출력, V_{M0} 에 의해서 제어된다. 예를 들면 Pre-converter가 매우 큰 입력전압상태에서

응용실장 회로

[90~265Vac 입력, 400V Vdd, 32W 두동용 안정기, 그룹 조도조절]

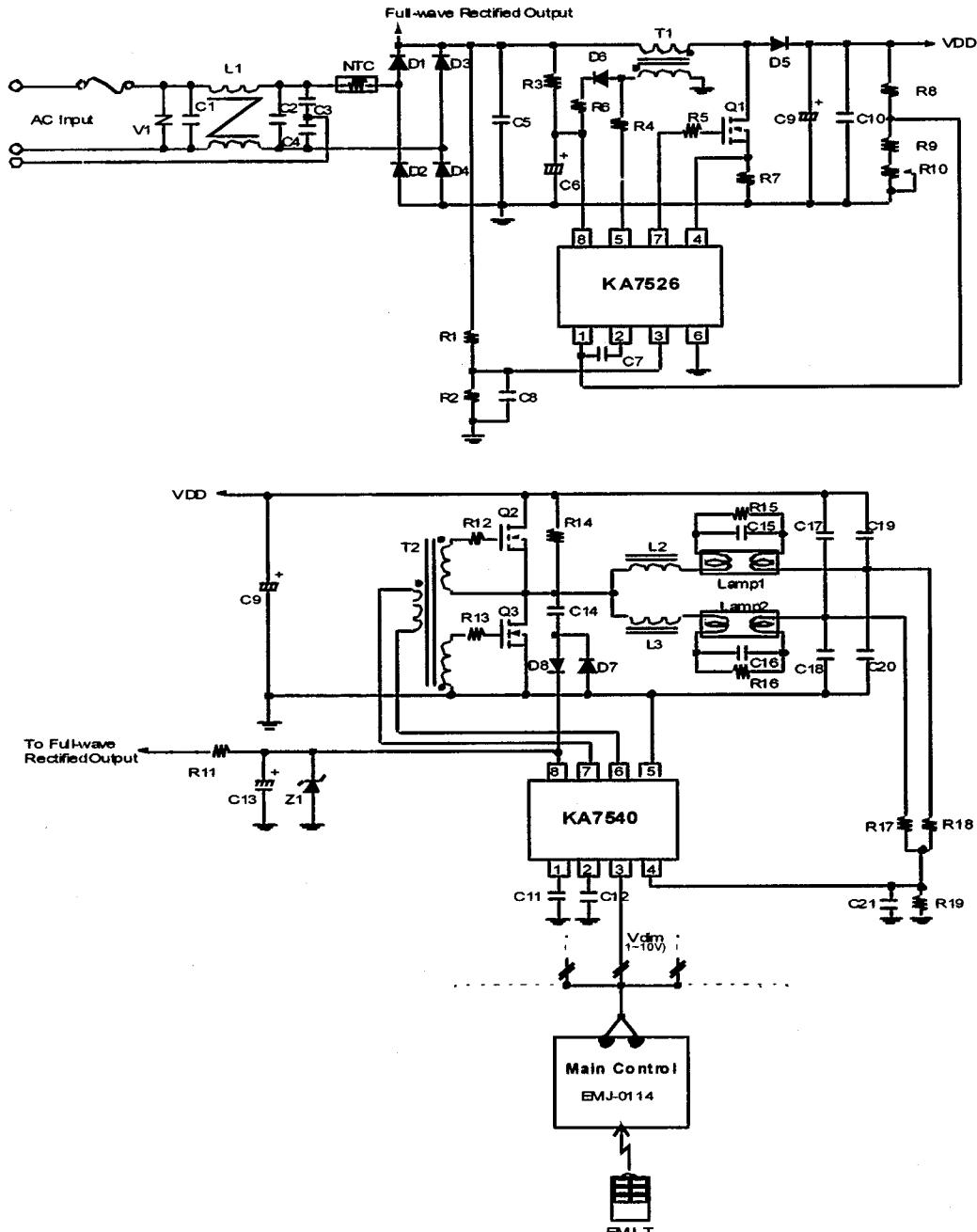


그림 8. 응용실장 회로도

Start-up된다든지, PFC_OUT 전압 감지하는 기능을 상실한다든지 등의 비정상 상태일때의 감지전류의 량은 전류 감지 비교기의 비반전 입력단의 1.65V 제 너다이오드에 의해서 제한된다. 즉 제한되는 최대 Peak 스위치 전류는 아래와 같다.

$$I_{pk(max)} = 1.65V / R_{sense}$$

그리고 이 IC의 특정중의 하나는 전류파형에 나타 날 수 있는 고주파 노이즈를 제거하기 위하여 R/C 필터를 내부에 내장하였다는 것이다. 지금까지는 보통 이러한 기능을 갖도록 IC외부에 R/C 수동소자를 달아 사용 하였는데 IC내부에 직접 집적화 함으로써 이러한 수고스러움을 덜게 되었다

2.4 영전류 검출기

KA7526은 도통 전류 모드 제어기이다. 다시말해, 영전류 검출기가 Inductor의 전류가 Zero가 되는것을 감지 하여 5번 핀을 통해 입력전압신호로 입력시키면, 전류 검출 비교기에 의해서 OFF 상태에 있던 Power MOSFET을 다시 ON상태로 만든다. 이렇게 ON상태가 된 Power MOSFET은 전류검출 비교기의 반전단 입력 신호인 4번핀의 전압이 배압기에 의해 설정된 기준개시 전압 이상이 되면 다시 OFF상태가 된다. 쿠크 Inductor를 통해 흐르는 전류가 Zero가 되면 2차 권선의 전압 극성이 서로 반대로 바뀌게 되고, 5번 입력 전압이 내부 기준전압인 1.8V 이하가 되면 영전류 검출기의 출력이 Low 상태가 되어 R/S Latch를 SET시키게 되고 최종적으로 Power MOSFET을 ON시키게 된다.

또한 이 영전류 검출기 단 5번 입력은 내부적으로 두개의 제한 회로에 의해 제한된다. 과전압 파괴방지 를 위해 서는 7.5V 제너 제한이 되고 서브스트레이 트 주입에 의한 것은 하위 0.75V에 의해 제한 된다. 그리고 5번핀인 Idet가 잘못연결되어 GND로 쇼트되었을때 하위 제한 트랜지스터를 보호하기 위하여 내

부 전류 제한 저항을 사용하였다.

2.5 자체 발진 타이머

KA7526에는 자체 발진이 가능하도록 Watchdog 기능이 집적화 되어서 외부에 발진기를 따로 설계할 필요가 없게 하였다. 이 타이머는 구동 출력단이 Inductor 전류가 Zero에 이르고서도 300uS동안 OFF 상태를 유지하고 있으면 자동적으로 Start나 Restart를 시키는 기능을 가지고 있다.

2.6 구동 출력단

KA7526은 Power MOSFET을 직접 구동하도록 한개의 토템폴 출력을 가지고 있고 각각 130ns/50ns 의 Rising/Falling Time을 갖는 500mA의 Peak 전류를 갖고 있다. 또한 이 출력단에서는 IC가 UVLO동작을 하는 동안, Sinking 모드에서 구동 출력을 안정화하기위해 추가적인 내부회로를 설계하였는데 이것은 외부 Power MOSFET의 게이트 Pull-down 저항을 쓰지 않아도 되는 잇점을 제공한다.

그리고 KA7526의 구동 출력단은 내부에 출력단 보호를 위한 제한 다이오드를 집적화 함으로써 IC의 VCC가 증가하더라도 Power MOSFET의 게이트 전압은 이에 상관없이 일정한 상태를 유지하도록 하였다. 이는 Power MOSFET의 게이트를 보호를 위해 제너 다이오드를 쓰지 않아도 되는 편리함을 제공하였다.

◇ 著者紹介 ◇

박주일

1997년 ~ 1999년 5월 삼성반도체 Power Device Group 응용기술팀 근무. 현재 FairChild Korea Semiconductor R&D 1Group System Application Team 주임 연구원.