

전기화학증착법에 의한 구리박막과 패턴충전 특성

김용안 · 양성훈* · 이석형* · 이경우* · 박종완*

한양대학교 미세구조 반도체공학과
*한양대학교 금속공학과

Characteristics of Copper Thin Films and Pattern Filling by Electrochemical Deposition(ECD)

Yong-An Kim, Sung-Hoon Yang*, Seoghyeong Lee*, Kyeong-Woo Lee* and Jong-Wan Park*

Dept. of Nanostructure Semiconductor Eng., Hanyang Univ.

*Dept. of Metallurgical Eng., Hanyang Univ., 17, Haengdang-dong, Seongdong-gu, Seoul 133-791

(1999년 1월 4일 받음, 1999년 4월 21일 최종수정본 받음)

초 록 전기화학증착법에 의한 구리박막의 특성과 패턴 충전 특성을 연구하였다. 구리박막의 증착에 앞서 seed-Cu/Ta(TaN)/SiO₂(BPSG)/Si 구조를 형성하였다. 씨앗층(seed layer)의 전처리(산화막 제거, wetting) 후 다양한 전류파형(DC(direct current)/PC(pulsed current), 1~10,000Hz)과 전류밀도(10~60mA/cm²)에 따른 구리증착을 수행하였다. PC법을 사용하여 6,000~8,000 A/min의 매우 빠른 증착속도로 등각의 패턴충전이 이루어졌다. 열처리한(450°C, 30분) 구리박막은 1.8~2.1 μΩ·cm의 좋은 전기저항을 나타내었다. XRD 해석에 의하면, ECD-Cu/seed-Cu/Ta/SiO₂/Si 구조에서 (111) 우선배향된 구리박막이 관찰되었다. 또한, 0.35 μm 직경과 종횡비가 4:1인 via hole에 성공적으로 충전하였다.

Abstract The characteristics of copper thin films and pattern filling capability were investigated by ECD. Prior to deposition of copper film, seed-Cu/Ta(TaN)/SiO₂(BPSG)/Si structure was manufactured. Copper deposition was performed with various current waveforms(DC/PC, 1~10,000Hz) and current densities(10~60 mA/cm²) after pretreatment(Oxide removal, wetting) of seed-layer. Conformal pattern filling was performed using PC method with fast deposition rate of 6,000~8,000 A/min. Heat-treated(450°C, 30min) copper films showed good resistivities of 1.8~2.1 μΩ·cm. According to the XRD analysis, (111)-preferred orientation of copper film was found in ECD-Cu/seed-Cu/Ta/SiO₂/Si structure. Also, we have successfully achieved to fill via holes with 0.35 μm width and 4:1 aspect ratio.

1. 서 론

최근 반도체산업은 소자의 대용량화를 추구하기 위해 집적회로의 배선폭의 감소하고 배선길이는 증가하는 추세에 있다. 마이크로프로세서의 경우 배선층수는 점차 증가하고 있으며 배선금속의 낮은 실효저항이 요구되고 있다. 기존의 Al 배선에 있어서는 electromigration(EM), 높은 저항 등의 문제를 유발하기 때문에 더이상의 집적율을 기대할 수 없게 되었다. 이러한 문제를 해결하기 위해 새로운 신규재료의 개발이 이루어져야 할 것으로 여겨진다. 이들 신규재료중 금속배선물질로 가장 유망한 물질은 Cu이다.^{1~3)} 그러나 Cu는 기존의 플라즈마 에칭으로 식각이 곤란하므로, 이러한 식각곤란성을 극복하기 위한 방안으로 절연물질을 에칭하여 트렌치(trench) 또는 via를 형성한후, Cu를 채워 넣고 화학기계적 연마(chemical mechanical polishing; CMP)를 진행하는 상감공정(damascene process)의 개발이 배선연구의 주종을 이루고 있다.^{4~6)}

Cu의 증착방법으로는 물리기상증착(PVD), 화학기상증착(CVD), 무전해증착(electroless deposition) 그리고 전기화학증착(ECD) 등이 있으며 이에 대한 활발한 연구가

진행되고 있다.^{3,7~9)} 그 중 ECD법은 저렴한 공정비와 증착속도가 5,000~10,000 A/min 정도로 매우 빠르다는 장점을 갖고 있다. ECD법은 반드시 전도성이 좋은 씨앗층을 요구함으로써 공정비의 상승을 가져오기도 하지만, via와 배선을 동시 형성하는 이중상감공정(dual damascene process)을 고려하면 CVD법의 2/3정도의 공정비를 요구한다.⁶⁾ 또한, 단순한 화학약품(chemical)만을 사용함으로써, PVD 수준의 불순물 함량을 가진 Cu박막을 얻을 수 있다. 또한, 결정성면에 있어서도 입계가 적고 조밀한 격자면((111)면)으로의 성장이 용이함으로써 EM 저항성이 뛰어난 Cu배선을 형성할 수 있는 특징이 있다. 그러나 기존의 DC법을 사용하면 대면적의 웨이퍼 공정에서 균일한 막을 얻을 수 없고, 트렌치의 모서리 부분에서 와전류현상(current crowding effect)이 발생하므로 적절한 상감공정을 진행할 수 없다.¹⁰⁾ 따라서, 이러한 와전류현상을 제거하기 위해 PC를 사용하여야만 한다. PC는 전류가 흐르는 동작주기와 전류가 흐르지 않는 휴지주기로 구성되고, 전압구배가 동적이므로 모서리 부분에 과대전류가 흐르는 것을 막을 수 있다. 이러한 PC의 적절한 파형을 채용함으로써 미세 트렌치의 충전이 가능하다. 따라서 본 연구에서는 전류파형에 따

른 박막특성과 패턴 및 via hole 충전 특성을 조사하고자 한다.

2. 실험 방법

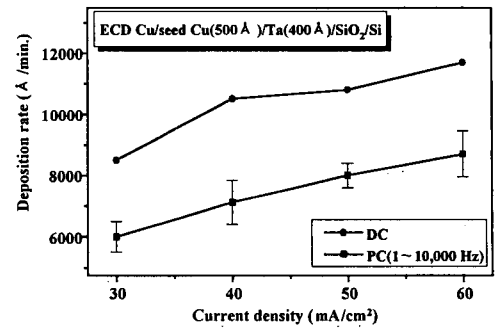
Si(p-type 100) 기판상에 절연막으로 실리콘 산화막 (silicon oxide layer)을 습식산화 공정에 의해 7500 Å 두께로 형성하고 확산방지막(또는 접착층)으로서 Ta를 400 Å 두께로 스퍼터링 증착하였다. 이어 진공을 깨지 않고 씨앗층으로서 500 Å 두께의 Cu를 스퍼터링 증착하였다. 계단도포성을 관찰하기 위해서 폭이 4 μ m, 깊이가 0.6 μ m인 트렌치기판을 사용하였다. Via hole 충전특성을 관찰하기 위해 절연막으로 CVD BPSG (borophospho-silicate glass)를 증착한 후, 0.35 μ m 직경과 종횡비가 4:1 인 via hole을 식각하였다. Via hole의 경우는 이온화금속플라즈마 (ionized metal plasma ; IMP) 스퍼터링에 의해 250 Å의 TaN을 증착하였고 이어 씨앗층으로서 Cu를 IMP 스퍼터링하였다.

ECD 증착을 위한 전해액은 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ 를 0.36M, H_2SO_4 를 1.84M로 구성하였고 첨가제로는 염산(HCl), 계면활성제 (Triton-x 100)를 각각 10~50 ppm 정도 첨가하였다. 전류원은 파형발생기(function generator), 2채널 DC 전압원(power supply) 그리고 파형 발생기와 전압원을 연결하는 FET(field effect transistor) 스위치로 설계, 제작하였으며 전류파형은 오실로스코프를 통해 가시화하였다. 본 연구에서는 DC와 PC 두가지 전류파형을 적용하였다. 이때, 평균전류밀도는 10~60mA/cm²의 범위에서 변화시켰고 on/off time비는 1로 고정하였다. 주파수는 1~10,000Hz 영역에서 실험을 진행하였다. 씨앗층의 산화막 제거를 위해 10%vol H_2SO_4 에 침지하였고 금속막을 친수성(hydrophilic)으로 전환시키기 위해 계면활성제(wetting agent)인 Triton-x 100에 침지하였다. 이후, 웨이퍼 홀더에 장입해 구리박막을 60~210초 동안 전착하였다. 또한 본 실험의 공정단계마다 탈이온수 세척을 실시하였다.

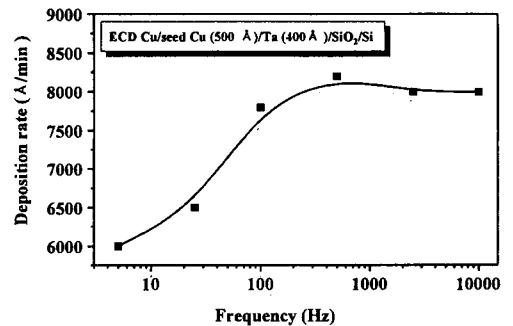
ECD 공정 변수에 따른 실험을 행한 후 결정성, 단면형상, 표면 거칠기, 증착속도, 전기저항 등을 RIGAKU社의 XRD(X-ray diffractometer, X-ray source : Cu K α), JEOL社의 JSM-6300 SEM, Park science instrument社의 AUTO PROBE-CP AFM, Tencor社의 Alpha-step[®] 500, 4 point probe(Keithley 224 programmable current source, Keithley 196 Digital multi-Meter) 등의 분석을 통하여 조사 분석하였다. 구리박막의 열처리에 따른 특성변화를 살펴보기 위해 1.5×10^{-6} torr에서 진공 열처리하였다. 열처리 온도는 박막의 결정성과 전기적 특성 향상을 위해 450°C에서 실시하였으며 열처리 시간은 30분으로 고정하였다.

3. 결과 및 고찰

그림 1(a)는 평균전류밀도를 30~60mA/cm²로 변화시켰을 때의 구리박막 두께 변화를 나타낸 것이며, 증착시간을 60 초로 고정하고 DC와 PC 경우를 비교하였다. PC 경



(a)



(b)

Fig. 1. Deposition rate variation with (a) various current densities, (b) various frequencies

우는 주파수를 1에서 10,000Hz까지 변화시켰으므로 주파수 변화에 따라 두께 변화가 있었기에 오차막대(error bar)로 표시하였다. DC와 PC 경우 모두, 전류밀도 증가에 따라 비례적으로 증착속도가 증가하는 것을 볼 수 있고 DC 경우에 비해 PC 경우가 느린 증착속도를 갖는다. 이러한 사실은 PC가 전류가 흐르는 동작주기와 전류가 흐르지 않는 휴지주기로 구성됨으로써 연속된 동작주기를 갖는 DC에 비해 낮은 전류효율을 갖기 때문이며, PC의 고주파수 영역(그림 1(a)의 오차막대 상한치)에서 DC의 증착속도에 근접해 가는 양상을 나타내었다. 이와같은 주파수에 따른 증착속도의 변화는 Cu 이온이 액상전해질을 이동함으로써 인해 제한적 이동속도를 갖기 때문인 것으로 추측된다. 즉, PC 주파수가 증가함에 따라 전류 휴지시간이 짧아져서 충분한 휴지작용을 못하기 때문에 저주파수 영역에 비해 고주파수 영역에서 증착속도가 증가하는 것으로 사료된다. 그림 1(b)는 PC 주파수를 1~10,000Hz 까지 변화시켰을 때의 박막두께변화를 나타낸 것이다. 주파수 증가에 따라 증착속도가 증가하는 양상을 보이며 PC 500Hz 이상에서는 포화된 증착속도를 보이고 있다. 평균전류밀도를 40mA/cm²로 고정하였을 때, PC주파수 변화에 따른 증착속도는 6,000에서 8,200 Å/min으로 증가하였다.

그림 2는 평균전류밀도를 40mA/cm²에 고정하고 PC 주파수를 2,500Hz에서 증착한 구리박막의 XRD 패턴을 나타낸 것이다. 기판으로는 seed-Cu(500 Å)/Ta(400 Å)/SiO₂/Si의 구조를 사용하였으며 여기서는 2,500Hz 경우를 예로 들었다. (111) 피크만

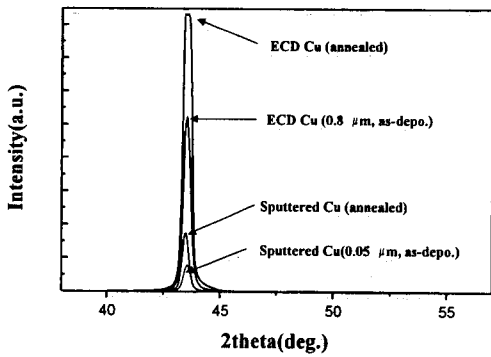


Fig. 2. XRD patterns of sputtered Cu film and ECD Cu film.

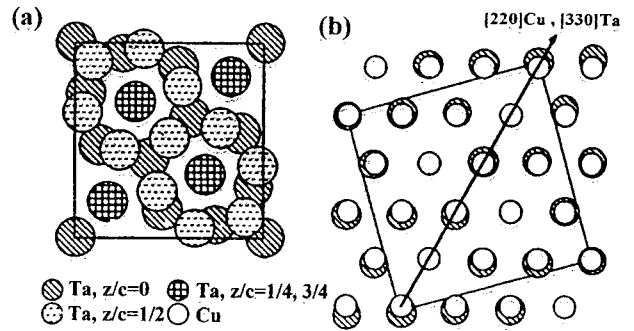


Fig. 4. Schematic projection view of atoms (a) in mono-atomic layers of Cu on Ta at the interface (b) to illustrate atomic matching.¹¹⁾

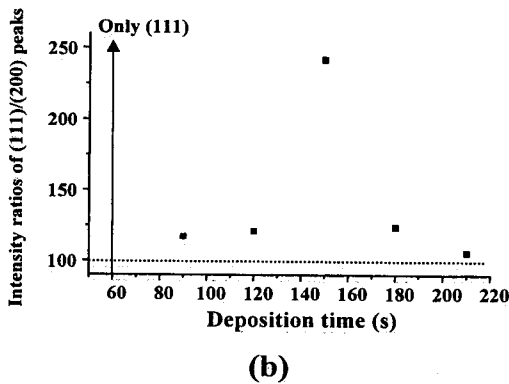
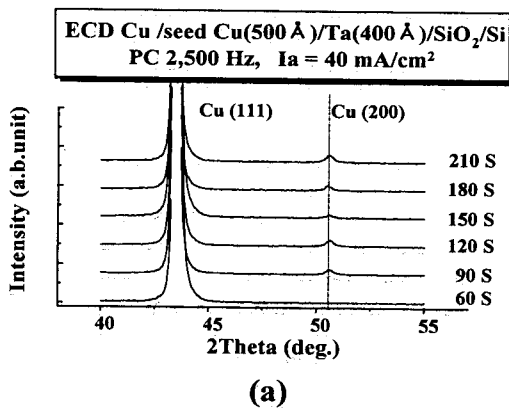


Fig. 3. (a) XRD patterns, (b) intensity ratios of (111)/(200) peaks with various deposition times.

이 강하게 나타나고 있고 (200) 피크는 전혀 나타나지 않았다. 그림 2에서 나타난 것처럼 450 °C에서 30분간 진공 열처리 한 경우에도 (111) 피크의 결정성이 향상될뿐, (200) 피크는 나타나지 않았다. 또한, 스퍼터링한 Cu 씨앗층의 XRD 패턴을 보면 (111) 피크만이 뚜렷이 나타나고 있다. 그림 3(a)는 증착 시간에 따른 구리박막의 XRD 패턴을 나타낸 것이며 이 때의 증착조건은 전류주파수는 PC 2,500Hz, 평균전류밀도는 40mA/cm²이었다. 증착시간이 60초 이상인 박막에서는 (200) 피크가 나타나고 있으나, 그림 3(b)에서 나타낸 바와 같이 (111) 피크에 비해

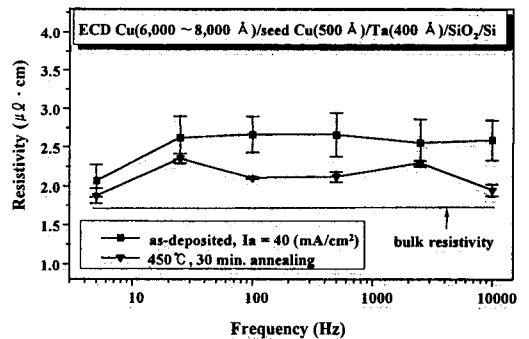


Fig. 5. Resistivity variation of as-deposited copper films and annealed copper films.

(200) 피크의 intensity가 1/100 미만으로 매우 작으므로 구리박막은 (111) 면으로 우선배향했다고 할 수 있다. 이러한 전착구리막의 (111) 우선배향성은 스퍼터링한 씨앗층의 (111) 배향성으로 기인한 것으로 사료된다. 스퍼터링한 Cu 씨앗층의 (111) 배향성은 (002) beta-Ta 상에서 구리막의 heteroepitaxial 성장으로 기인한 것이라 보고되고 있다.¹¹⁾ 그림 4(a)는 c축을 따라 P42/mnm 대칭을 갖는 Ta 결정의 단위셀의 원자들의 투영이다. 그림에서 보여지듯이 z/c=0 또는 0.5 인 지점의 (002)면상의 Ta 원자들이 pseudo-hexagonal array를 갖는다. 그리고 그림 4(b)에 보여진 것처럼 Cu (111) 면상에 있는 15개 Cu 원자와 11개의 Ta 원자가 접쳐진다. Cu와 Ta사이의 계면에서의 부정합 strain은 7.6%로 Ta layer 상에서 Cu의 heteroepitaxial 성장이 구리박막의 (111) 우선배향을 유발한 것으로 사료된다.

PC를 적용해 증착한 구리박막의 주파수에 따른 전기저항 변화를 살펴보기 위해 8,000 Å 두께로 제작한 시편의 면저항을 측정해 비저항값을 계산하여 그림 5에 나타내었다. 전류주파수를 1~10,000Hz로 변화시키면서 증착한 구리박막의 비저항은 2.0~2.6 μΩ · cm이었다. 5Hz에서 증착한 박막은 2.0 μΩ · cm 정도로 가장 작은 비저항 값을 보이긴 하였으나 전류주파수 변화에 따른 전기저항 의존성은 보이지 않았다. 동일한 시편을 450 °C에서 30분간 진공 열처리한 후, 구리박막의 두께감소는 거의 일어나지 않았으며

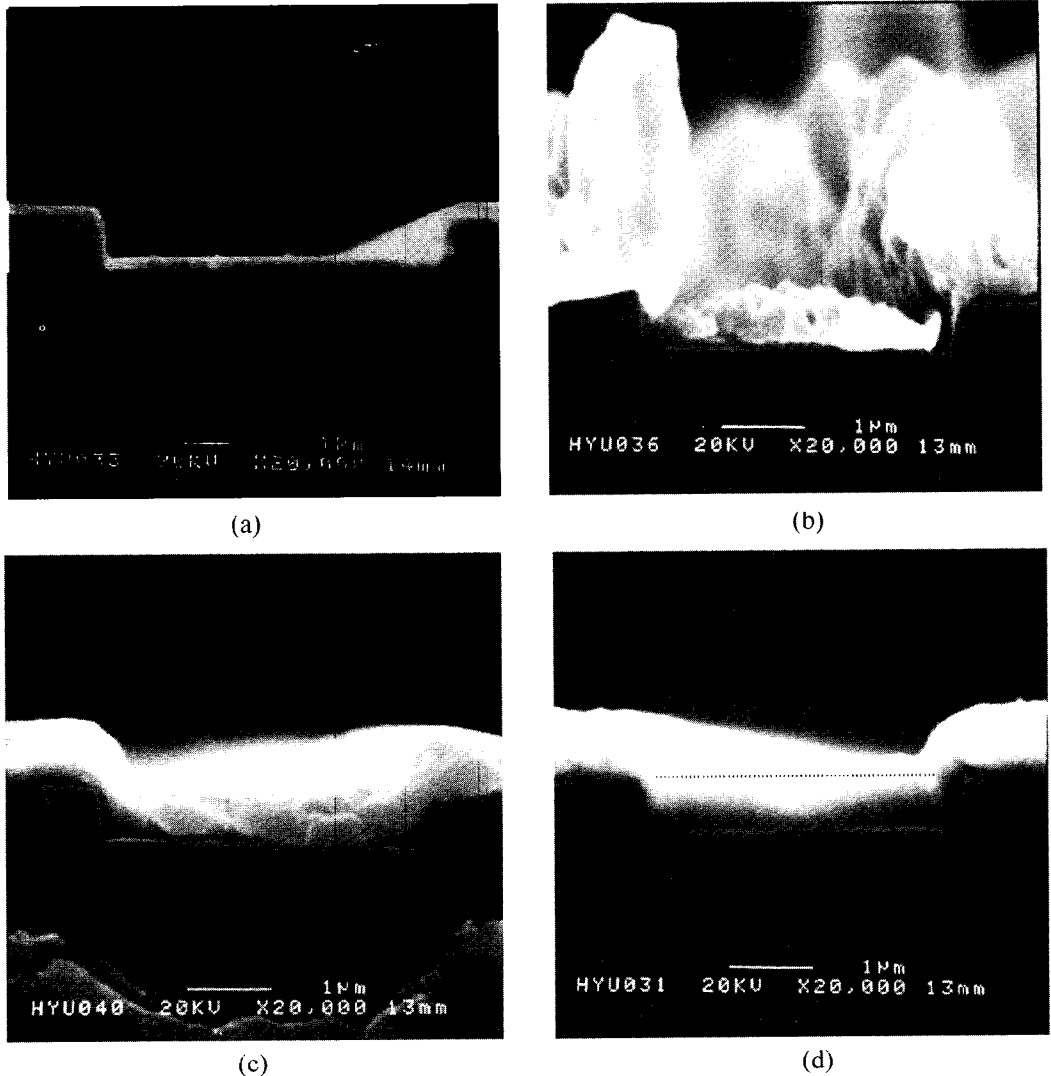


Fig. 6. SEM cross-section view of (a) sputtered and electro-deposited copper film at (b) DC, (c) PC 5Hz and (d) 2,500Hz

구리박막의 비저항은 $1.8 \sim 2.2 \mu\Omega \cdot \text{cm}$ 로 감소하여 10% 이상의 비저항 감소율을 보였다. 이러한 비저항의 감소는 열처리로 결정립의 성장과 결정결함이 감소하였기 때문인 것으로 사료되며 450°C 의 열처리로 전착 구리박막은 벌크 저항인 $1.7 \mu\Omega \cdot \text{cm}$ 에 가까운 양질의 구리박막을 얻을 수 있었다.

그림 6(a)는 SiO_2 패턴 위에 Ta을 400 \AA 두께로 스퍼터링 한 후, 진공을 깨지 않고 Cu 씨앗층을 500 \AA 스퍼터링 한 후의 SEM 단면사진이다. 종횡비가 크지 않기 때문에 상부, 하부 그리고 측면에 비교적 고른 씨앗층이 형성되었다. 스퍼터링법으로 형성된 씨앗층 위에 40 mA/cm^2 의 평균전류밀도를 인가해 60 초동안 구리박막을 증착하였다. 그림 6(b)는 DC를 인가했을 경우인데, 매우 빠른 증착속도로 인해 측면과 상부가 만나는 모서리에서 와전류현상이 발생해 성장입자가 솟아오르는 형상을 보였다. 반면, PC를 적용했을 경우(그림 6(c)), 전체적으로 균일한 두께로 도포된 형상을 볼 수 있다. 특히, 와전류가 발생하기 쉬운 모

서리에서도 균일한 두께를 유지하고 있음을 볼 수 있다. 이러한 사실로 미루어 볼 때, 빠른 속도로 등각의 트렌치 충전을 위해서는 PC를 사용하는 것이 적절하다고 볼 수 있다.

그림 7(a) ~ (c)는 직경이 $0.35 \mu\text{m}$, 종횡비가 4 : 1인 via hole에의 구리충전 특성을 나타낸 것이다. Via hole 충전 특성은 PC 주파수에 대한 의존성은 보이지 않았고 $4,500 \text{ A/min}$ 의 매우 빠른 증착속도에서는 via hole 내부에 공동이 형성되었다(그림 7(a)). 이는 via hole의 측벽과 상부가 만나는 모서리 부분에서의 와전류현상으로 인하여 via hole 하부에 비해 상대적으로 빠른 증착이 이루어졌기 때문인 것으로 사료된다. 따라서, 증착속도를 늦추어, PC 5Hz (100ms on/100ms off voltage)의 증착조건에서 $2,500 \text{ A/min}$ 의 증착속도로 via hole의 적절한 충전이 가능하였다(그림 7(b), (c)). 이상의 결과로 미루어 볼 때, PC를 사용하여 직경이 $0.35 \mu\text{m}$, 종횡비가 4 : 1인 via hole에는 적절히 충전하였으나 직경이 더욱 작은 via hole에서는 와전

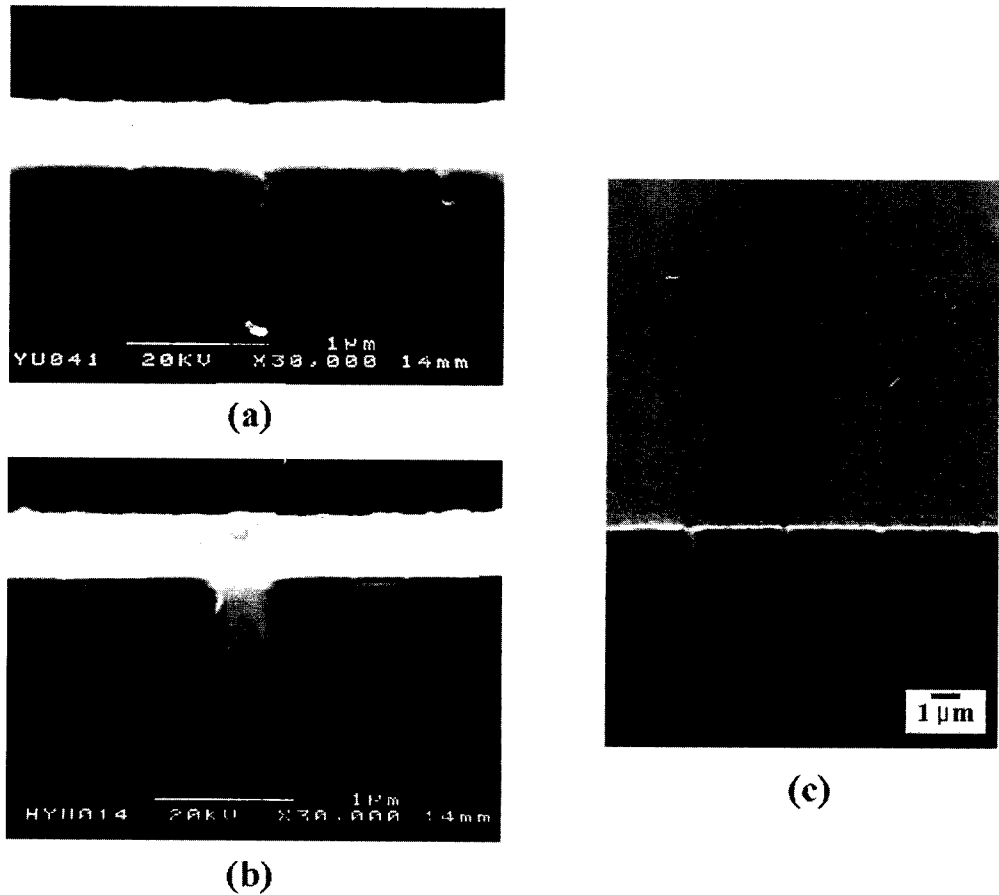


Fig. 7 SEM cross sections of 0.35 μ m ECD-copper filled vias seeded by IMP sputtering Cu/TaN layers. (a) 4,500 Å/min($\times 30,000$), (b) 2,500 Å/min($\times 30,000$) and c) 2,500 Å/min($\times 10,000$)

류현상이 더욱 심각할 것으로 여겨진다. 이러한 문제를 해결하기 위한 방안으로 박막의 증착과 에칭이 교번되는 PR (periodic reverse) 전류의 사용이 제안된다.

4. 결 론

스퍼터링법과 ECD법에 의해 ECD Cu/seed-Cu/ Ta (TaN)/SiO₂(BPSG)/Si 구조를 형성한 후, 공정변수에 따른 구리박막의 특성과 열처리에 의한 막질의 변화를 고찰한 결과 다음과 같은 결론을 얻었다.

1) 구리박막의 증착속도는 전류밀도 증가에 따라 비례적으로 증가하였고, PC 주파수 증가에 따라 증가하다가 500Hz 이상에서는 포화되었다. 주파수 변화에 따른 증착속도는 6,000~8,200 Å/min이었다.

2) Ta 기판위에 전해증착한 구리박막의 (111)/(200) 비는 PC 주파수의 영향을 받지 않고 (111)면으로 우선배향했는데, 이러한 이유는 Ta 기판이 구리박막의 hetero-epitaxial 성장을 유도한 것으로 사료된다.

3) PC로 전착한 구리박막의 비저항은 2.1~2.6 $\mu\Omega \cdot$ cm이었고, 450 °C에서 30분간 진 공열처리후 1.8~2.2 $\mu\Omega \cdot$ cm로 감소하였다.

4) PC를 이용해 6,000~8,200 Å/min 의 빠른 속도로 패턴상에 균일한 도포가 가능하였다.

5) PC를 이용하여 2,500 Å/min의 증착속도로 직경이 0.35 μ m, 종횡비가 4 : 1인 via hole에 적절히 충전하였다.

참 고 문 헌

1. S. Venkatesan, A.V. Gelatos, V. Misra, et al. : Tech. Dig. Int. Conf. Electron Devices Meeting (IEEE, Piscataway, 1997), pp. 769-772.
2. D. Edelstein, J. Heindenreich, R. Goldblatt, et al. : Tech. Dig. Int. Conf. Electron Devices Meeting (IEEE, Piscataway, 1997), pp.773-776.
3. V.M. Dubin, C.H. TING, R. CHEUNG, R. LEE and S. CHEN : Proc. of the Conf. on Advanced Metallization and Interconnect Systems for ULSI Applications in 1997 (Materials Research Society Press, Pittsburgh, PA, 1998), pp.405-411.
4. S.P. Murarka, et al. : MRS BULLETIN 18 (1993) No. 6, pp. 46-51.
5. S.P. Murarka and R.J. Gutmann : Thin Solid Films 236 (1993), pp. 257-266.
6. R.L. Jackson, E. Broadbent, T. Cacouris, A. Harrus, M. Biberger, E. Patton, T. Walsh : Solid State Technol. 41 (1998) No.3, pp. 50-59.

7. V.M. Dubin, Y. Shacham-Diamand, B. Zhao, P.K. Vasudev and C.H. Ting : J. Electrochem. Soc. **144** (1997), pp. 898-908.
8. V.M. Dubin, E.H. ADEM, J. BERNARD, D. SCHONAUER AND J. BERTRAND : Proc. of the Conf. on Advanced Metallization and Interconnect Systems for ULSI Applications in 1997 (Materials Research Society, Pittsburgh, PA, 1998), pp.421-426.
9. V.M. Dubin, C.H. Ting and R. Cheung : Proc. 14th Int. Conf. VLSI Multilevel Interconnection Conference, Santa Clara, 1997, USA, p. 69.
10. Robert J. Contolini, Steven T. Mayer, Robert T. Graff, Lisa Tarte, Anthony F. Bernhardt : Solid State Technol. **40** (1997) No.6, pp.155-161.
11. KEE-WON KWON, HOO-JEONG LEE, CHANGSUP RYU, ROBERT SINCLAIR and S.S. WONG : Proc. of the Conf. on Advanced Metallization and Interconnect Systems for ULSI Applications in 1997 (Materials Research Society, Pittsburgh, PA, 1998), pp.712-714.