

## 여러 분위기에서의 저온 열처리와 폴리머 기판의 표면 morphology가 비정질 Ta<sub>2</sub>O<sub>5</sub> 박막 커패시터의 특성에 미치는 영향

조성동·백경욱

한국과학기술원 재료공학과

### Effects of Low Temperature Annealing at Various Atmospheres and Substrate Surface Morphology on the Characteristics of the Amorphous Ta<sub>2</sub>O<sub>5</sub> Thin Film Capacitors

Sung-dong Cho and Kyung-wook Paik

Korea Advanced Institute of Science and Technology, Department of Materials Science and Engineering,  
373-1 Kusong-dong, Yuseong-gu, Taejeon 305-701

(1999년 2월 18일 받음, 1999년 4월 2일 최종수정본 받음)

**초 록** 시스템의 크기를 줄이고 더 우수한 전기적 성능을 얻을 수 있는 방법으로서 integrated capacitor에 대한 관심은 날로 커지고 있다. 본 연구에서는 MCM의 integrated capacitor로 사용하기 위해 DC magnetron 반응성 스퍼터링 방법을 이용하여 비정질 Ta<sub>2</sub>O<sub>5</sub> 박막 커패시터를 만들었으며 저온 열처리와 기판의 표면 morphology가 그 특성에 미치는 영향에 대하여 논의하였다. 저온 열처리는 분위기에 상관 없이 커패시터의 수율을 증대시키는 효과가 있었다. 하지만 산소분위기에서의 열처리는 박막의 누설 전류를 크게하였는데 이는 누설전류 메커니즘을 살펴본 결과 산소에 의한 Ta<sub>2</sub>O<sub>5</sub>막 표면 상태의 변화 때문인 것으로 생각된다. MCM의 층간 절연물질로 사용되는 Upilex-S 폴리머 필름 위에 제작된 커패시터의 누설전류는  $7.27 \times 10^{-8}$  A/cm<sup>2</sup> 이었고 항복전 기장세기는 1.0MV/cm 이상이었다. 이 커패시터의 특성은 실리콘 기판 위에 만들어진 커패시터의 특성보다 약간 떨어지는 것이지만 전자패키징용 다층기판 패키지의 decoupling capacitor로 사용할 수 있는 성능을 가지고 있다. AFM을 통한 여러 층의 표면 roughness 분석 결과 폴리머 필름 위에 만들어진 커패시터의 성질은 기판 표면의 morphology에 의해 상당한 영향을 받았으며 이 영향은 폴리머 필름의 표면 morphology에 의한 영향과 커패시터 하부전극의 증착방법에 따른 하부금속전극의 morphology에 의한 영향으로 나눌 수 있었다. 따라서 MCM의 폴리머 필름 위에 제작된 커패시터가 더 나은 특성을 보이기 위해서는 이들의 적절한 조절이 필요하다.

**Abstract** Interest in the integrated capacitors, which make it possible to reduce the size of and to obtain improved electrical performance of an electronic system, is expanding. In this study, Ta<sub>2</sub>O<sub>5</sub> thin film capacitors for MCM integrated capacitors were fabricated on a Upilex-S polymer film by DC magnetron reactive sputtering and the effects of low temperature annealing at various atmospheres and substrate surface morphology on the capacitor characteristics were discussed. The low temperature (150°C) annealing produced improved capacitor yield irrespective of the annealing atmosphere. But the leakage current of the O<sub>2</sub>-annealed film was larger than that of any other films. This is presumably due to the change of the Ta<sub>2</sub>O<sub>5</sub> film surface by oxygen, which was explained by conduction mechanism study. Leakage current and breakdown field strength of the capacitors fabricated on the Upilex-S film were  $7.27 \times 10^{-8}$  A/cm<sup>2</sup> and 1.0 MV/cm respectively. These capacitor characteristics were inferior to those of the capacitors fabricated on the Si-substrate but enough to be used for decoupling capacitors in multilayer package. Roughness Analysis of each layer by AFM demonstrated that the properties of the capacitors fabricated on the polymer film were affected by the surface morphology of the substrate. This substrate effect could be classified into two factors. One is the surface morphology of the polymer film and the other is the surface morphology of the metal bottom electrode determined by the deposition process. Therefore, the control of the two factors is important to obtain improved electrical properties of capacitors deposited on a polymer film.

### 1. 서 론

커패시터 (capacitor), 레지스터 (resistor), 인덕터 (inductor)와 같은 개별형 (discrete) 수동소자는 현재 PCB (printed circuit board)의 표면을 40내지 60% 정도 차지하고 있다고 한다.<sup>1)</sup> 따라서 통신기거나 휴대용 전자기기와

같이 제품의 크기를 작게 만들어야만 하는 경우에는 이 수동소자에 대한 적절한 처리가 필요하다.<sup>2)</sup> 그 방법의 하나가 Integrated passives이다.

그림 1은 MCM (multichip module)의 단면을 나타낸 것으로 integrated passives의 기본 개념을 설명하기 위한 그림이다. MCM이란 두개 이상의 IC(보통은 bare chip)

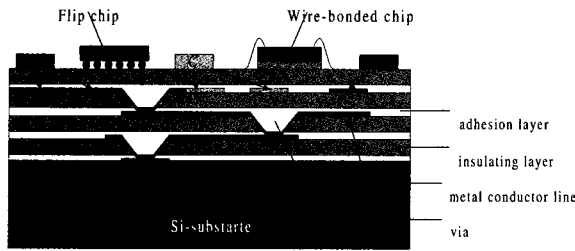


Fig. 1. Passive component incorporation into MCM multilayer structure.

들이 하나의 공통 지지기판 위에 상호 접속(interconnection) 되어 동작하도록 만들어진 구조물을 말하며 대개 그림 1에서 보는 것과 같은 다층구조의 형태를 갖게 된다. 이러한 MCM 패키징(packaging) 방법을 이용하면 기존에 하나의 칩에 하나의 패키지를 적용하는 것에 비해 칩의 밀도를 높일 수 있고 시스템의 크기와 무게를 줄일 수 있으며 소자간의 접속거리가 짧아져 더 나은 전기적 성능도 기대할 수 있다. Integrated passives는 이런 MCM을 이용할 때 더 나은 효과를 얻을 수 있도록 하는 방법이다.<sup>3)</sup> Integrated passives의 기본 개념은 그림 1에서 보는 것처럼 기존의 MCM 또는 PCB 기판의 표면 위에 있는 레지스터, 커패시터, 인덕터 등의 수동소자들을 제거하여 다층구조기판의 한 층 위에 제조하여 넣어주는 것이다.<sup>2)</sup> 이같은 개념을 적용하여 개별형 수동소자를 박막형태의 integrated passives로 대체하면 개별형 수동소자가 차지하는 면적과 부피를 줄일 수 있기 때문에 전자제품의 크기와 무게를 줄일 수 있고, 잠재적으로 개별형 수동소자를 만들어 실장하는 비용을 줄임으로 비용면에서도 효과적일 뿐만 아니라, 칩과 수동소자사이의 접속길이(interconnection length)가 짧아져 특히 고주파에서 발생하는 전기적 기생성분(parasitics)을 감소시킴으로 더욱 더 향상된 전기적 성능을 얻을 수 있다는 장점이 있다. 특히 여러 전기적 응용에 요구되는 수동소자 중에서도 커패시터가 차지하는 비중이 40%나 되고, 전자회로의 동작 주파수가 높아짐에 따라 안정적이고 noise가 없는 파워를 공급하는데 필요한 decoupling capacitor의 중요성에 대한 인식이 늘어나면서 integrated capacitor에 대한 관심은 더욱 커지고 있다.<sup>1,2,4)</sup>

Ta<sub>2</sub>O<sub>5</sub>는 이러한 integrated capacitor의 유전체로 사용할 수 있는 재료중의 하나로 유전상수가 높고 열적, 화학적으로도 안정하여 DRAM(dynamic random access memory) 커패시터의 유전체로도 많이 연구되어왔던 물질이다.<sup>5)</sup>

본 연구에서는 MCM의 integrated capacitor로 사용하기 위한 Ta<sub>2</sub>O<sub>5</sub> 박막 커패시터를 DC magnetron 반응성 스퍼터링 방법을 이용하여 만들고 그 특성을 평가하였다. 첫째로는 Ta<sub>2</sub>O<sub>5</sub> 박막의 여러 가지 분위기에서의 저온(150℃) 열처리가 Ta<sub>2</sub>O<sub>5</sub> 박막 커패시터의 특성에 미치는 영향을 살펴보았다. 150℃라는 온도는 고분자 재료의 안정성을 고려하여 택한 것으로 고분자 재료가 쓰이는 시스템에서는 200℃ 이상의 공정은 적용이 불가능하다. 둘째로는 Ta<sub>2</sub>O<sub>5</sub> 박막 커패시터를 Upilex-S<sup>®</sup>라는 고분자 필름 위에 만들고 실리콘 웨이퍼 위에 만들어진 Ta<sub>2</sub>O<sub>5</sub> 박막 커패시터와 비교하여 그 특성을 살펴보았다. 선행 연구자들의 연구결과와 마찬가지로 기판의 표면 topography는 그 위에 만들어지는 커패시터의 성질에 많은 영향을 주었으며 적절한 방법을 통해 기판의 roughness를 줄임으로써 커패시터의 성질 저하를 감소시킬 수 있었는데, 이를 통하여 커패시터의 성질에 미치는 기판의 영향에 대하여 논의하였다.

2. 실험 방법

2-1. 저온 열처리

여러 가지 분위기에서의 저온 열처리가 커패시터의 특성에 미치는 영향을 살펴보기 위해 사용한 커패시터 시편의 구조는 Al/Ta<sub>2</sub>O<sub>5</sub>/Al/Si-wafer였다. 하부전극으로 쓰기 위한 알루미늄은 스퍼터링 방법으로 5000 Å의 두께를 입혔다. 이 알루미늄 위에 3000 Å 두께의 Ta-oxide를 DC magnetron 반응성 스퍼터링 방법을 이용하여 증착하였다. 이 증착방법은 낮은 온도에서 박막의 증착이 가능하다는 장점 때문에 고분자 재료가 포함되어 있는 MCM이나 PCB 시스템과 같이 200℃ 이하의 저온 공정이 요구되는 응용분야에 적합하다.<sup>6)</sup> 증착조건은 스퍼터링 power 200 W에서 Ar과 O<sub>2</sub>가스의 유량을 각각 60 sccm과 50 sccm으로 하였다. 이 증착조건은 stoichiometric Ta<sub>2</sub>O<sub>5</sub> 막을 얻을 수 있는 조건으로 이에 대한 자세한 설명은 다른 논문에서 언급하였다.<sup>7)</sup> 상부전극은 thermal evaporation 방법을 이용하여 5000 Å의 알루미늄을 유전체 층 위에 증착하였는데 shadow mask를 이용하여 0.12 cm<sup>2</sup>의 원형 dot가 얻어지도록 하였다. 열처리는 Ta<sub>2</sub>O<sub>5</sub>막을 증착한 후, 다시 말해 상부전극의 증착 전에 행하였으며 그 조건은 표 1에 정리하였다.

증착된 Ta-oxide 막의 두께와 굴절률은 ellipsometer를 이용하여 측정하였다. 커패시터의 전기적 성질을 측정하기 위해서 통상적인 I-V와 C-V 측정방법을 사용하였다. 누설전류와 항복전기장세기는 Keithley 236 SMU(source measure unit)를 이용하여 측정하였으며, 커패시턴스

Table. 1. Annealing conditions.

	1	2	3	4
Temperature	as-deposited	150℃		
Atmosphere		vacuum	O <sub>2</sub> purging	N <sub>2</sub> purging
Pressure		< 0.001 atm	0.3 atm	
Time		4 Hr		

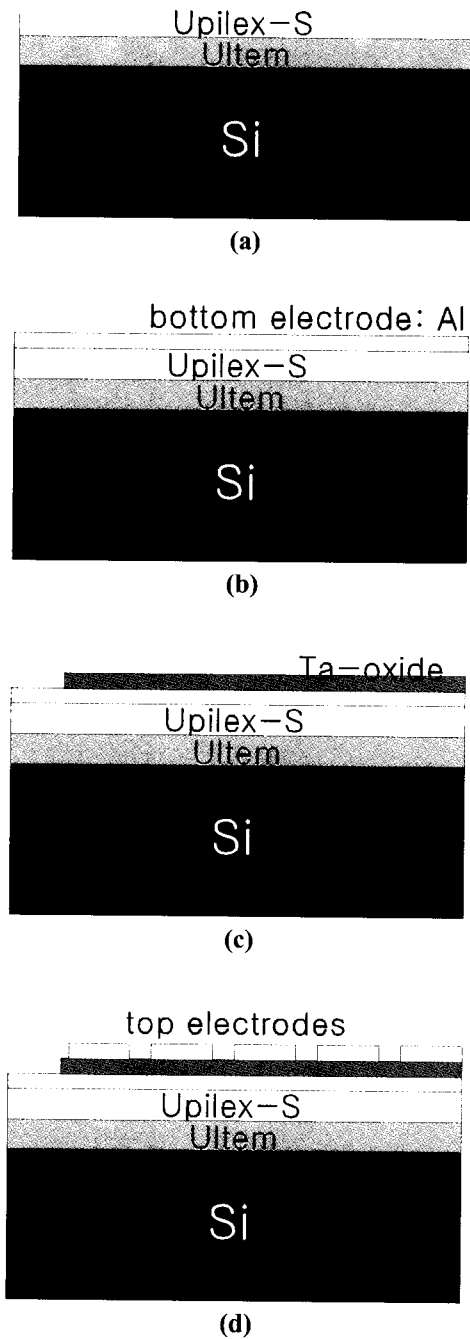


Fig. 2. Ta<sub>2</sub>O<sub>5</sub> thin film capacitor fabrication on the polymer film: (a) Upilex-S/Ultem lamination, (b) Al bottom electrode deposition: sputtering, (c) Ta<sub>2</sub>O<sub>5</sub> deposition: reactive sputtering, (d) Al top electrodes deposition: evaporation.

(capacitance) 와 유전손실상수 (dielectric loss factor) 는 HP4192 LF Impedance Analyzer를 이용하여 100KHz 와 1MHz의 주파수에서 DC 바이어스에 10mV의 AC sweep signal을 더하여 측정하였다.

2-2. 폴리머 필름 위에 만들어진 커패시터의 특성

이 실험에 사용한 커패시터 시편의 제작순서를 그림 2에 나타내었다. 최종적인 시편의 구조는 Al/Ta<sub>2</sub>O<sub>5</sub>/Al/Upilex-S/Ultem/Si-wafer로, MIM (Metal-Insulator-Metal) 구조의 커패시터를 고분자 필름이 붙여진 실리콘 기판 위에 만드는 것이며 이는 다층구조 MCM 기판의 한 층을 구현

하는 것이다. 저온 열처리 효과를 살펴보기 위한 실험에서는 Upilex-S/Ultem층을 빼고 실리콘 웨이퍼 위에 바로 커패시터를 증착하여 그 성질을 측정하였다.

Upilex-S<sup>®</sup> 고분자 필름은 polyimide 계열의 열경화성 수지로 400℃의 온도에서도 비교적 안정하고 유전상수가 작기 때문에 MCM의 층간 절연을 위해 사용되는 재료중의 하나다. 실리콘 웨이퍼와 Upilex-S<sup>®</sup> 필름 사이에 들어가는 Ultem<sup>®</sup>은 폴리머 접착층으로 열가소성이며 유리전이온도 (glass transition temperature)가 217℃로 이 온도 이상에서는 유동성을 갖게 되어 접착력을 지니게 된다. 두 폴리머 필름의 두께는 각각 30μm와 50μm였다. Ultem<sup>®</sup> 필름을 사용하여 Upilex-S<sup>®</sup> 필름과 웨이퍼를 접합하기 위해 300℃와 55 psi의 열과 압력을 이용한 라미네이션 (lamination) 방법을 이용하였다.

이렇게 만들어진 기판 위에 앞의 실험에서와 마찬가지로 Al/Ta<sub>2</sub>O<sub>5</sub>/Al 구조의 커패시터를 증착하였으며 같은 방법으로 커패시터의 특성을 측정하였다. 또한 각 층의 표면 morphology를 AFM을 이용하여 관찰하였으며 이를 통해 폴리머 필름의 표면 morphology가 커패시터의 특성에 미치는 영향을 논의하였다.

3. 결과 및 고찰

3-1. 열처리 효과

4가지의 서로 다른 조건에서 열처리한 Ta<sub>2</sub>O<sub>5</sub> 박막의 굴절률, 유전손실, 유전상수 값은 큰 차이를 발견할 수 없었으며 그 값은 각각 2.1, 0.007 (at 100kHz), 24.2 (at 100kHz) 이었다. XRD분석 결과 박막의 결정상태는 모두 비정질 (amorphous) 이었으며 열처리 전후로 변화는 관찰할 수 없었다. 그러나 항복전기장세기 (Breakdown field strength) 와 누설전류 (leakage current) 는 4가지 조건에서 차이를 볼 수 있었는데 이를 표 2에 정리하였다.

먼저 breakdown을 살펴보면 열처리를 하지 않은 박막은 1MV/cm까지 40%의 커패시터에서 breakdown이 일어났으나, 열처리를 한 박막은 분위기에 크게 상관없이 거의 breakdown이 발생하지 않았다. 따라서 저온 열처리는 열처리 분위기에 상관없이 커패시터의 수율을 높이는 효과가 있다고 생각된다. 이것은 열처리를 통해 박막의 치밀화, Ta-O의 결합강도 증가, 아르곤과 같은 불순물의 감소 등의 미세구조에 변화가 생긴 것으로 추측되며 이에 대해서는

Table. 2. Leakage current and breakdown field strength with the annealing atmospheres

atmosphere	leakage current density (A/cm <sup>2</sup> )		breakdown percentage
	0.5 MV/cm	1.0 MV/cm	
as-deposited	8.84 E-9	2.43 E-7	up to 1.0 MV/cm
vacuum	6.07 E-9	5.63 E-7	40
O <sub>2</sub>	6.94 E-8	3.86 E-6	0
N <sub>2</sub>	1.83 E-8	1.02 E-6	10

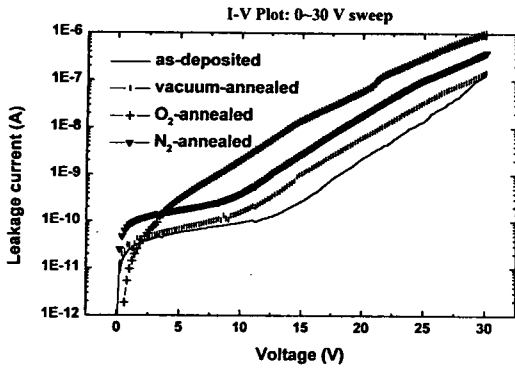


Fig. 3. I-V plot for Ta<sub>2</sub>O<sub>5</sub> capacitor at various annealing conditions.

좀더 연구가 필요하다.

누설전류의 경우 진공분위기에서 열처리한 박막은 0.5 MV/cm의 전기장에서 6.07 × 10<sup>-9</sup> A/cm<sup>2</sup>인 반면 산소분위기에서 열처리를 한 박막은 6.94 × 10<sup>-8</sup> A/cm<sup>2</sup>으로 10 배 이상의 차이를 보였다. 질소분위기에서 열처리한 것도 그리 좋진 않았는데 이는 열처리에 사용한 질소가스의 순도가 좋지 않아 (99.9%) Ta<sub>2</sub>O<sub>5</sub>의 표면이 불순물로 오염됐기 때문으로 추측된다. 열처리를 하지 않은 박막의 누설전류는 8.84 × 10<sup>-9</sup> A/cm<sup>2</sup>으로 질소 분위기에서 열처리한 박막의 누설전류보다도 작았다. 산소분위기에서 특히 좋지 않았던 것은 150°C라는 온도에서 산소가 박막의 내부에 영향을 주었기 때문이라 생각하기는 어렵고, Ta<sub>2</sub>O<sub>5</sub> 막의 표면상태가 변화했기 때문으로 생각할 수 있다. 그리고 이것은 박막의 누설전류 전도기구에 대한 연구를 통해서 설명할 수 있었다.

그림 3은 각 조건에서 열처리한 박막의 누설전류 거동을 보여준다. 그림에서 드러나듯이 산소분위기에서 열처리된 박막의 누설전류 거동은 다른 것과 틀린 것을 알 수 있다. 이를 분석한 결과 산소분위기에서 열처리한 박막의 누설전류는 Poole-Frenkel conduction 메커니즘에 의한 것이었고, 그 외의 경우 낮은 전기장에서는 Schottky conduction 메커니즘에 의한, 높은 전기장에서는 Poole-Frenkel conduction 메커니즘에 의한 것임을 알 수 있었다. F.C.Chiu의 보고에 의하면 CVD (chemical vapor deposition) 방법으로 만든 비정질 Ta<sub>2</sub>O<sub>5</sub>의 conduction 메커니즘은 낮은 전기장에서는 Schottky emission에 의한 것이고 높은 전기장에서는 Poole-Frenkel emission에 의한 것이라고 하였는데,<sup>9)</sup> 본 연구에서도 산소분위기에서 열처리한 것 외에는 같은 결과를 얻었다. Schottky 전기전도기구와 Poole-Frenkel 전기전도기구에 의한 누설전류는 각각 다음의 식으로 나타낼 수 있다.<sup>9)</sup>

*Leakage current due to Schottky conduction mechanism*

$$J = \frac{4 \pi m^* q k_B^2 T^2}{h^3} \exp\left(-\frac{\Phi_B}{k_B T}\right) \exp\left(\frac{\beta_S E^{1/2}}{k_B T}\right)$$

$$\beta_S = \left(\frac{q}{4 \pi \epsilon_0 \epsilon_i}\right)^{1/2}$$

*Leakage current due to Poole-Frenkel conduction mechanism*

$$J = q N_c \mu \exp\left(-\frac{\Phi_0}{k_B T}\right) \exp\left(\frac{\beta_{PF} E^{1/2}}{k_B T}\right) E$$

$$\beta_{PF} = \left(\frac{q}{\pi \epsilon_0 \epsilon_i}\right)^{1/2} = 2\beta_S$$

위의 식에서 알 수 있듯이 ln(J)와 E<sup>1/2</sup>의 관계가 선형적이며 그 기울기가 β<sub>S</sub>/k<sub>B</sub>T와 같으면 Schottky conduction 메커니즘에 의한 누설전류라 할 수 있으며, ln(J/E)와 E<sup>1/2</sup>의 관계가 선형적이고 이 때의 기울기가 β<sub>PF</sub>/k<sub>B</sub>T라면 Poole-Frenkel conduction 메커니즘에 의한 누설전류라고 이야기할 수 있다.<sup>8,9)</sup> 각각 상온에서의 이론적인 기울기 값은 0.00312 (cm<sup>1/2</sup>/V<sup>1/2</sup>)와 0.00624이다. 그림 4의 (a)와 (b)는 진공 분위기에서 열처리한 커패시터의 누설전류 메커니즘에 대한 것으로 (a)는 낮은 전기장에서 Schottky 메커니즘에 의한 것이라는 것을, (b)는 높은 전기장에서 Poole-Frenkel 메커니즘에 의한 것이라는 것을 보여주며, 각각의 기울기는 0.00336과 0.00671은 이론적인 값에 가까웠다. 그림 5는 산소 분위기에서 열처리한 박막의 누설전류가 Poole-Frenkel 메커니즘에 의한 것이라는 것을 보여준다. 기울기는 0.00814로 이론적인 값보다 다소 컸는데

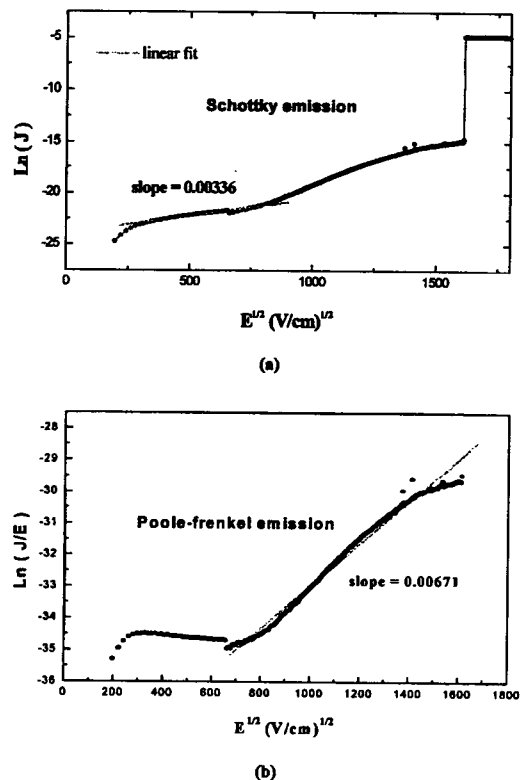


Fig. 4. Conduction mechanism for the as-deposited Ta<sub>2</sub>O<sub>5</sub> capacitors: (a) Schottky conduction mechanism in low field, (b) Poole-Frenkel conduction mechanism in high field.

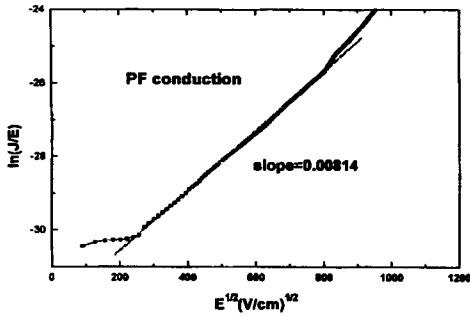


Fig. 5. Conduction mechanism for the O<sub>2</sub>-annealed film.

이 차이는 아마도 다른 메커니즘에 의한 전류가 포함되었기 때문으로 추측된다.

이상의 결과를 통해 볼 때 산소분위기에서 열처리하는 박막의 표면 상태에 변화를 주는 것으로 생각된다. 왜냐하면 Schottky conduction 메커니즘은 electrode-limited conduction 메커니즘으로 Al과 Ta<sub>2</sub>O<sub>5</sub>의 계면(interface)이 blocking contact이라는 것을 의미하지만 Poole-Frenkel conduction 메커니즘은 bulk-limited conduction 메커니즘으로 Al과 Ta<sub>2</sub>O<sub>5</sub>의 계면이 Ohmic contact이라는 것을 의미한다. 따라서 산소분위기에서의 열처리는 Ta<sub>2</sub>O<sub>5</sub>의 표면 층에 산소가 흡착되어 들어가도록 하여 Ta<sub>2</sub>O<sub>5</sub>층이 Al과 계면을 형성할 때 Ohmic contact이 되도록 하는 것으로 추측된다.

3-2. 폴리머 필름 위에 만들어진 커패시터의 특성

Upilex-S/Ultem/Si 기판 위에 증착된 Al/Ta<sub>2</sub>O<sub>5</sub>/Al 커패시터의 전기적 특성을 실리콘 웨이퍼 위에 만들어진 커패시터의 전기적 특성과 함께 표3에 정리하여 나타내었다. 측정에 이용된 커패시터의 수는 20개였다. 커패시턴스는 약 10 nF을 얻을 수 있었으며, 두 가지 경우에 있어서 굴절률과 유전상수는 비슷한 값을 보였다. 유전 손실은 모두 비교적 낮은 값이었으나 폴리머 위에 만들어진 커패시터에서 더 컸다. 누설전류를 비교하면 폴리머 필름 위의 커패시터에서 약 5배정도 더 컸다. 항복전기장세기(breakdown field strength)를 살펴보면 실리콘 기판 위의 커패시터에서는

Table 3. Comparisons of the Ta<sub>2</sub>O<sub>5</sub> thin film capacitors on the polymer substrate with the capacitors on the Si-substrate.

Properties		MIM cap. on Si	MIM cap. on Polymer sub.
Refractive index		2.088	2.074
Dielctric constant(100 kHz)		24.76	24.97
Dielectric loss(100 kHz)		0.0022	0.007
Leakage Current	0.5 MV/cm	1.670 E-8 (A/cm <sup>2</sup> )	7.273 E-8
	1.0 MV/cm	4.450 E-7	2.158 E-6
Breakdown Percentage	1.0 MV/cm	0	0
	2.0 MV/cm	0	35

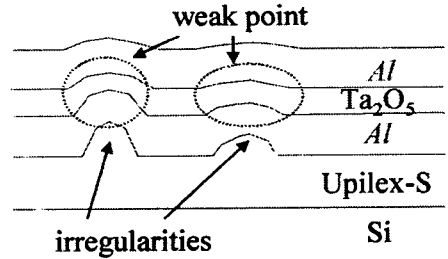


Fig. 6. Surface irregularities causing large leakage current and low breakdown field strength.

2 MV/cm까지 breakdown을 관찰할 수 없었다. 폴리머 기판 위의 커패시터에서도 1 MV/cm까지 breakdown이 관찰되지 않았지만 2 MV/cm까지에서는 35%의 커패시터에서 breakdown이 일어났다. 전반적으로 폴리머 기판 위에 만들어진 커패시터의 전기적 특성이 실리콘 기판 위의 커패시터에 비해 좋지 않았다. 그러나 이 정도의 커패시터 특성은 K.W.Paik의 보고에서 제시된 MCM의 응용에 사용하기 위한 커패시터의 요구조건을 충분히 만족시킨다.<sup>10)</sup> 그리고 0.5 MV/cm의 전기장에서 누설전류 7.27×10<sup>-8</sup> A/cm<sup>2</sup>의 값은 지금까지 보고된 폴리머 위에 만들어진 Ta-oxide 커패시터 중에서 가장 작은 값으로 생각된다.

K.Chen 등은 Kapton 필름 위에 Ta<sub>2</sub>O<sub>5</sub> 커패시터를 만들고 그 전기적 특성을 관찰하였는데 이 보고에 의하면 커패시터의 특성과 하부 기판, 특히 폴리머 필름의 topography 사이에는 상당한 관련이 있으며 폴리머 필름의 표면에 울퉁불퉁한 입자들이 많이 존재할수록 커패시터의 수율(yield)은 줄어들고 누설전류는 늘어난다고 하였다.<sup>10)</sup> 이는 그림 6과 같이 기판 표면의 roughness가 큰 경우 막의 어딘가에 평균 두께보다 얇은 곳이 존재하게 되며 이러한 곳에 국부적으로 높은 전기장이 걸리어 이곳을 통해 많은 누설전류가 흐르고 breakdown이 잘 일어나기 때문으로 생각할 수 있다. 앞의 논문에 의하면 Ta<sub>2</sub>O<sub>5</sub> 박막 커패시터를 표면이 매끈하고 평평한 실리콘 기판 위에 만들었을 때 보다 폴리머 필름 위에 만들었을 때 0.5 MV/cm의 전기장에서 누설전류는 100배 이상 증가하는 것으로 보고하였다. 본 연구의 결과도 마찬가지로 폴리머 필름 위에 만들어진 커패시터는 실리콘 기판 위에 만들어진 커패시터에 비해 그 특성이 저하되는 것으로 나타났다. 그러나 그 저하되는 정도는 K.Chen의 결과에 비해서는 상당히 작은 것으로 이는 표 4에서 보는 것처럼 K.Chen이 사용한 Kapton 필름에 비해 Upilex-S 필름의 roughness가 작기 때문으로 생각된다.

폴리머 필름의 표면 morphology 못지 않게 중요한 것이 하부전극 표면의 morphology이다. 최종적으로 커패시터의 유전체인 Ta<sub>2</sub>O<sub>5</sub>와 접하는 것은 하부전극 알루미늄으로, 이 하부전극 표면의 morphology는 폴리머 필름에 의해서도 영향을 받지만 알루미늄의 증착과정에 따라서도 많은 영향을 받는다. 그림 7은 기판의 최상층 물질에 따른 표면의 roughness값을 나타낸 것으로 AFM을 통해 측정된 것이다. 그림에서 보면 폴리머 필름 위에 알루미늄을 어떻게 증

Table 4. Some properties of Kapton film and Upilex-S film.

Properties	Kapton HN	Kapton E	Upilex-S
Particle counts (# of particles/mm <sup>2</sup> × 10 <sup>3</sup> )	8.73	< 0.3	0.19
CTE(ppm/°C)	20	13	12
Dielectric constant	3.4	3.2	3.5
Dissipation factor	0.0018	0.0023	-

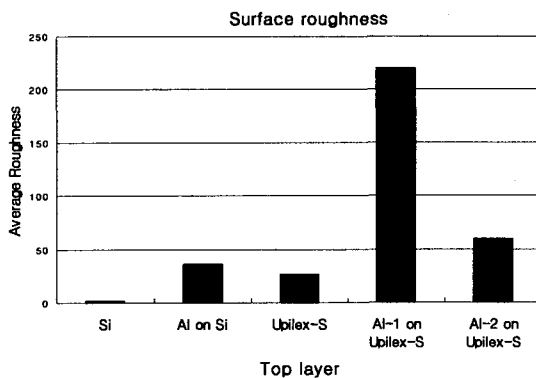


Fig. 7. Surface roughness (Å) of the various top layers.

착했으나에 따라서 그 표면의 roughness는 상당한 차이가 나타남을 알 수 있다. 5000 Å 두께의 막을 증착하는데 Al-1은 기판의 냉각없이 증착한 것이고 Al-2는 기판의 냉각을 통해 일정한 온도 이상으로 올라가지 못하도록 하면서 증착한 것으로 Al-1의 roughness가 훨씬 컸다. 이것은 스퍼터링되어 나온 입자가 기판에 증착되면서 잃어버리는 운동에너지로 인해 기판의 온도가 상승되는 것과 밀접한 관련이 있는 것으로, 기판의 온도가 높을수록 기판에 증착되는 입자들의 성장이 더욱 활발하고 불규칙하게 일어나 표면의 roughness가 증가하기 때문으로 생각된다.<sup>12)</sup> 실제로 A-1의 방법으로 하부전극을 증착하고 그 위에 Ta<sub>2</sub>O<sub>5</sub>를 증착한 커패시터는 누설전류도 크고 수율도 상당히 좋지 않았다.

#### 4. 결 론

Ta<sub>2</sub>O<sub>5</sub>막의 저온 열처리 는 커패시터의 수율을 좋게하는데 효과가 있었다. 그러나 산소 분위기에서의 열처리는 누설전류의 증가를 초래하였는데 이는 누설전류 메커니즘을 조사해본 결과 산소에 의한 Ta<sub>2</sub>O<sub>5</sub>막 표면상태의 변화에 의한 것으로 생각된다. 산소 분위기에서 열처리한 박막의 누설전류 메커니즘은 Poole-Frenkel conduction 메커니즘으로, 그 외의 Ta<sub>2</sub>O<sub>5</sub>막의 표면상태에 변화가 없는 박막의 누설전류는 낮은 전기장에서는 Schottky emission, 높은

전기장에서는 Poole-Frenkel emission에 의한 것으로 설명된다.

Polyimide 폴리머 필름 위에 Ta<sub>2</sub>O<sub>5</sub> 박막 커패시터를 만들고 그 특성을 살펴보았다. 이렇게 만들어진 커패시터의 특성은 실리콘 기판위에 만들어진 커패시터의 특성에 비해서는 조금 떨어지지만 MCM의 decoupling capacitor로 쓰기에 적합했으며 선행 연구자들의 결과와 마찬가지로 기판 표면의 morphology에 상당한 영향을 받음을 확인하였다. 최종적으로 커패시터의 성질에 영향을 미치는 것은 하부전극의 표면으로 이는 폴리머 필름 표면의 morphology와 하부전극 Al의 증착방법이라는 두가지에 의해 결정되는 것으로 생각된다. 따라서 우수한 커패시터의 성질을 얻기 위해서는 적절한 폴리머 필름의 선택과 roughness를 줄일 수 있는 하부전극 증착방법이 중요하다.

#### 참 고 문 헌

1. Lutz Brandt, Xiaomei Xi, Dan Baxter, Greg Owings, Sam Fu, Goran Matijascvic, and Pradeep Gandhi, *Proc. of Pan Pacific Microelectronics symposium*, Feb, 195 (1998).
2. Timothy Lenihan, Leonard Schaper, Gabriel Morcan, Keith Fairchild and Patrick Parkerson, *Int. Journal of Microcircuits & Electronic Packaging*, **20**(4), 474 (1997).
3. David Nelms, Richard Ulrich, Leonard Schaper, and Sadie Reeder, *Proc. of 48<sup>th</sup> ECTC*, May, 247 (1998).
4. Pradeep Lall and Shrikar Bhagath, *Solid State Technol.*, **36**(9), 65 (1993).
5. G.S.Oehrlein, *J. Appl. Phys.*, **59**(5), 1587 (1986).
6. K.Chen, M.Nielsen, G.R.Yang, E.J.Rymaszewski, and T.M.Lu, *J. Electron. Mater.*, **26**(4), 397 (1997).
7. 조성동, 백경옥, 한국재료학회지, **9**(6), (1999).
8. Gerard Barbottin and Andre Vapaille, *Insilities in Silicon Devices*, pp.263, North-Holland, Amsterdam, (1986).
9. Fu-Chien Chiu, Jenn-Jyh Wang, Joseph Ya-min Lee, and Shich Chuan Wu, *J. Appl. Phys.*, **81**(10), 6911 (1997).
10. K.W.Paik and T.M.Lu, *Mat. Res. Soc. Proc.*, **390**, 33 (1995).
11. K.Chen, M.Nielsen, S.Soss, E.J.Rymaszewski, T.M. Lu, and C.T.Wan, *IEEE CPMT-Part B*, **20**, 117 (1997).
12. J.A.Thornton, *Ann. Rev. Mater. Sci.*, **7**, 239 (1977).