

## 금속 불순물 Ca이 Si 기판의 표면 미세 거칠기에 미치는 영향

최형석·전형탁

한양대학교 재료공학부

### The Effect on the Microroughness of Si Substrate by Metallic Impurity Ca

Hyungseok Choi and Hyeongtag Jeon

Division of Materials Science and Engineering, CPRC, Hanyang University, Seoul, 133-791

(1998년 11월 26일 받음, 1999년 3월 24일 최종수정본 받음)

**초 록** 본 연구에서는 금속 불순물 중에서 열 공정 후 표면 거칠기에 영향을 끼치는 Ca 오염에 대하여 연구하였다. 인위적으로 오염을 시킨 후 금속 불순물의 오염량은 TXRF를 이용하여 측정하였고 오염물의 화학적 분석은 AES를 이용하여 분석하였다. 각 공정에서의 표면 거칠기의 변화는 AFM을 이용하여 측정하였다. 그리고 200 Å의 산화막을 성장시킨 후 산화막과 산화막을 제거한 계면의 미세 거칠기도 AFM을 이용하여 측정하였다. 그리고 산화막의 전기적 특성은 SPV를 이용하여 소수 전하 확산 거리를 측정하였고 또한 MOS 구조를 만들어 누설 전류 밀도와 절연 파괴 전압을 측정하였다. 인위적 오염된 Ca의 농도는  $10^{11} \sim 10^{12}$  atoms/cm<sup>2</sup> 정도였으며 Ca의 오염의 형태는 SEM과 AES로 분석시 파티클 형상으로 Ca, Si, O, C의 화합물이었다. 인위적 오염을 시킨 후 표면의 미세 거칠기는 초기의 1.5 Å에서 오염이 큰 경우에는 4 Å으로 증가하였다. 200 Å의 산화막을 성장시킨 후 인위적 오염이 발생했던 산화막의 미세 거칠기는 bare 기판과 별 차이가 없었다. 그러나 산화막을 제거한 계면의 미세 거칠기는 오염이 증가한 경우 초기의 미세 거칠기와 비슷한 수준인 3.78 Å까지 증가하였다. 산화막을 성장시킨 기판의 소수 전하 확산 거리는 오염이 증가할수록 감소하여 bare 기판의 절반정도인 167 μm까지 감소하였다. I-V 측정을 통한 절연 파괴 전압은 오염이 큰 경우 초기의 8MV에서 6.1MV까지 감소하였으며 누설 전류 밀도의 경우도 약간 증가하였다.

**Abstract** In this study, we focus on Ca contaminant which affects on the roughness of Si substrate after thermal process. The initial Si substrates were contaminated intentionally by using a standard Ca solution. The contamination levels of Ca impurity were measured by TXRF and the chemical composition of that was analyzed by AES. Then we grew the thermal oxide to investigate the effect of Ca contaminants. The microroughness of the Si surface, the thermal oxide surface, and the surface after removing the thermal oxide were observed by using AFM. The minority carrier diffusion length, leakage current, and breakdown voltage of thermal oxide were measured to examine the electrical characteristics. The initial substrates that were contaminated with the standard solution of Ca exhibited the contamination levels of  $10^{11} \sim 10^{12}$  atoms/cm<sup>2</sup> which was measured by TXRF. The Ca contaminants were detected by AES and exhibited the peaks of Ca, Si, C and O. After intentional contamination, the surface microroughness of this initial substrate was increased from 1.5 Å to 4 Å as contamination levels became higher. The microroughness of the thermal oxide surfaces of both contaminated and bare Si substrates exhibits similar values. But the microroughness of the contaminated Si/SiO<sub>2</sub> interface was increased as contamination increased. The thermal oxide of contaminated substrate exhibited the small minority carrier diffusion length, low breakdown voltage, and slightly high leakage current.

### 1. 서 론

현재의 반도체 기술은 이미 극미세 영역에 진입하였으며 기가 스케일의 소자의 개발에 매진하고 있다. 이와 같은 영역에서 소자 성능과 신뢰도를 만족시키기 위해서는 기판의 청정도에 대한 요구는 더욱 더 엄격해지고 있다.<sup>1,2)</sup> 초청정 실리콘 기판을 구현하기 위해서는 많은 조건들이 요구되고 있으며 그것은 무-입자, 무-유기오염물, 무-금속불순물, 무-자연 산화막, 완벽한 수소종단(Hydrogen-Termination), 그리고 원자 수준의 평탄한 표면이다.<sup>3)</sup> 위와 같은 초청정 기판을 만들기 위해서는 오염에 대한 발생을 억제해야만 하고 오염 시 발생하는 결과를 파악하여 오염을 방지

해야만 한다. 각 오염물질의 영향을 살펴보면 파티클은 낮은 전압에서 산화막 절연 파괴를 일으키며, pinhole이나 microvoid 같은 결함을 발생시킨다.<sup>4)</sup> 유기물은 산화막 성장 속도에 변화를 주며<sup>5)</sup> 자연 산화막은 게이트 산화막의 질을 저하시키고 에피 성장시 질을 떨어뜨리고 큰 접촉 저항값과 실리사이드 형성을 방해한다.<sup>6)</sup> 그리고 금속 불순물의 경우는 낮은 절연 파괴 전압과 높은 접합 누설 전류 그리고 소수 전하 수명을 감소시킨다.<sup>7,8)</sup> 표면의 미세 거칠기를 증가시키는 요인은 여러 가지가 있는데 그 중 하나는 RCA 세정 중 SC-1 세정에서 NH<sub>4</sub>OH (28%) : H<sub>2</sub>O<sub>2</sub> (30%) : H<sub>2</sub>O = 1 : 1 : 5인 용액에 80~90°C에서 10분간 세정하는 도중 표면의 미세 거칠기가 증가하는 것으로 알려져 있

다.<sup>9)</sup> 이 경우  $\text{NH}_4\text{OH}$ 의 혼합비를 낮추게 되면 미세 거칠기가 감소하는 것으로 보고되어졌다. 그리고 또 다른 것으로는 금속 불순물중의 하나인 Ca의 오염에 의한 것이고 할 수 있다. Ca 오염은 주로 공정 중에 사용되는 화학 용액에서 발생하는 것으로 사료되어지고 있다.<sup>10)</sup>

## 2. 실험 방법

본 실험에서 사용한 기판은 비저항이 4~7  $\Omega\text{-cm}$ , B로 도핑된 P-type, (100) 결정방향의 4인치 Si 기판을 사용하였다. 모든 기판은  $\text{H}_2\text{SO}_4$ (98%) :  $\text{H}_2\text{O}_2$ (30%)를 4:1로 혼합한 용액에 120°C에서 10분간 세정하였고 그 후 HF 용액 세정은 HF(49%) :  $\text{H}_2\text{O}$ 를 1:10로 혼합하여 10초간 세정하였다. 각 세정 후 10분간 초순수로 씻어낸 후 건조하였다. 세정을 실시한 후 10 ppm의 표준 용액을 초순수와 HF:H<sub>2</sub>O=1:50인 용액에 혼합한 후 10분간 담가서 인위적으로 오염을 시켰다. 이러한 방법으로 오염된 기판 위의 금속 불순물 잔류량을 측정하기 위하여 TXRF 측정을 하였다. 그리고 금속 불순물이 Si 기판 표면에 흡착하는 형태와 흡착 기구를 연구하기 위해 AES와 SEM을 이용하여 금속 불순물의 형태, 불순물과 계면의 화학적 성분 등을 분석하였다. 또한 오염물이 기판의 표면 미세 거칠기에 미치는 영향을 관찰하기 위하여 AFM으로 미세 거칠기를 측정하였다. 이와 같은 불순물이 산화 공정 중 미치는 영향을 관찰하기 위하여 건식 산화 방법으로 900°C에서 30분간 200Å의 산화막을 성장시켰다. 그리고 산화막의 미세 거칠기와 산화막을 HF:H<sub>2</sub>O=1:50인 용액으로 제거한 후 계면의 미세 거칠기를 관찰하였다. SPV를 이용하여 소수 전하 확산 거리를 측정하였으며 또한  $7.85 \times 10^{-3} \text{ cm}^2$ 의 Al 전극을 2000Å 두께로 증착 시켜 MOS capacitor 구조를 형성하여 HP-4155B를 이용하여 I-V 측정을 통해 산화막의 누설 전류 밀도와 절연 파괴 전압을 측정하였다. 이러한 실험으로 각 기판에서의 금속 불순물이 표면 거칠기와 전기적 성질에 미치는 영향을 관찰하였다.

## 3. 결과 및 고찰

금속 불순물은 이온 주입 공정 및 식각 공정 및 여러 공정에서 발생하게 되는데 Si 기판에 오염되는 기구는 화학적 흡착과 물리적 흡착이 있다. 화학적 흡착은 Si 기판에 수소 원자와 금속 이온 사이에서 직접적인 전자 교환에 의한 흡착이며 이와 같은 오염물은 기존의 습식 세정으로는 쉽게 제거되지 않는다. 이와 같은 금속불순물은 대부분 귀금속이며 전기 음성도가 Si보다 큰 금속인 경우 전자를 Si 기판으로부터 얻어 중성화되며 기판에 흡착한다. 물리적 흡착은 전자의 교환이 없는 van der Waals 힘에 의한 흡착으로서 이때 금속 불순물은 대부분 자발적으로 화학 산화물에 포함되어 오염된다. 이것은 주로 전기 음성도가 Si보다 작은 경우에 발생한다. Si와 Ca의 전기 음성도는 각각 1.8과 1.0이다. 그림 1은 Si 기판 위의 Ca 불순물의 SEM 사진으로 Ca 불순물은 파티클 형상으로 기판에 오염되었다. 그림 2는 Ca 불순물의 AES 분석으로 Si 기판에 오염된 Ca 오염

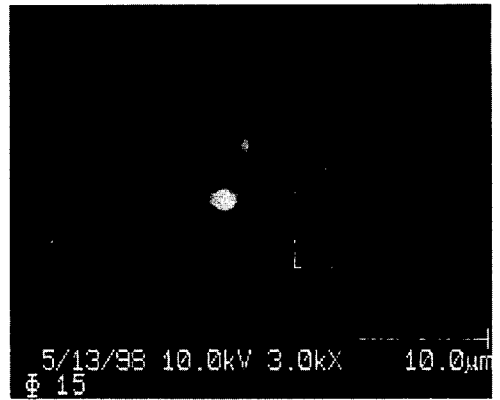


Fig. 1. SEM micrograph of Ca particles on the Si substrate.

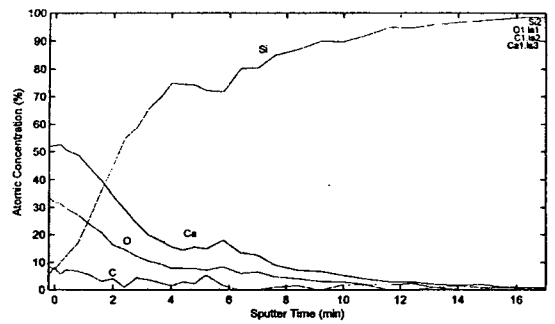


Fig. 2. AES depth profile of Ca impurity contaminated on Si substrate.

Table 1. Amount of Ca impurities after intentional contamination of Si substrate by TXRF.

	Bare	Ca contamination in DI water	Ca contamination in HF solution
contamination level (atoms/cm <sup>2</sup> )	$2.3 \times 10^{10}$	$3.80 \times 10^{11}$	$2.29 \times 10^{12}$

물의 화학적 성분은 Ca, O, C, Si의 화합물로 되어있는데 이것은 앞에서 언급한 것처럼 Ca의 전기 음성도가 Si보다 작기 때문에 물리적 흡착을 하여 Ca가 자발적으로 산화물에 포함된 것으로 사료된다. 이것은 산화물 형성 엔탈피의 관계를 보면 더 잘 알 수 있는데  $\text{CaSiO}_4$ 는  $\Delta H_f^\circ = -1634.9 \text{ KJ/mol}$ 이고  $\text{Ca}_2\text{SiO}_4$ 는  $-2307 \text{ KJ/mol}$ 이고  $\text{SiO}_2$ 는  $-909 \text{ KJ/mol}$ 이다. 음의 값이 클수록 자발적으로 생성될 가능성이 매우 높은 것이다. Ca, O, Si, C의 화합물은 위와 같은 화합물이라고 판단되었다. 이러한 이유로 인해 Ca는 물리적 흡착을 함을 알 수 있었다. 또한 각기 다른 방법에 의한 오염에 대한 금속 불순물의 잔류량은 TXRF로 측정을 하여 관찰하였다. 표 1에서 보면 인위적 오염 후 HF를 첨가한 경우 초순수에서보다 10배정도 더 많은 오염량을 보여주었다. Ca의 오염의 경우 초순수에서보다 HF가 첨가된 경우에 오염이 더 큰 것으로 나타나는데, 그 이유는 초순수에서의 Ca 이온의 용해도와 HF가 첨가되었을 때의 용

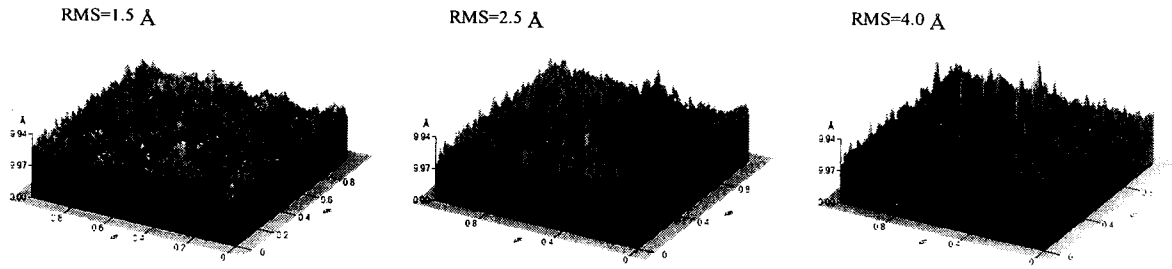


Fig. 3. The 3-D images of three different Si surfaces measured by AFM ; (a) bare Si substrate, (b) Ca contamination in deionized water, and (c) Ca contamination in HF solution.

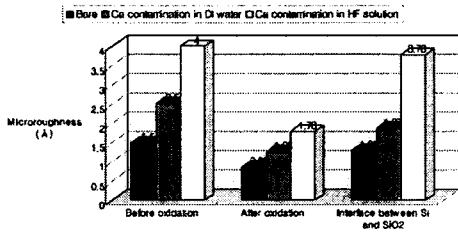


Fig. 4. Microroughness values of each surface before and after oxidation.

해도의 차이가 매우 크기 때문이다.<sup>10)</sup> 이 차이는 약 100배 정도로서 HF가 첨가되었을 때에는 용해도가 매우 작게 되어 용액 속의 Ca 이온들은 더 이상 용액 속에 존재하지 못하고 기판에 흡착되는 경향이 발생하게 되어 HF 용액과 함께 오염시킨 경우 더 큰 오염이 발생하였다고 사료된다.

그림 3은 각각의 오염 방법에 의한 미세 거칠기의 변화를 나타내었다. 두 가지 오염의 경우 모두 bare 웨이퍼보다는 더 거친 정도를 보여 주었으나 HF 용액에 함께 오염된 경우에 초순수에 오염된 것보다 더 큰 미세 거칠기를 보여 주고 있다. HF 용액에 함께 오염된 Si 기판의 미세 거칠기는 4.3 Å (root mean square)이다. 이와 같은 Si 기판 표면의 미세 거칠기가 산화막 형성에 어떤 영향을 주는지에 대해 알아보기 위해 전식 산화 방법으로 200 Å의 산화막을 성장시켰다.

그림 4는 산화막을 성장 시킨 후와 산화막을 제거 한 후의 미세 거칠기의 변화를 AFM으로 측정 한 값들의 그래프이다. 산화막 성장 후 표면의 미세 거칠기를 측정 한 결과 약간의 변화는 관찰할 수 있었으나 그다지 큰 차이를 볼 수 없었는데 그것은 성장시킨 산화막이 두껍기 때문에 상층부의 미세 거칠기는 표면에서의 오염물의 영향을 거의 받지 않는 것으로 생각되어진다. 그러나 HF:H<sub>2</sub>O=1:50인 용액에 담금으로써 산화막을 제거한 후 계면의 미세 거칠기를 관찰한 경우에는 bare wafer인 경우에는 별 차이가 없었다. 그리고 초순수에 오염한 것은 1.87 Å인 반면 HF 용액에 오염한 것은 3.78 Å이다. HF 용액에 오염된 기판은 초기에 오염된 기판의 미세 거칠기 값에 근접한 큰 값을 보여 주었다. 이와 같은 Ca 불순물의 산화막 성장시의 기판과 산화막 사이의 계면의 미세 거칠기 증가에는 크게 두 가지 영향으로 인해 발생한다고 사료되는데 첫 번째는 산화물 생

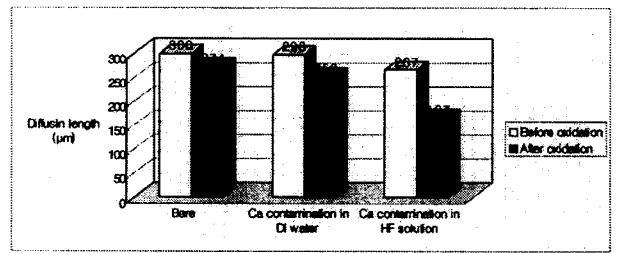


Fig. 5. The changes in minority carrier diffusion length dependent on the Ca impurities when oxidized.

성 엔탈피이다. SiO<sub>2</sub>의 경우 ΔH<sup>0</sup>는 -909KJ/mol이고 CaO인 경우 -655KJ/mol이다. 즉 산화막을 성장시키는 동안 SiO<sub>2</sub>의 생성도 자발적인 반면에 CaO와 같은 산화물의 형성도 가능하게 되어 산화막 형성에 있어 지역적으로 불균일한 성장을 일으키게 된다. 결국 이것은 계면의 미세 거칠기를 증가시키게 된다. 그리고 Ca의 Si bulk내에서의 확산 속도도 하나의 요인이라고 생각되는데 900°C에서의 확산 속도는 Cu의 경우 5.63×10<sup>-3</sup> cm<sup>2</sup>/s, Fe는 1.5×10<sup>-6</sup> cm<sup>2</sup>/s 정도인데 반하여 Ca는 1.16×10<sup>-16</sup> cm<sup>2</sup>/s로 매우 느리다. 산화막 성장 시 표면에 다른 불순물보다 장시간 잔류한다. 그러므로 Ca 오염이 발생한 경우에는 자발적인 산화물 생성과 낮은 확산 속도로 인해 계면의 미세 거칠기를 증가시키는 것으로 판단되어 진다.

이와 같이 산화막의 전기적 특성에 미치는 영향에 대한 결과를 알아보기 위해 SPV로 소수 전하 확산거리를 측정하여 보았다. SPV는 실리콘의 에너지 밴드갭 보다 약간 큰 에너지를 갖는 단색광을 웨이퍼표면에 조사시킴으로써 생성된 전자 정공쌍이 분리되어 소수 전하는 결정 표면의 전기적 장벽에 축적되고 다수 전하는 결정 뒷면으로 향하게 된다. 이때 결정 표면의 광전압을 측정하여 소수 전하의 확산거리를 측정하는 것이다. 그림 5는 SPV로 측정 한 소수 전하 확산 거리의 변화이다. SPV는 기판의 벌크 특성의 판단에 효과적인 것으로 bare 기판에서 300μm의 좋은 특성을 보여주었고 초순수에 오염된 경우에는 별 차이가 없었으나 HF 용액에 오염시킨 기판은 다소 감소하였다. 그러나 산화막을 성장시킨 후에는 HF 용액에 오염시킨 기판의 경우 167μm까지 감소하였다. 산화막에 포함된 Ca 불순물과 계면의 미세 거칠기가 결합으로 작용하여 SPV 측정시 소

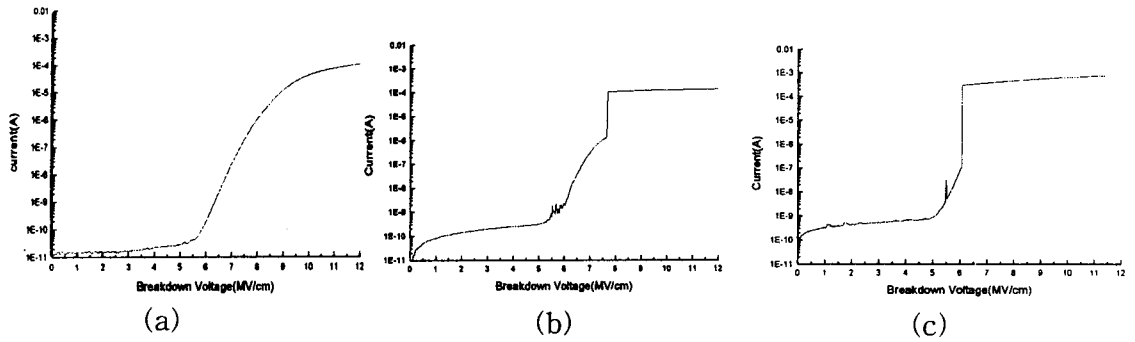


Fig. 6. I-V measurement of thermal oxide on (a) bare Si substrate, (b) Ca contamination in DI water, and (c) Ca contamination in HF solution.

Table 2. Dielectric characteristic of the MOS capacitor.

	Bare	Thermal oxide of Ca contamination in DI water	Thermal oxide of Ca contamination in HF solution
Leakage current density (nA/cm <sup>2</sup> )	1.02	7.51	25.5
Dielectric breakdown voltage (MV/cm)	8	7.5	6.1

수 전하의 트랩으로 작용을 하여 소수 전하 확산 거리가 감소한 것으로 판단된다. 이 결과로 인해 산화막의 특성이 저하되었음을 알 수 있었다. 또한 좀더 정확한 결과를 위하여 MOS 구조를 만든 후 산화막의 누설 전류 밀도와 절연 파괴 전압을 측정할 HP4155B를 이용하여 측정하였다. 누설 전류 밀도는 1MV/cm의 gate 전압에서 측정된 전류밀도로 정의하였고 파괴 전압은  $1 \times 10^{-6}$  A/cm<sup>2</sup>의 gate 전류 밀도에 이르게 하는 전압으로 정의하였다. 절연 파괴가 일어나는 과정은 두 단계로 나눌 수 있는데 산화막 내부와 실리콘-산화막 계면에서 전하와 트랩이 형성되어 국부적인 고전위계 영역이 생기는 것을 첫단계 (charge build-up stage)라고 하면 이렇게 형성된 국부적인 고전위계가 임계치에 달하여 전류가 통하게 되는 것을 두 번째 단계 (run-away stage)라 볼 수 있다. 절연 파괴 현상은 본래의 물성에 의하여 일어나는 경우 (intrinsic breakdown)와 SiO<sub>2</sub> 내부 또는 Si-SiO<sub>2</sub> 계면에 존재하는 결함에 영향을 받아서 일어나는 경우의 두 가지로 구분할 수 있는데 결함이 존재하는 경우는 커패시터의 절연 파괴가 일어나는 값에 있어서 뚜렷한 차이를 보인다. 그림 6은 I-V 곡선이고 표 2는 그 결과로서 bare인 경우 보다 오염이 발생한 경우 오염이 증가함에 따라 누설 전류가 증가한다. 절연 파괴 전압의 경우에도 bare 기관에서 8MV/cm의 좋은 특성을 보여주던 것이 오염이 증가할 수록 감소하여 고농도의 오염에서는 B 모드의 failure의 영역인 6.1MV/cm에서 절연 파괴가 일어났다. 이것은 산화막의 성장동안 산화막에 포함된 금속 불순물이 산화막내에 결함을 생성시킨 것과 거칠어진 계면의 미세 거칠기의 영향으로 인해 산화막의 지역적인 절연 파괴가 발생하는 것으로 사료되어진다. 이와 같이 Ca가 오염된 경우에는 계면의 미세 거칠기의 증가와 금속 불순물이 산화막의 내부에 결함을 형성시켜 초기 접합 누설 전류가

증가하며 낮은 절연 전압에서 파괴가 일어남을 알 수 있었다.

#### 4. 결 론

본 실험에서 통해서 얻어진 결론은 다음과 같다. Ca 불순물은 Si 표면 위에 구형의 파티클로 흡착되고 그 화합물은 Ca, O, C Si로 구성되어있다. 이로 인해 Ca는 물리적 흡착을 함을 알 수 있었다. 그리고 HF를 첨가한 경우 초순수보다 낮은 용해도로 인해 더 큰 오염이 발생한다. 산화막을 성장시킨 후 표면의 미세 거칠기는 그다지 큰 차이가 없으나 계면의 미세 거칠기에는 큰 영향을 미치게 되는데 그 이유는 Ca 불순물의 큰 음의 산화물 형성 엔탈피와 느린 확산 속도 때문이라고 사료된다. 그리고 산화막의 전기적 성질은 불순물로 인한 내부의 결함과 계면의 미세 거칠기로 인해 다소 높은 접합 누설 전류와 6.1MV의 절연 파괴 전압을 보여주었다.

#### 감사의 글

본 연구는 1997년도 교육부 학술 연구 조성비(반도체 분야, ISRC-97-E-1054)의 도움으로 수행되었기에 감사드립니다.

#### 참 고 문 헌

1. W. Kern, J. Electrochem. Soc., **137**, 1887 (1990).
2. C. Y. Chang and S. M. Sze, ULSI Technology, (McGraw-Hill, New York, 1996).
3. W. Kern, Handbook of Semiconductor Wafer Cleaning Technology, (Noyes Publication, New Jersey, 1993).
4. M. Liehr, Mat. Res. Soc. Symp. Proc. **259**, 3 (1992).

5. T. Ohmi, *Ultraclean Technology*, **6**, 49 (1992).
6. D. Graf, M. Gruder, L. Muhlhoff, M. Delfino, J. Appl. Phys., **69**, 620 (1991).
7. J. Alay, S. Verhaverbeke, W. Vandervorst, and M. Heyns, *Jpn. J. Appl. Phys.*, **32**, 358 (1993).
8. T. Ohmi, T. Imaoka, I. Sugiyama and T. Kezuka, J. Electrochem. Soc., **139**, 3317 (1992).
9. T. Ohmi, M. Miyashita, M. Itano, T. Imaoka, and I. kawanabe, *IEEE Trans. Electron Devices*, **39**, 537 (1992).
10. S. Verhaverbeke, *Dielectric Braakdown in Thermally Grown Oxide Layers*, Katholieke Universiteit, Leuven (1993).