

# DLTS 방법에 의한 GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/GaAs 이종구조의 물성분석에 관한 연구

이원섭\* · 최광수

\*Applied Materials Korea  
수원대학교 전기전자공학부

## Physical Characterization of GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/GaAs Heterostructures by Deep Level Transient Spectroscopy

Won Sub Yi\* and Kwang Su Choe

\*Applied Materials Korea

Division of Electrical and Electronic Engineering, University of Suwon, Hwasung-Gun, Kyonggi-Do 445-743

(1997년 6월 4일 받음, 1999년 3월 5일 최종수정본 받음)

**초 특** AP-MOCVD 방법으로 성장시킨 GaAs/undoped Al<sub>x</sub>Ga<sub>1-x</sub>As/n-type GaAs 이종구조의 deep level electron trap을 Deep Level Transient Spectroscopy(DLTS) 방법으로 측정하였다. 2" 반질연성 GaAs 기판 위에 TMGa, AsH<sub>3</sub>, TMAI, SiH<sub>4</sub> 가스를 사용하여 650 °C에서 AP-MOCVD 방법으로 동 이종구조를 증착하였으며, n-type GaAs 전도채널층(conduction layer)은 Si이 약  $2 \times 10^{17} \text{ cm}^{-3}$ 이 되도록 doping하였고, undoped Al<sub>x</sub>Ga<sub>1-x</sub>As 층은 Al 함량 x를 약 0.5, 두께를 약 10 ~ 40 nm까지 다르게 하여 시편을 제작하였다. 동 이종구조의 전기적 특성조사를 위하여 동 이종구조 시편 위에 Schottky diode array를 lift-off 공정과 Al을 사용한 thermal evaporation 방법으로 구성하였다. DLTS 측정결과 n-type GaAs 층만 존재하는 시편의 경우에는 0.787 eV의 EL2 level 만을 확인할 수 있었으며, Al<sub>x</sub>Ga<sub>1-x</sub>As 층의 두께가 10~40 nm인 시편의 경우에는 0.742~0.777 eV 및 0.359~0.680 eV의 deep level electron trap들을 확인하였다. 이 중에서 0.742~0.777 eV의 deep level electron trap들은 아마도 EL2 level과 MOCVD 공정 중에 유입된 잔류 산소의 영향이라고 생각되며, 0.359~0.680 eV의 trap 들은 Al-O 화합물과 잔류 Si의 영향으로 생각된다. 특히 n-type GaAs 전도채널층의 Si doping 농도가 증가함에 따라 electron trap 밀도 또한 증가하는 것으로 보아, 이것이 Schottky diode의 C-V 측정에서 관측된 hysteresis 현상과 관련이 있는 것으로 보인다.

**Abstract** The deep level electron traps in AP-MOCVD GaAs/undoped Al<sub>x</sub>Ga<sub>1-x</sub>As/n-type GaAs heterostructures have been investigated by means of Deep Level Transient Spectroscopy (DLTS). In terms of the experimental procedure, GaAs/undoped Al<sub>x</sub>Ga<sub>1-x</sub>As/n-type GaAs heterostructures were deposited on 2" undoped semi-insulating GaAs wafers by the AP-MOCVD method at 650 °C with TMGa, AsH<sub>3</sub>, TMAI, and SiH<sub>4</sub> gases. The n-type GaAs conduction layers were doped with Si to the target concentration of about  $2 \times 10^{17} \text{ cm}^{-3}$ . The Al content was targeted to x=0.5, and the thicknesses of Al<sub>x</sub>Ga<sub>1-x</sub>As layers were targeted from 0 to 40 nm. In order to investigate the electrical characteristics, an array of Schottky diodes was built on the heterostructures by the lift-off process and Al thermal evaporation. Among the key results of this experiment, the deep level electron traps at 0.742~0.777 eV and 0.359~0.680 eV were observed in the heterostructures; however, only a 0.787 eV level was detected in n-type GaAs samples without the Al<sub>x</sub>Ga<sub>1-x</sub>As overlayer. It may be concluded that the 0.787 eV level is an EL2 level and that the 0.742~0.777 eV levels are related to EL2 levels and residual oxygen impurities which are usually found in MOCVD GaAs and Al<sub>x</sub>Ga<sub>1-x</sub>As materials grown at 630~660 °C. The 0.359~0.680 eV levels may be due to the defects related with the Al-O complex and residual Si impurities which are also usually known to exist in the MOCVD materials. Particularly, as the Si doping concentration in the n-type GaAs layer increased, the electron trap concentrations in the heterostructure materials and the magnitude of the C-V hysteresis in the Schottky diodes also increased, indicating that they all are intimately related.

### 1. 서 론

GaAs 기판 위에 AP-MOCVD (Atmospheric Pressure Metalorganic Chemical Vapor Deposition) 방법으로 양질의 GaAs buffer layer를 성장시키고, 그 위에 전도채널로 사용될 n-type GaAs 층을 입인 후 도핑되지 않

은 Al<sub>x</sub>Ga<sub>1-x</sub>As 이종박막과 GaAs 보호층을 증착한 후 급속과 접합하여 HEMSFET (Heterojunction Metal-Semiconductor Field-Effect Transistor)의 gate를 모의한 Schottky diode를 형성하였을 때, 기존의 MESFET 디자인과 제조공정은 거의 그대로 유지하면서 Al<sub>x</sub>Ga<sub>1-x</sub>As의 높은 band gap으로 인한 barrier height ( $\Phi_B$ )의 증가를 얻

을 수 있음을 앞서 확인한 바 있다.<sup>1)</sup> 아울러 이  $\Phi_b$ 의 증가로 인하여 GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/GaAs 이종구조 위에 형성된 Schottky barrier gate가 순수 기판 위에 형성된 Schottky barrier gate에 비해 보다 높은 gate 전압을 허용하고 gate-source간 누설전류가 적을 것으로 예상할 수 있다. 하지만 Al<sub>x</sub>Ga<sub>1-x</sub>As층의 두께가 10~40 nm인 시편과 Al<sub>x</sub>Ga<sub>1-x</sub>As층이 없는 시편의 C-V 측정결과 Al<sub>x</sub>Ga<sub>1-x</sub>As층의 두께가 증가할수록  $\Delta C$  값이 증가하는 C-V 곡선의 hysteresis 현상을 관측할 수 있었으며, 이러한 hysteresis 현상은 Al<sub>x</sub>Ga<sub>1-x</sub>As 층이 없는 순수 GaAs 기판 위에 구성된 Schottky diode에는 거의 관측되지 않는 것으로 보아, 이종구조 계면 또는 Al<sub>x</sub>Ga<sub>1-x</sub>As 층 내의 electron trap들에 의한 것으로 생각될 수 있다.

## 2. 배경 설명

LEC (Liquid Encapsulated Czochralski) GaAs 웨이퍼 내부에는 W자 형태의 dislocation이 분포되어 있으며, deep level electron trap (EL2) 또한 W자 형태로 분포되어 있다. 아울러 Ga 혹은 As의 부족으로 인한 stoichiometric defect, 표면의 dangling bond에 의한 intrinsic surface state, 금속접합 계면의 불순물로 인한 interface state가 있으며, 항상 존재하는 불균질한 native oxide 내의 trap 또한 무시할 수 없다. 그밖에도 ingot으로부터 웨이퍼를 잘라 만들 때 생기는 saw damage와 polishing 중에 생기는 sub-surface damage는 이온주입 및 열처리에 의하여 형성되는 활성층의 전기적 특성의 불균질성과 비재현성을 초래하는 주요 원인으로 지적되고 있다.<sup>2)</sup> 또한 열처리 과정 중에 이온 주입된 불순물의 이동으로 인한 기판의 절연성의 약화는 substrate effect라 불리는 근접한 소자간의 상호작용 효과를 초래하며, 이 현상은 활성층의 두께가 작을 수록 그리고 donor 농도가 낮을 수록 크게 작용하는 것으로 알려져 있다.<sup>3)</sup>

DLTS를 사용한 MOCVD 방법이나 MBE (Molecular Beam Epitaxy) 방법, 혹은 VPE (Vapor Phase Epitaxy) 방법 등으로 성장된 GaAs와 Al<sub>x</sub>Ga<sub>1-x</sub>As/GaAs 이종구조에 대한 많은 연구결과가 보고되었는데,<sup>4-27)</sup> MOCVD 방법으로 GaAs 또는 Al<sub>x</sub>Ga<sub>1-x</sub>As를 성장시킬 경우에 유입된 산소는 GaAs 내에서 0.75 eV의 deep level를 형성하고,<sup>4,5)</sup> Al<sub>x</sub>Ga<sub>1-x</sub>As 내에서는 일반적으로 0.29, 0.41 그리고 0.66 eV의 deep level를 형성하는 것으로 알려져 있다.<sup>6)</sup> G. M. Martin 등<sup>8)</sup>에 의하면 EL2 level은 VPE 물질에서만 발견되고 MBE나 LPE (Liquid Phase Epitaxy) 물질에서는 발견되지 않는다고 보고하였다. H. Zhu 등<sup>11)</sup>은 MOCVD 방법으로 성장된 GaAs 내에서 발견된 deep level들은 VPE 방법으로 성장된 GaAs 내에서 발견되는 deep level<sup>9)</sup>과 일치한다고 보고하였고, Y. Kitagawara 등<sup>16)</sup>은 undoped LEC GaAs 내의 deep level도 일반적으로 VPE GaAs 내의 deep level<sup>9)</sup>과 일치한다고 보고하였다. 또한 MOCVD 방법으로 성장된 n-type GaAs의 경우에는 공통적인 EL2 level이 측정되었다고 보고된 바 있다.<sup>4, 11, 13, 14, 17)</sup>

GaAs 기판 위에 MOCVD 방법으로 성장시킨 undoped Al<sub>x</sub>Ga<sub>1-x</sub>As에 대한 연구결과에서도 Al 함량 x에 관계없이 공통적으로 EL2 level이 확인되었으며, Al 함량 x의 값이 0에서 0.4까지 일 때 deep level의 activation energy ( $E_T$ )가 0.25 eV에서 0.82 eV까지 임이 확인되었다.<sup>19-25)</sup> 한편 M. O. Watanabe 등<sup>13)</sup>은 MOCVD 성장온도가 630~660 °C인 시편에서는 EL2 level의  $E_T$ 가 0.78 eV, 720~740 °C인 시편에서는 0.82 eV 임을 보고하였다. 위에서 언급된 연구결과들을 종합해 보면 EL2 level은 MOCVD 방법으로 성장시킨 모든 시편에서 공통적으로 존재하고 GaAs 시편의 절연성을 증가시키는 것으로 알려져 있으며 또한 SIMS 분석결과 MOCVD 공정 중 유입된 산소와는 관계가 없는 것으로 판명되었다.<sup>6)</sup> EL2 level 이외의 특정한 deep level들은 Al 함량 x, 사용된 기판의 종류 그리고 dopant의 종류 등에 따라 다르게 존재함을 알 수 있으며, P. K. Bhattacharya 등<sup>10)</sup>은 MOCVD 방법으로 성장시킨 Al<sub>x</sub>Ga<sub>1-x</sub>As 물질에서 발견된 0.25, 0.35, 0.45 그리고 0.66 eV의 deep level electron trap들은 유입된 산소와 관련된 것으로 보고하였고, M. Sakamoto 등<sup>25)</sup>은 Al 함량 x가 0.3 이상인 시편의 경우 EL2 level 이외의 다른 level들은 산소뿐만 아니라 시편 내에 잔재하는 Si와 같은 doping impurity에 의한 DX-center일 가능성을 보고하였다.

위에서 언급된 모든 요소들은 궁극적으로 HEMSFET의 작동에 영향을 주게 되며, 따라서 Al<sub>x</sub>Ga<sub>1-x</sub>As 이종접합의 사용으로 인한  $\Phi_b$  혹은 gate 전압의 증가 효과가 자칫 그 의미를 잃을 수가 있으므로 시편의 정밀한 물성분석을 통하여 defect의 밀도 및 분포를 파악하여 defect에 의한 영향을 고려함이 중요하다.

본 연구의 목적은 DLTS 방법을 통하여 GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/n-type GaAs 이종구조 내에 존재하는 deep level electron trap들의 activation energy ( $E_T$ ), capture cross-section ( $\sigma_c$ ) 및 농도 ( $N_T$ )를 측정하고, 이들과 Schottky diode의 C-V hysteresis 현상과의 연관성을 밝히는데 있다.

## 3. 실험 방법

본 연구에서 사용된 GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/n-type GaAs 이종구조는 Hitachi사의 LEC 방법으로 성장된 직경이 2" 인 undoped semi-insulating type GaAs wafer를 기판으로 하여 그림 1<sup>1)</sup>에서와 같이 서울대학교 반도체공동연구소에서 AP-MOCVD 방법으로 표면으로부터 1) 20 nm 두께의 GaAs 보호층 (cap layer), 2) 10~40 nm 두께의 Al<sub>x</sub>Ga<sub>1-x</sub>As barrier층 (barrier layer), 3) 100 nm 두께의 n-type GaAs 전도채널층 (conduction channel layer), 4) 800 nm 두께의 GaAs 완충층 (buffer layer)을 순서대로 임혀 만들어 졌다. 이 이종구조 위에 lift-off 공정과 Al을 사용한 thermal evaporation 공정으로 Schottky diode array를 구성하였다. 표 1<sup>1)</sup>은 동 AP-MOCVD 공정의 주요 파라미터 값이며, 그 밖의 시편제조

Table 1. Key parameter values of the AP-MOCVD process used in fabrication of the GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/GaAs heterostructure specimens.<sup>1)</sup>

Parameter	Value
Substrate Temperature	650 °C
Ambient Pressure	775 torr
H <sub>2</sub> Sweep	1.5 slm
H <sub>2</sub> Carrier	14 sccm
(CH <sub>3</sub> ) <sub>3</sub> Ga	6.1 sccm
(CH <sub>3</sub> ) <sub>3</sub> Al	14.1 sccm
AsH <sub>3</sub>	19.1 sccm
SiH <sub>4</sub>	3 sccm
Growth Rate	16.3 nm · min <sup>-1</sup>

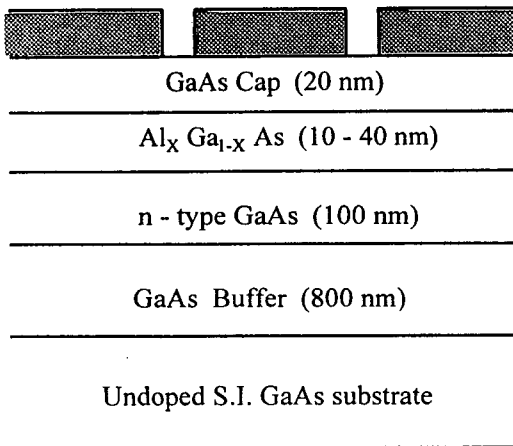


Fig. 1. The Cross-section view of a HEMSFET GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/n-type GaAs heterostructure fabricated by an AP-MOCVD method: the Al content x is about 0.5.<sup>1)</sup> On top of the GaAs cap layer lie Al contacts forming the Schottky diodes.

및 구조적 전기적 특성에 관한 자세한 내용은 별도의 논문<sup>1)</sup>에서 논의된 바 있다. 이 중 동 이중구조에 대한 분광식 일립소메타 측정결과<sup>1)</sup>를 정리하면, 시편 표면에는 2~3 nm 정도의 천연옥사이드가 존재하고, 규정치가 20 nm인 GaAs 보호층은 평균치가 14~20 nm, 규정치가 10 nm, 20 nm, 30 nm, 40 nm인 Al<sub>x</sub>Ga<sub>1-x</sub>As barrier층은 평균치가 각각 12 nm, 22 nm, 28 nm, 40 nm이고, 규정치가 x=0.5인 Al 농도는 평균치가 0.45~0.56 정도이다. 본 연구에서는 Al<sub>x</sub>Ga<sub>1-x</sub>As 층이 없는, 즉 n-type GaAs 층만 존재하는 시편(AGA0)과 상기 Al<sub>x</sub>Ga<sub>1-x</sub>As 층이 10~40 nm인 시편(AGA100~AGA400)을 DLTS 방법으로 측정하였다.

본 연구에서 사용한 DLTS 장비는 그림 2에서와 같이 (1) 커패시턴스 meter (HP 4280A)와 pulse generator (HP 8112A), (2) cryostat (CTI-Cryogenics)와 sample stage, (3) 온도조절기 (DRC-91C) (4) system controller (HP computer)의 4개의 주요 부분으로 구성되어 있다.

모든 동 이중구조의 DLTS 측정에 앞서서 C-V 측정을 실시하여 시편의 전기적 접촉을 확인하였고 측정에 필요한

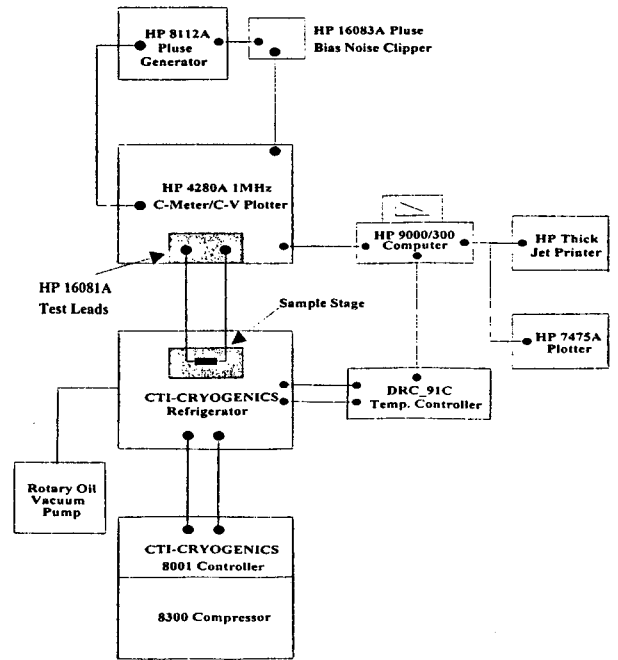


Fig. 2. A schematic diagram of the DLTS system used in the experiment: it consists of four main components of a capacitance meter (HP4280A) and pulse generator (HP8112A), cryostat and sample stage, temperature controller, and HP computer.

fill pulse 전압 (순방향 전압)과 measurement 전압 (역방향 전압)을 구하였다. 모든 deep level들의 전기적 신호는 공핍층에 관계되므로 역방향 전압은 concentration profile을 이용하여 depletion이 이중구조 시편의 n-type GaAs 층까지 충분히 일어나게 하는 전압을 선택하였고 순방향 전압은 가능한 한 모든 deep level에 전자가 채워질 수 있는 전압을 선택하였다. DLTS 장비에서 시편의 측정 온도범위는 50~320 °K 및 150~400 °K였으며 fill pulse 인가 후 최초의 측정 시간, 즉 minimum delay time ( $t_d$ )은 0.05 sec로 하였으며 window rate ( $t_2/t_1$ )은 4이다. Activation energy ( $E_T$ ), capture cross-section ( $\sigma_n$ )은 아래와 같은 방법으로 구하였다.

우선 DLTS 원리에서 emission rate ( $e_n$ )은

$$\frac{e_n}{T^2} = \gamma_n \sigma_n \exp\left(-\frac{E_T}{k} \frac{1}{T}\right) \text{이다.}$$

여기서  $\gamma_n$ 은  $2.28 \times 10^{20} \text{ cm}^{-2}$ 고, T는 온도이다. 위 식의 역을 구한 후 양변에 ln을 취하면

$$\ln\left(\frac{T^2}{e_n}\right) = -\ln \gamma_n \sigma_n + \frac{E_T}{k} \frac{1}{T} \text{이다.}$$

$e_n$ 은

$$\tau_{\max} = \frac{1}{e_n} (T = T_{\max}) = \frac{t_2 - t_1}{\ln \frac{t_2}{t_1}} \text{이다.}$$

위 식에서와 같이  $t_1$ 과  $t_2$ 만 알면  $\tau_{\max}$  혹은  $e_n$ 을 쉽게 구

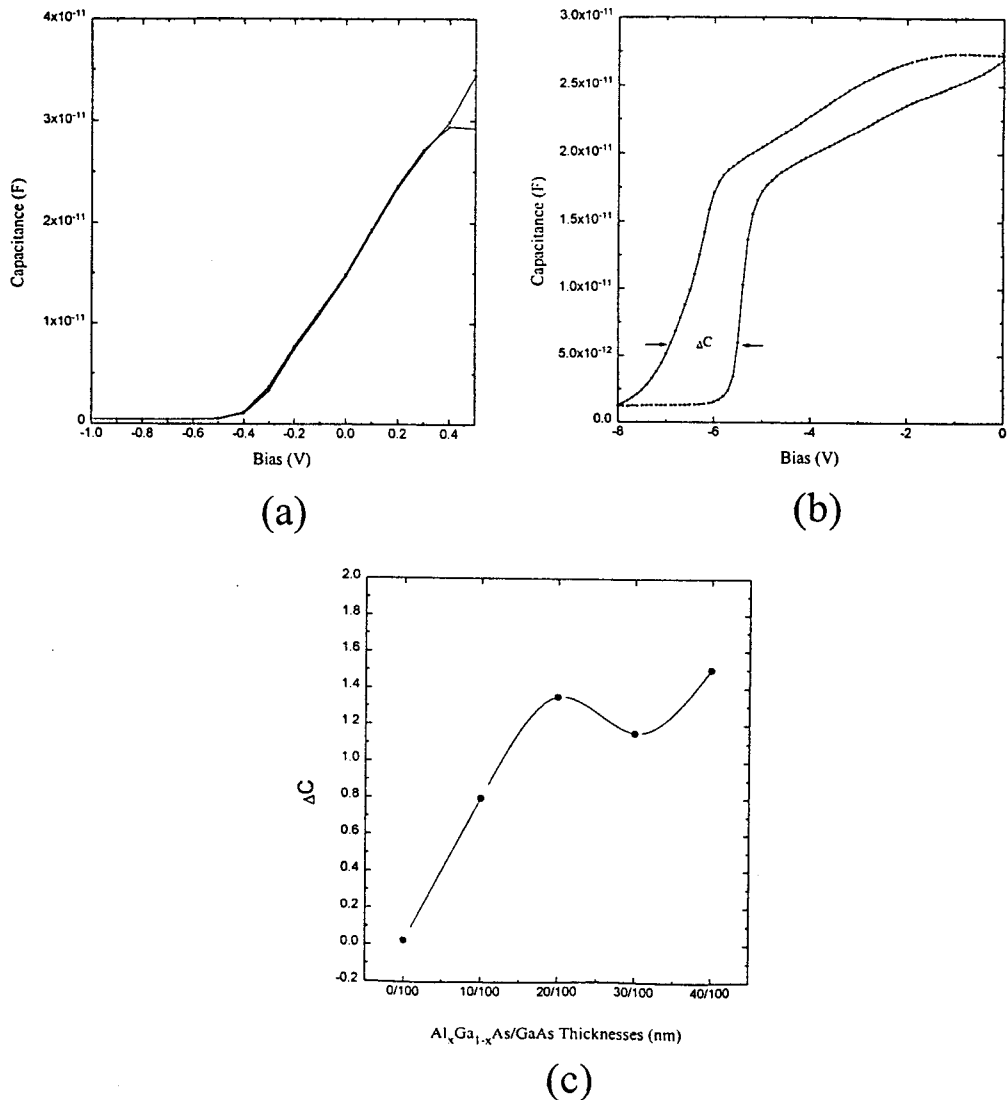


Fig. 3. The C-V measurement results of the GaAs/Al<sub>x</sub>Ga<sub>1-x</sub>As/n-type GaAs heterostructure specimens: (a) a specimen (AGA0) without the Al<sub>x</sub>Ga<sub>1-x</sub>As layer, (b) a specimen (AGA400) with a 40 nm thick Al<sub>x</sub>Ga<sub>1-x</sub>As layer showing a strong hysteresis ( $\Delta C$ ), and (c)  $\Delta C$  vs. Al<sub>x</sub>Ga<sub>1-x</sub>As layer thickness: showing that thicker the Al<sub>x</sub>Ga<sub>1-x</sub>As, larger the hysteresis.

할 수 있고, 그리고  $\ln(T^2/e_n)$  대  $1/T$ 의 그래프 (Arrhenius plot)에서  $E_T$ 와  $\sigma_n$ 을 구할 수 있다.

#### 4. 결과 및 고찰

그림 3은 DLTS 측정에 앞서 측정된 동 이종구조의 C-V 측정 결과이다. 그림 3(a)에서 볼 수 있듯이 Al<sub>x</sub>Ga<sub>1-x</sub>As 층이 없는 순수 GaAs 기판 위에 제작된 Schottky diode에서는 C-V hysteresis 현상을 거의 관측할 수 없었지만, 그림 3(b)에서처럼 Al<sub>x</sub>Ga<sub>1-x</sub>As 층의 두께가 40 nm인 시편의 경우에는 C-V hysteresis 현상이 나타났으며, 이러한 C-V hysteresis 현상은 그림 3(c)에서 볼 수 있듯이 Al<sub>x</sub>Ga<sub>1-x</sub>As 층의 두께와 관계됨을 알 수 있다. 그림 4는 C-V 측정을 통하여 얻어진 Al<sub>x</sub>Ga<sub>1-x</sub>As 층의 두께가 40 nm인 시편의 깊이에 따른 Si doping 농도 ( $N_D$ ) profile이다. 이에 의하면 표면으로부터 약 130 nm 이하에서 doping 농도가 측정되어 약 180 nm까지 peak가 관측되었다. 이 시편에서 Si으로 doping된 100 nm 두께의 n-

type GaAs 전도채널층은 표면으로부터 약 60 nm (20 nm GaAs 보호층 + 40 nm Al<sub>x</sub>Ga<sub>1-x</sub>As barrier층)에서 약 160 nm까지 위치함을 감안할 때, 130~180 nm에서 관측된 peak는 바로 이 n-type GaAs 전도채널층의 Si doping 농도 ( $N_D$ )를 나타냄을 알 수 있다. 그림 5는 이와 같이 측정된 각 이종구조 n-type GaAs 전도채널층의  $N_D$  평균 값이다.  $2.0 \times 10^{17} \text{ cm}^{-3}$ 인 목표치와 비교할 때 대체로 Al<sub>x</sub>Ga<sub>1-x</sub>As 층의 두께가 증가함에 따라  $N_D$ 도 증가하는 것을 알 수 있다. 이는 의도했던 바가 아닌 것으로 본 연구에서 사용된 AP-MOCVD 공정의 비재현성을 나타낸다 하겠다. 특이한 점은 그림 3(c)와 비교할 때, 두 그래프의 형태가 매우 유사한 것으로, 이는 n-type GaAs 전도채널층 내의 Si dopant의 증가가 Schottky diode의 C-V hysteresis 특성과 연관됨을 짐작케 한다. 그림 6은 본 연구에서 측정된 각 시편의 DLTS spectrum들이며, 이 DLTS spectrum들에서 발견된 deep level electron trap들의 activation energy ( $E_T$ ) 및 capture cross-section ( $\sigma_n$ ) 그

Table 2. Activation energy ( $E_T$ ), capture cross-section ( $\sigma_n$ ), and concentration ( $N_T$ ) of the deep level electron traps found in various GaAs/ $\text{Al}_x\text{Ga}_{1-x}\text{As}/n$ -type GaAs heterostructure specimens.

Specimen	Deep Level	Activation Energy ( $E_T$ , eV)	Capture Cross-Section ( $\sigma_n$ , $\text{cm}^{-2}$ )	Trap Concentration ( $N_T$ , $\text{cm}^{-3}$ )
AGA0 <sup>1]</sup>	AGA00	$0.787 \pm 0.024$	$3.4 \times 10^{-14}$	$6.933 \times 10^{16}$
AGA100 <sup>2]</sup>	AGA10	$0.777 \pm 0.050$	$1.9 \times 10^{-14}$	$3.186 \times 10^{16}$
	AGA11	$0.465 \pm 0.036$	$3.7 \times 10^{-18}$	$7.889 \times 10^{16}$
AGA200 <sup>3]</sup>	AGA20	$0.755 \pm 0.034$	$9.6 \times 10^{-14}$	$3.364 \times 10^{16}$
	AGA21	$0.467 \pm 0.033$	$4.8 \times 10^{-16}$	$1.035 \times 10^{17}$
AGA300 <sup>4]</sup>	AGA30	$0.746 \pm 0.076$	$1.3 \times 10^{-14}$	$9.452 \times 10^{16}$
	AGA31	$0.680 \pm 0.032$	$9.5 \times 10^{-13}$	$2.133 \times 10^{17}$
AGA400 <sup>3]</sup>	AGA40	$0.742 \pm 0.142$	$1.4 \times 10^{-14}$	$5.427 \times 10^{17}$
	AGA41	$0.359 \pm 0.028$	$9.6 \times 10^{-20}$	?

1]  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs} = 0/100$  nm,

3]  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs} = 20/100$  nm,

5]  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs} = 40/100$  nm

2]  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs} = 10/100$  nm

4]  $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs} = 30/100$  nm

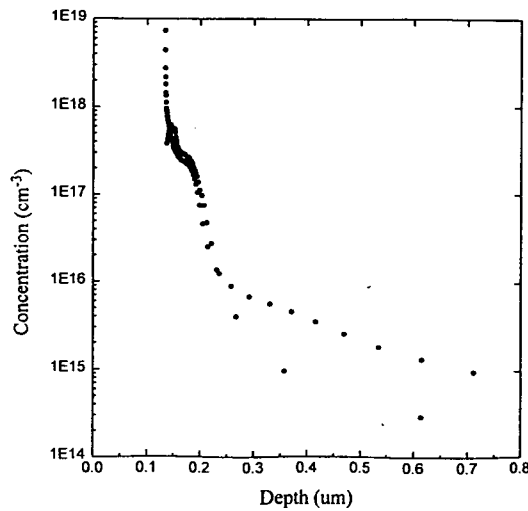


Fig. 4. The Si dopant concentration ( $N_b$ ) profile as a function of the depth for an AP-MOCVD specimen (AGA400) with GaAs/ $\text{Al}_x\text{Ga}_{1-x}\text{As}/n$ -type GaAs = 20 nm/40 nm/100 nm.

section ( $\sigma_n$ ) 그리고 trap 농도 ( $N_T$ )는 표 2에 요약되어 있다.

확인된 trap들 중 AGA00 (0.787 eV) level은 MOCVD n-type GaAs에서 관측되는 EL2 level이라고 생각되며, AGA0 시편에서 함께 관측된 280 °K 부근의 peak는 온도에 따라 변화되지 않아 deep electron level이라고는 생각되지 않는다. AGA10 (0.777 eV), AGA20 (0.755 eV), AGA30 (0.746 eV) 그리고 AGA40 (0.742 eV) level들은 단순히 EL2와 관련된 level들이라고 생각하기보다는 MOCVD 공정 중 유입되는 산소가 L. Samuelson 등<sup>4)</sup>에 의해 보고된 것처럼  $E_T$ 는 약 0.75 eV이고, DLTS 측정 시 EL2 level과 중첩<sup>26)</sup>되어 관측되는 것으로 알려져 있으므로, 이 산소의 영향과 함께 고려해야 할 것이다. AGA11 (0.465 eV) level은 P. K. Bhattacharya 등<sup>10)</sup>에 의하여 관측된 Al-O complex에 기인된 0.45 eV level과 유사하다고 생각된다. AGA21 (0.467 eV) level은 T. Soga 등<sup>17)</sup>

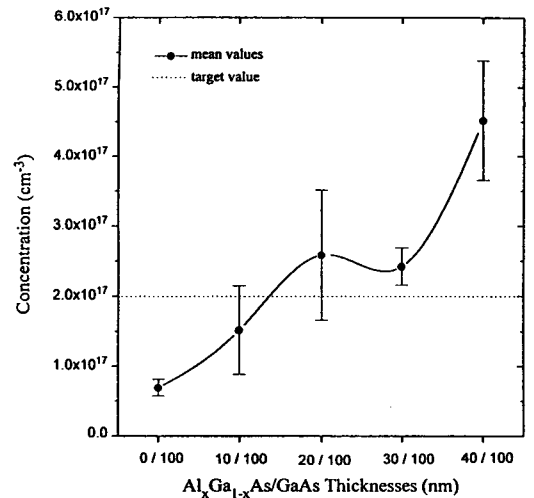


Fig. 5. Si dopant concentration ( $N_b$ ) for various specimens: the increase in  $N_b$  with respect to the  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  thickness is not intended. Rather, it represents the irreproducibility of the AP-MOCVD process used in the fabrication of the specimens.

에 의해 보고된 Si 기판 위에 GaAs를 성장시킬 경우에 관측되는 0.44 eV level과 유사한 것으로 생각되며, M. Sakamoto 등<sup>25)</sup>에 의해 보고된 시편 내에 잔존하는 Si과 같은 doping impurity에 의한 DX-center일 가능성이 있다. AGA31 (0.680 eV) level은 P. K. Bhattacharya 등<sup>10)</sup>과 T. Matsumoto 등<sup>21)</sup>에 의해 보고된 바 있는 유입된 산소와 관련된 0.66 eV, 0.62 eV level과 유사하고, AGA41 (0.359 eV)은 E. E. Wagner 등<sup>19)</sup>에 의해 보고된 0.38 eV level과 유사한 것으로 보인다.

위 결과들을 종합해 보면  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  층이 존재하는 시편에서 관측된 deep level electron trap들은 기존의 MOCVD 방법으로 성장시킨  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 에서 발견된 것으로 발표된 deep level electron trap들과 대체로 일치한다고 볼 수 있다. 또한 DLTS spectrum들이 broad한 것으로 보아 유사한 emission rate를 갖는 trap들이 공존하는 것으로 보이며,<sup>27)</sup> 이는 EL2 뿐만이 아니라 MOCVD 공정 중

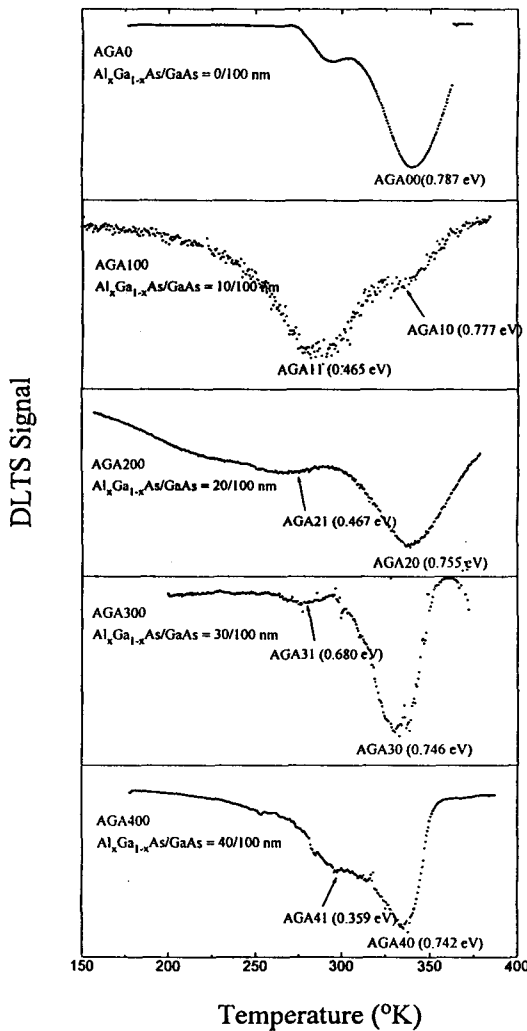


Fig. 6. The DLTS spectra of various specimens: a peak near  $T = 330 \text{ K}$  is observed in all specimens, and at least one other peak is present in all specimens containing the  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  layer.

에 유입된 산소와 관련된 trap 및 잔존하는 Si에 의한 DX-center<sup>25)</sup>도 포함하고 있음을 나타낸다 하겠다.

그림 7은 본 실험에서 측정된 AGA00, AGA20, AGA30, AGA40 deep level electron trap과 그 외의 측정 가능했던 trap들의 농도 ( $N_T$ )를 나타낸 것이며, 이 또한  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  층의 두께가 증가함에 따라  $N_T$ 가 증가함을 나타내고 있다. 이를 그림 5에서 나타난 n-type GaAs 전도 채널층의 Si doping 농도 ( $N_D$ )의 증가와 더불어 볼 때, 그림 3의 Schottky diode의 C-V hysteresis 현상은 아마도  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  층과 GaAs 층에 잔존하는 Si에 의한 DX-center와 주로 연관된 것이라고 생각된다.

### 5. 결 론

본 연구에서는 AP-MOCVD 방법으로 성장된 GaAs/undoped  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ /n-type GaAs 이종구조 내에 존재하는 deep level electron trap을 DLTS 방법으로 조사하였다. DLTS 측정에 앞서서 C-V 측정을 통하여 fill pulse

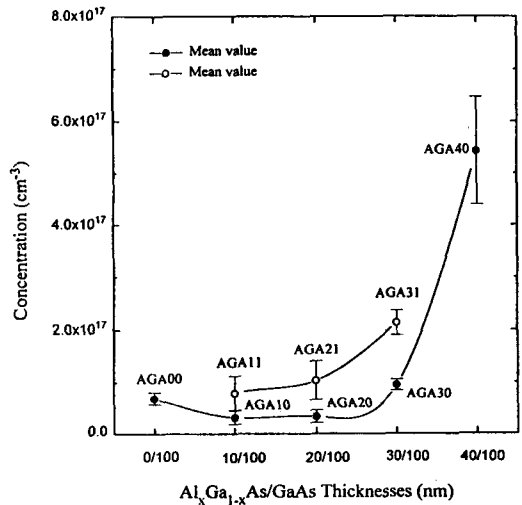


Fig. 7. The deep level electron trap concentrations ( $N_T$ ) calculated from the DLTS data of various specimens: The trap concentrations seem to increase as a function of the  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  layer, indicating possibly that the capacitance hysteresis ( $\Delta C$  in Fig. 3) is related to the trap concentration.

전압과 measurement 전압을 결정하고 n-type GaAs 전도 채널층의 Si doping 농도 ( $N_D$ )를 측정하였는데,  $N_D$ 는 약  $0.7 \times 10^{17} \text{ cm}^{-3} \sim 4.5 \times 10^{17} \text{ cm}^{-3}$ 으로 목표치인  $2 \times 10^{17} \text{ cm}^{-3}$ 에 비하여 차이를 나타내었다. DLTS 측정은 HP4280A C-V meter를 사용하는 DLTS 장비를 사용하여 측정하였으며, 측정결과  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  층의 두께가 0인 시편, 즉 n-type GaAs 층만 존재하는 시편 (AGA0)에서는 EL2 level로 보이는 0.787 eV의 deep level electron trap만이 관측되었고,  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  barrier층이 10에서 40 nm까지 존재하는 시편 (AGA100~AGA400)에서는 EL2와 더불어 MOCVD 공정 중에 유입된 잔류 산소에 의한 trap을 관측할 수 있었고, 아울러 Al-O complex,  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  층과 GaAs 층에 잔존하는 Si에 의한 DX-center에 기인한 것으로 보이는 0.359~0.680 eV의 deep level electron trap들을 관측할 수 있었다. Electron trap 농도 ( $N_T$ )의 증가는  $N_D$ 의 증가 및 Schottky diode의 C-V hysteresis 현상의 심화와 연관된 것으로 관측되어, 잔류 Si에 의한 DX-center의 증가가 바로 C-V hysteresis 현상의 주요 원인인 것으로 판단되었다.

### 감사의 글

본 연구에서 사용된 시편제작에 참여한 최영환군(현재 대우 고등기술연구원 재직)과 DLTS 측정에 많은 도움을 주신 서울대학교 물리학과 권상덕, 권호기씨에게 깊은 감사를 드립니다. 본 논문은 서울대학교 반도체공동연구소에서 공모한 1994년도 교육부 반도체분야 학술연구조성비 지원 연구과제 (과제번호: ISRC 94-E-3052)의 결과임.

### 참고 문헌

1. 최영환, 이원섭, 최광수, 응용물리학회지, 8(5), 455 (1995).

2. A. Roizes and J. P. David, *Rech. Aerosp.*, **17**, 1990-2 (1990).
3. J. P. David, A. Roizes, M. Bonnet, N. Visentin and J. Icole *Revue de Physique Applique*, **18**, 751 (1983).
4. L. Samuelson, P. Omling, H. Titze and H. G. Grimmeiss, *J. Crystal Growth*, **55**, 164 (1981).
5. O. F. Sankey, H. P. Hjalmarson, J. D. Dow, D. J. Wolford and B. G. Streetman, *Phys. Rev. Lett.*, **45**, 1656 (1980).
6. M. Skowronski, *Handbook on Semiconductors Completely Revised and Enlarged Edition*, Edited by T. S. Moss, Volume 3b, Edited by S. Mahajan (North-Holland, 1994), Chap. 18.
7. F. Hasegawa, H. Majerfeld, *Electron. Lett.*, **11** (14), 286 (1975).
8. G. M. Martin, A. Mitonneau and A. Mircea, *Electron. Lett.*, **13** (7), 191 (1977).
9. M. Ozeki, J. Komeno, A. Shibatomi and S. Ohkawa, *J. Appl. Phys.*, **50** (7), 4808 (1979).
10. P. K. Bhattacharya, J. W. Ku and S. J. T. Owen, V. Aebi, C. B. Cooper and R.L. Moon, *Appl. Phys. Lett.*, **36** (4), 304 (1980).
11. H. Zhu, Y. Adachi and T. Ikoma, *J. Crystal Growth*, **55**, 154 (1981).
12. M. R. Brozel, I. Grant and R. M. Ware, D. J. Stirland, *Appl. Phys. Lett.*, **42** (7), 610 (1983).
13. M. O. Watanabe, A. Tanaka, T. Udagawa, T. Nakanisi and Y. Zohta, *Jpn. J. Appl. Phys.*, **22** (6), 923 (1983).
14. T. Hashizume, E. Ikeda, Y. Akatsu, H. Ohno and H. Hasegawa, *Jap. J. Appl. Phys.*, **23** (5), L296 (1984).
15. H. J. Bardeleben, D. Stievenard, J. C. Bourgoin and A. Huber, *Appl. Phys. Lett.*, **47** (9), 970 (1985).
16. Y. Kitagawara, N. Noto, T. Takahashi and T. Takenaka, *Appl. Phys. Lett.*, **48** (24), 1664 (1986).
17. T. Soga, S. Sakai, M. Umeno and S. Hattori, *Jap. J. Appl. Phys.*, **25** (10), 1510 (1986).
18. B. D. Nener, S. T. Lai, L. Faraone and A. G. Nassibian, *IEEE Trans. Inst. Meas.*, **42** (5), 913 (1993).
19. E. E. Wagner, Dan E. Mars, G. Hom and G. B. Stringfellow, *J. Appl. Phys.*, **51** (10), 5434 (1980).
20. J. P. Andre, M. Boulou and A. Micrea-Roussel, *J. Crystal Growth*, **55**, 192 (1981).
21. T. Matsumoto and P. K. Bhattacharya, *Appl. Phys. Lett.*, **41** (7), 662 (1982).
22. D. Allsopp and A. R. Peaker, *J. Crystal Growth*, **68**, 295 (1984).
23. P. K. Bhattacharya, T. Matsumoto and S. Subramanian, *J. Crystal Growth*, **68**, 301 (1984).
24. P. K. Bhattacharya, S. Subramanian and M. J. Ludowise, *J. Appl. Phys.*, **55** (10), 3664 (1984).
25. M. Sakamoto and T. Okada, *J. Appl. Phys.*, **58** (1), 337 (1985).
26. J. Lagowaki, D. G. Lin, T. Aoyama and H. C. Gatos, *Appl. Phys. Lett.*, **44**, 336 (1984).
27. O. Kumagai, H. Kawai, Y. Mori and K. Kaneko, *Appl. Phys. Lett.*, **45** (12), 1322 (1984).