

FDTD를 이용한 평판 구조 마이크로파 회로의 효율적인 해석을 위한 내부 저항 소스 모델링 방법

Internal Resistive Source Modeling Technique for the Efficient Analysis of Planar Microwave Circuits Using FDTD

지정근 · 최재훈

Jeongkeun Ji · Jaehoon Choi

요 약

유한 차분 시간 영역법 (Finite Difference Time Domain Method : FDTD)은 다양한 마이크로파 회로를 해석하는데 널리 이용된다. 그런데 이를 위한 기존의 소스 모델링 방법은 제한이 많고, 일반적인 형태의 회로에 적용하기 어렵다. 따라서 본 논문에서는 여러 가지 마이크로파 회로를 효율적으로 해석하기 위해 내부 저항 소스 모델링 (Internal Resistive Source Modeling)을 적용한다. 몇 개의 마이크로파 회로에 대하여 하드 소스 모델링 (Hard Source Modeling)을 이용한 결과와 비교하여 계산 시간이 현저하게 단축됨을 보이므로서 그 효율성을 입증하고, 기존의 소스 모델링을 이용한 결과 및 측정치와도 비교함으로써 정확성을 입증한다.

Abstract

The finite difference time domain method (FDTD) is widely applied to the analysis of various microwave circuits. However, previous source modeling techniques have a lot of constraints and difficulties to apply for general geometries. Therefore, the internal resistive source modeling technique is suggested for efficiently analyzing various types of microwave circuit in this paper. Its efficiency is proved by comparing the computation time with that of hard source modeling. Accuracy is also verified by comparing the scattering parameters with those of previous source modeling methods and measurements for several microwave circuits.

I. 서 론

1966년에 Yee^[1]에 의해 제안된 유한 차분 시간 영역법 (Finite Difference Time Domain Method : FDTD)은 맥스웰 방정식을 직접 이산화 하므로 안

테나, 여파기, 결합기 등과 같이 복잡하고 다양한 구조의 마이크로파 회로를 모델링 하거나 전자기적 특성을 해석하는데 널리 이용되고 있고, 그 범위가 확산되고 있다. 과도 현상을 갖는 마이크로파 회로의 해석에 있어, 한 번의 계산과 이산 푸리에 변환 (Discrete Fourier Transform : DFT)을 이용

「본 연구는 한양대학교 '98 교내 연구비 지원에 의해 수행되었습니다.」

한양대학교 전파공학과(Department of Radio Science and Engineering, Hanyang University)

· 논문 번호 : 981029-111

· 수정완료일자 : 1998년 12월 23일

하여 넓은 범위의 주파수 영역에 걸친 입력 임피던스와 산란 파라미터 등의 주파수 영역 파라미터를 얻을 수 있다. 그러나 FDTD를 이용한 해석에 있어서 한가지 어려운 점은 과도 현상을 갖는 필드가 완전히 소멸되기 위해서는 수만에서 수십만의 시간 간격 (time step)을 필요로 한다는 것이다.

이러한 시간 간격의 수를 줄이기 위해 여러 가지 소스 모델링 방법에 대한 연구가 진행되어 왔다. 한 예로^{[2],[3]}, 마이크로스트립 회로나 CPW 회로를 해석하기 위해 소스를 외부 경계면 부근에서 인가시키고, 소스의 과도 현상이 사라진 후에 소스를 제거시키고 흡수 경계면으로 대체하는 방법이 있다. 이 방법은 필요한 시간 간격의 수는 감소시키지만, 일반적인 형태의 회로에 적용시키기 어려운 점이 있다. 또한, 급전 위치로 되돌아오는 반사파를 억제하기 위해서 반사파가 되돌아오기 전에 소스를 제거시키고 흡수 경계면으로 대체해야 하기 때문에 급전 위치가 회로의 불연속면으로부터 충분히 먼 곳에 있어야 한다는 단점도 있다.

내부 저항 소스 모델링 (Internal Resistive Source Modeling)^[4]은 간단한 응용을 통하여 많은 마이크로파 회로의 해석에 필요한 시간 간격의 수를 줄일 수 있다. 이 방법은 급전시킬 때 내부 저항을 갖는 소스를 이용하는 것을 기본으로 하고 있는데, 지금까지 몇몇 학자에 의해 연구된 바가 있다. 마이크로스트립 패치 안테나를 급전하는데 내부 소스 저항을 이용한 경우가 있고^[5], 능동 및 수동 소자의 2차원 FDTD 해석에 응용된 경우도 있다^[6]. 소스 저항과 자유 공간의 커패시턴스를 병렬로 연결하여 전압 소스에 이용한 방법도 있다^{[4],[7]}. 하지만 대부분의 연구가 내부 소스 저항을 이용하는 방법이 FDTD 계산 시간을 단축시킨다는 이점을 나타내지 않고 있다. 안테나에 주로 이용되고 있는 갭(gap)을 이용한 하드 소스 모델링 (Hard Source Modeling)^{[8]~[10]}을 확장시켜서 내부 소스 저항을 첨가한 전압 소스를 단지 마이크로스트립 회로에만 적용시킴으로써 그 효율성을 나타낸 바

가 있다^{[11],[12]}.

본 논문에서는 FDTD를 이용하여 마이크로스트립 회로뿐만 아니라 CPW 회로, CPS 회로 등의 여러 가지 마이크로파 회로를 해석하는데 내부 저항 소스 모델링을 적용하고, 이 방법이 기존의 급전 방법에 비해 계산 시간을 현저하게 줄일 수 있음을 보이므로써 그 효율성을 입증하고자 한다.

II. FDTD 기본 이론

FDTD 방법은 Yee^[1]의 셀 구조에 기초하여 시간 영역 맥스웰 방정식의 유한 차분 근사를 이용하는 수치 해석 방법이다. 시간 영역의 맥스웰 벡터 방정식은 다음과 같다.

$$\frac{\partial \vec{H}}{\partial t} = -\frac{1}{\mu} \nabla \times \vec{E} - \frac{\sigma}{\mu} \vec{H} \quad (1a)$$

$$\frac{\partial \vec{E}}{\partial t} = \frac{1}{\epsilon} \nabla \times \vec{H} - \frac{\sigma}{\epsilon} \vec{E} \quad (1b)$$

여기서, \vec{E} , \vec{H} 는 전기장과 자기장이고 ϵ , μ , σ , σ^* 는 각각 유전율, 투자율, 전기 및 자기 손실 도전율을 나타낸다.

Yee 셀 구조와 공간 및 시간에 대한 중앙 유한 차분 근사에 기초하여 식 (1)을 나타내면 다음과 같은 유한 차분 방정식을 얻는다.

$$H_x^{n+1/2}(i, j, k) = D_a H_x^{n-1/2}(i, j, k) + D_b \left(\frac{E_y^n(i, j, k+1) - E_y^n(i, j, k)}{\Delta z} - \frac{E_z^n(i, j+1, k) - E_z^n(i, j, k)}{\Delta y} \right) \quad (2a)$$

$$H_y^{n+1/2}(i, j, k) = D_a H_y^{n-1/2}(i, j, k) + D_b \left(\frac{E_z^n(i+1, j, k) - E_z^n(i, j, k)}{\Delta x} - \frac{E_x^n(i, j, k+1) - E_x^n(i, j, k)}{\Delta z} \right) \quad (2b)$$

$$H_z^{n+1/2}(i, j, k) = D_a H_z^{n-1/2}(i, j, k) + D_b \left(\frac{E_x^n(i, j+1, k) - E_x^n(i, j, k)}{\Delta y} - \frac{E_y^n(i+1, j, k) - E_y^n(i, j, k)}{\Delta x} \right) \quad (2c)$$

$$E_x^{n+1}(i, j, k) = C_a E_x^n(i, j, k) + C_b \left(\frac{H_z^{n+1/2}(i, j, k) - H_z^{n+1/2}(i, j-1, k)}{\Delta y} - \frac{H_y^{n+1/2}(i, j, k) - H_y^{n+1/2}(i, j, k-1)}{\Delta z} \right) \quad (2d)$$

$$E_y^{n+1}(i, j, k) = C_a E_y^n(i, j, k) + C_b \left(\frac{H_x^{n+1/2}(i, j, k) - H_x^{n+1/2}(i, j, k-1)}{\Delta z} - \frac{H_z^{n+1/2}(i, j, k) - H_z^{n+1/2}(i-1, j, k)}{\Delta x} \right) \quad (2e)$$

$$E_z^{n+1}(i, j, k) = C_a E_z^n(i, j, k) + C_b \left(\frac{H_y^{n+1/2}(i, j, k) - H_y^{n+1/2}(i-1, j, k)}{\Delta x} - \frac{H_x^{n+1/2}(i, j, k) - H_x^{n+1/2}(i, j-1, k)}{\Delta y} \right) \quad (2f)$$

여기서,

$$C_a = \left(1 - \frac{\sigma \Delta t}{2\epsilon} \right) \left/ \left(1 + \frac{\sigma \Delta t}{2\epsilon} \right) \right. \quad (3a)$$

$$C_b = \left(\frac{\Delta t}{\epsilon} \right) \left/ \left(1 + \frac{\sigma \Delta t}{2\epsilon} \right) \right. \quad (3b)$$

$$D_a = \left(1 - \frac{\sigma^* \Delta t}{2\mu} \right) \left/ \left(1 + \frac{\sigma^* \Delta t}{2\mu} \right) \right. \quad (3c)$$

$$D_b = \left(\frac{\Delta t}{\mu} \right) \left/ \left(1 + \frac{\sigma^* \Delta t}{2\mu} \right) \right. \quad (3d)$$

FDTD 알고리즘에서 전계와 자계의 값은 식 (2)를 사용하여 계산된다. 즉, 자계의 각 성분의 값을 먼저 계산한 뒤 컴퓨터 메모리에 저장하고 $\Delta t/2$ 시간 후에 전계의 각 성분의 값을 계산한다.

그리고, 과도 현상이 사라질 때까지 위 과정을 반복하여 수행하게 된다.

전자파 산란이나 안테나의 복사 패턴 해석에 FDTD 방법을 적용하기 위해서는 무한 공간에서 해석을 필요로 하기 때문에 무한한 데이터를 처리해야 한다. 따라서, 계산 영역을 유한한 범위로 한정하기 위해서는 유한 경계면에서 필드가 반사되거나 산란되지 않고 무한 공간으로 전파되는 경계 조건을 필요로 하는데, 본 논문에서는 흡수 경계 조건으로 계산 영역 경계면에서 반사파를 최소화 하는 완전 정합층 (Perfectly Matched Layer : PML) 방법^[13]을 사용하였다.

III. 소스 모델링

FDTD를 이용하여 마이크로파 회로를 해석하기 위해 소스를 모델링 하는 방법에는 여러 가지가 있다. 하드 소스 모델링 (Hard Source Modeling)^{[8]-[10]}은 흡수 경계면을 이용하지 않고 등가적으로 단락된 소스면을 그대로 이용하는데, 모든 반사파가 자유 공간으로 복사되거나 손실이 있는 매질에 흡수될 때까지 기다려야 하므로 장시간 계산을 해야 한다. 따라서 계산 시간을 줄이기 위해 여러 가지 소스 모델링 방법에 대한 연구가 진행되어 왔지만, 일반적인 형태의 회로에는 적용시키기 어렵고 급전 위치가 회로의 불연속면으로부터 충분히 먼 곳에 있어야 한다는 단점도 있다.

본 논문에서는 위와 같은 하드 소스 모델링과 기존의 소스 모델링 방법의 단점을 보완한 내부 저항 소스 모델링 (Internal Resistive Source Modeling)^[4]을 이용한다. 이 방법의 기본 이론은 일반적인 전압 소스와 내부 소스 저항을 한 개의 셀 내에 포함시켜서 회로의 불연속면으로부터 되돌아오는 반사파를 흡수하여 계산 시간을 줄이는 것이다. 내부 소스 저항은 대개 해석하고자 하는 회로의 특성 임피던스와 동일한 값을 사용하는데, 등가적으로 흡수 경계 조건을 이용한 것과 같은 효과

를 얻을 수 있으므로 입력단을 쉽게 정합시킬 수 있다.

내부 저항 소스 모델링을 FDTD 알고리즘에 적용시키기 위해 다음과 같이 확장된 맥스웰 방정식을 이용한다.

$$\nabla \times \vec{H} = \vec{J}_c + \frac{\partial \vec{D}}{\partial t} + \vec{J}_s \quad (4)$$

여기서, \vec{J}_c 는 도체 내 전하의 흐름으로 발생하는 전도 전류 밀도를 나타내고, $\frac{\partial \vec{D}}{\partial t}$ 는 전계의 시간에 따른 변화로 발생하는 변위 전류 밀도를 나타낸다. \vec{J}_s 는 소스로 인가되는 전류 밀도를 나타내는 항으로 기본적인 맥스웰 방정식에 새롭게 추가된 항이다.

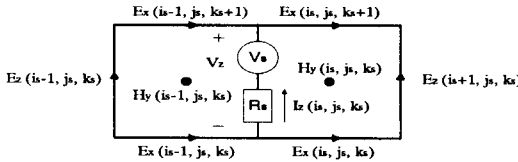


그림 1. FDTD 셀 내에서의 내부 저항 소스 모델링
Fig. 1. Internal resistive source modeling in the FDTD cell.

계산 영역 내에서 내부 저항을 갖는 전압 소스가 그림 1과 같이 임의의 점 $i_s \Delta x$, $j_s \Delta y$, $k_s \Delta z$ 에 z 방향으로 위치해 있다고 가정하면, 전압과 전류의 관계에 의해 다음과 같은 유한 차분 방정식을 얻을 수 있다.

$$I_z^{n+1/2}(i_s, j_s, k_s) = \frac{\Delta z}{2R_s} (E_z^{n+1}(i_s, j_s, k_s) + E_z^n(i_s, j_s, k_s)) - \frac{V_s^{n+1/2}}{R_s} \quad (5)$$

$$J_s = \frac{I_z^{n+1/2}(i_s, j_s, k_s)}{\Delta x \Delta y} \quad (6)$$

여기서, $V_s^{n+1/2}$ 는 임의의 전압 소스이고, R_s

는 내부 소스 저항이다. 따라서, 식 (5)와 식 (6)을 식 (4)에 대입하여 중앙 유한 차분 근사를 이용하면 내부 저항 소스 모델링을 위한 유한 차분 방정식을 다음과 같이 얻을 수 있다.

$$E_z^{n+1}(i_s, j_s, k_s) = \left(\frac{1 - \frac{\Delta t \Delta z}{2R_s \epsilon \Delta x \Delta y}}{1 + \frac{\Delta t \Delta z}{2R_s \epsilon \Delta x \Delta y}} \right) E_z^n(i_s, j_s, k_s) + \left(\frac{\frac{\Delta t}{\epsilon}}{1 + \frac{\Delta t \Delta z}{2R_s \epsilon \Delta x \Delta y}} \right) \nabla \times H^{n+1/2}(i_s, j_s, k_s) - \left(\frac{\frac{\Delta t}{R_s \epsilon \Delta x \Delta y}}{1 + \frac{\Delta t \Delta z}{2R_s \epsilon \Delta x \Delta y}} \right) V_s^{n+1/2} \quad (7)$$

여기서,

$$\nabla \times H^{n+1/2}(i_s, j_s, k_s) = \frac{H_y^{n+1/2}(i_s+1/2, j_s, k_s)}{\Delta x} - \frac{H_y^{n+1/2}(i_s-1/2, j_s, k_s)}{\Delta x} + \frac{H_x^{n+1/2}(i_s, j_s-1/2, k_s)}{\Delta y} - \frac{H_x^{n+1/2}(i_s, j_s+1/2, k_s)}{\Delta y} \quad (8)$$

$$V_s^{n+1/2} = e^{-\frac{(t-t_0)^2}{T^2}} \quad (9)$$

일반적으로 전압 소스는 식 (9)와 같이 가우시안 펄스를 이용하는데, 그 이유는 가우시안 펄스의 스펙트럼도 가우시안 형태이고 펄스의 폭을 조절하므로써 DC에서 원하는 주파수 영역까지의 주파수 영역 파라미터를 구할 수 있기 때문이다.

IV. 주파수 영역 파라미터

FDTD에 의해서 시간 영역의 응답을 구하게 되

면 이산 푸리에 변환을 이용하여 주파수 영역 산란 파라미터를 구할 수 있다. 회로 상에서 각 단자의 전압을 구하기 위해서는 선로와 접지면 사이에 있는 수직 성분 전계를 선적분하여 매시간 저장해야 한다. FDTD 알고리즘에서는 선적분을 하기 위해 유한 차분 근사를 이용하는데 이렇게 구한 각 단자의 전압을 이용하여 다음과 같이 산란 파라미터를 구할 수 있다.

$$S_{ij}(f) = \frac{DFT [V_i(t)]}{DFT [V_j(t)]} \quad (10)$$

여기서, $DFT[]$ 는 이산 푸리에 변환을 의미하고, i 와 j 는 단자 번호를 나타낸다.

반사 손실 S_{11} 을 구하기 위해서는 입사 전압과 반사 전압을 알아야 하는데, FDTD를 이용하여 구한 전압은 입사 전압과 반사 전압이 더해진 전체 전압이다. 따라서 입사 전압을 구하기 위해서는 무한히 긴 전송 선로를 계산하여 입사 전압을 구하고, 전체 전압과 입사 전압의 차를 이용해 반사 전압을 구한다. 그러나 삽입 손실 S_{21} 은 입사 전압과 두 번째 단자에서의 출력 전압만 알면 되므로 위의 과정이 필요 없다.

V. 수치 해석 결과

본 논문에서는 마이크로스트립 패치 안테나, CPW 폴디드-슬롯 (folded-slot) 안테나, CPS 대역 저지 여파기를 해석하였다. 하드 소스 모델링을 이용한 경우와 내부 저항 소스 모델링을 이용한 경우를 비교하여 내부 저항 소스 모델링을 이용했을 때 계산 시간이 현저하게 단축됨을 보이므로써 효율성을 입증하였다. 또한 기존의 소스 모델링을 이용하여 계산한 결과 및 측정치와도 비교함으로써 정확성을 입증하였다.

모든 계산은 SUN SPARCstation 20 워크스테이션에서 실행되었으며, 각각의 경우에 대하여 실제 계산 시간도 측정하였다. 흡수 경계 조건으로는 8

층의 PML을 사용하였고, 모든 회로는 실제 회로의 구조와 유사하도록 유한한 접지면과 유전체 기판을 이용하여 모델링 하였다. 하지만 회로 부분이나 급전 선로, 접지면 등의 도체는 두께가 0인 완전 도체로 가정하였다. 따라서 회로와 흡수 경계 조건 사이에는 자유 공간으로 표현되는 6개의 셀 간격이 있다.

5-1 마이크로스트립 패치 안테나 해석

마이크로스트립 패치 안테나의 반사 손실 S_{11} 을 주파수가 DC에서 20 GHz까지인 범위에서 구한다. 상대 유전율이 2.2이고 두께가 0.794 mm인 유전체 기판을 사용하였는데, 회로의 자세한 구조는 Sheen^[2]이 제안한 구조와 같으며 그림 2에 나타나 있다.

회로를 모델링 하기 위한 셀 간격은 $\Delta x = 0.389$ mm, $\Delta y = 0.400$ mm, $\Delta z = 0.265$ mm이고 시간 간격은 $\Delta t = 0.6403$ ps이다. 따라서 사각 패치는 $32 \Delta x \times 40 \Delta y$ 이고 급전 선로의 폭은 $6 \Delta x$ 이며 유전체 기판의 두께는 $3 \Delta z$ 이다. 급전 선로의 길이는 $10 \Delta y$ 로 설정하였다. 전체 계산 영역은 PML과 자유 공간을 포함하여 x, y, z 각 방향으로 $90 \times 92 \times 30$ 이다.

마이크로스트립 패치 안테나를 해석한 결과와 그림 3과 표 1에 나타나 있다. 내부 저항 소스 모델링을 이용한 결과와 하드 소스 모델링을 이용한 결과가 잘 일치하고 있음을 알 수 있다. 내부 저항 소스 모델링은 과도 현상이 사라지기까지 시간 간

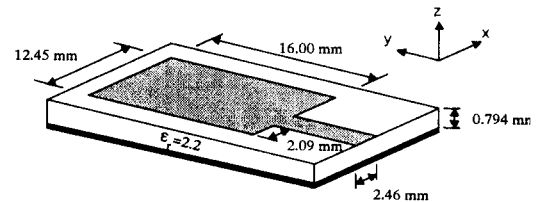


그림 2. 마이크로스트립 패치 안테나의 구조
Fig. 2. Geometry of a microstrip patch antenna.

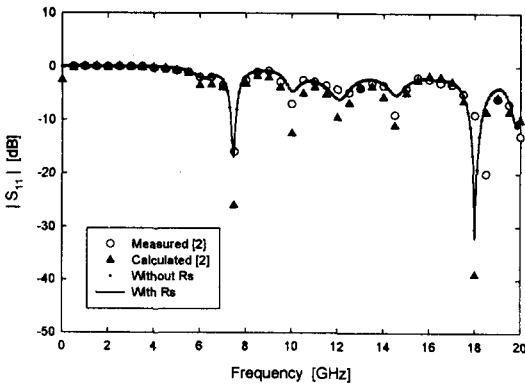


그림 3. 내부 저항 소스 모델링(—)과 하드 소스 모델링(·)을 이용한 마이크로스트립 패치 안테나의 반사 손실 및 Sheen^[2]의 결과(○, ▲)와의 비교

Fig. 3. Return loss of a microstrip patch antenna using internal resistive source modeling(—) and hard source modeling(·) compared with calculations (▲) and measurements(○) from Sheen^[2].

표 1. 마이크로스트립 패치 안테나의 소스 모델링 비교
Table 1. Comparison of source modeling Sheen for a microstrip patch antenna.

소스 모델링 방법	내부 소스 저항	과도 현상이 사라지기 위한 시간 간격의 수	계산 시간
내부 저항 소스 모델링	50 Ω	4,000 Δt	8시간 6분
하드 소스 모델링	0 Ω	200,000 Δt	405시간 27분

격이 4,000 Δt이면 충분한 반면 하드 소스 모델링은 200,000 Δt이나 필요했다. 실제 계산 시간으로 비교해도 내부 저항 소스 모델링이 하드 소스 모델링에 비해 1/50 정도 단축된 결과를 볼 수 있다. 또한 본 논문에서 계산한 결과가 Sheen^[2]의 측정 결과 및 계산 결과와도 거의 일치함을 알 수 있다. 널(null) 부분을 살펴볼 때 내부 저항 소스 모델링을 이용한 결과가 오히려 측정 결과와 더 비슷함

을 볼 수 있다. 기존의 소스 모델링 방법을 이용한 Sheen^[2]은 시간 간격을 8,000 Δt로 설정했는데, 실제 계산 시간은 비교해 볼 수 없지만 시간 간격의 수로 비교해 보면 내부 저항 소스 모델링이 1/2 정도 적으므로 빠른 시간 내에 계산 결과를 얻을 수 있다.

5-2 CPW 폴디드-슬롯(folded-slot) 안테나 해석

CPW 폴디드-슬롯 안테나의 반사 손실 S_{11} 을 주파수가 DC에서 10 GHz까지인 범위에서 구한다. 상대 유전율이 2.2이고 두께가 0.813 mm인 유전체 기판을 사용하였는데, 회로의 자세한 구조는 Tsai^[3]가 제안한 구조와 같으며 그림 4에 나타나 있다.

회로를 모델링 하기 위한 셀 간격은 Δx = 1.000 mm, Δy = 1.000 mm, Δz = 0.271 mm이고 시간 간격은 Δt = 0.8435 ps이다. 따라서 중앙의 긴 사각 패치는 75 Δx × 2 Δy이고 슬롯의 폭은 각각 2 Δx, 2 Δy이며, 유전체 기판의 두께는 3 Δz이다. 급전 선로는 중앙의 도체가 3 Δx, 슬롯이 1 Δx이며 길이는 20 Δy로 설정하였다. 전체 계산 영역은 PML과 자유 공간을 포함하여 x, y, z 각 방향으로 136 × 68 × 30이다.

CPW 폴디드-슬롯 안테나를 해석한 결과가 그림 5와 표 2에 나타나 있다. 내부 저항 소스 모델링을 이용한 결과와 하드 소스 모델링을 이용한 결과가 잘 일치하고 있음을 알 수 있다. 내부 저항 소스 모델링은 과도 현상이 사라지기까지 시간 간격이 4,000 Δt이면 충분한 반면 하드 소스 모델링

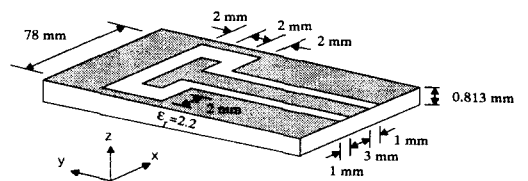


그림 4. CPW 폴디드-슬롯 안테나의 구조
Fig. 4. Geometry of a CPW folded-slot antenna.

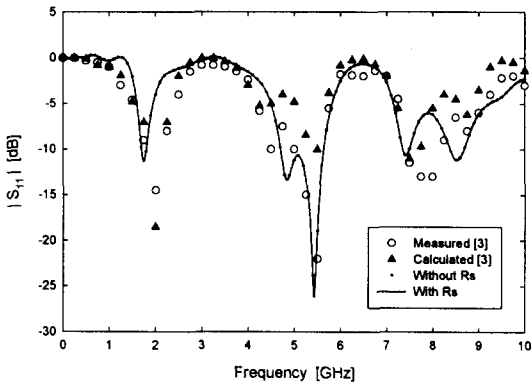


그림 5. 내부 저항 소스 모델링(—)과 하드 소스 모델링(·)을 이용한 CPW 폴디드-슬롯 안테나의 반사 손실 및 Tsai^[3]의 결과(○, ▲)와의 비교

Fig. 5. Return loss of a CPW folded-slot antenna using internal resistive source modeling(—) and hard source modeling(·) compared with calculations (▲) and measurements(○) from Tsai^[3].

표 2. CPW 폴디드-슬롯 안테나의 소스 모델링 비교
Table 2. Comparison of source modeling for a CPW folded-slot antenna.

소스 모델링 방법	내부 소스 저항	과도 현상이 사라지기 위한 시간 간격의 수	계산 시간
내부 저항 소스 모델링	90 Ω	4,000 Δt	9시간 1분
하드 소스 모델링	0 Ω	220,000 Δt	496시간 8분

은 220,000 Δt이나 필요했다. 실제 계산 시간으로 비교해도 내부 저항 소스 모델링이 하드 소스 모델링에 비해 1/55 정도 단축된 결과를 볼 수 있다. 또한 본 논문에서 계산한 결과가 Tsai^[3]의 측정 결과 및 계산 결과와도 거의 일치함을 알 수 있다. 높은 주파수 부분에서 약간의 오차가 있지만 내부 저항 소스 모델링을 이용하여 상당히 정확한 결과를 예측할 수 있다. 기존의 소스 모델링 방법을 이

용한 Tsai^[3]는 시간 간격을 10,000 Δt로 설정했는데, 실제 계산 시간은 비교해 볼 수 없지만 시간 간격의 수로 비교해 보면 내부 저항 소스 모델링이 1/2이상 적으므로 빠른 시간 내에 계산 결과를 얻을 수 있다.

5-3 CPS 대역 저지 여파기 해석

CPS 대역 저지 여파기의 반사 손실 S₁₁과 삽입 손실 S₂₁을 주파수가 DC에서 5GHz까지인 범위에서 구한다. 상대 유전율이 10.2이고 두께가 0.762 mm인 유전체 기판을 사용하였는데, 회로의 자세한 구조는 Goverdhanam^[14]이 제안한 구조와 같으며 그림 6에 나타나 있다.

회로를 모델링 하기 위한 셀 간격은 Δx = 0.1016 mm, Δy = 0.254 mm, Δz = 0.254 mm이고 시간 간격은 Δt = 0.2948 ps이다. 따라서 중앙의 긴 사각 패치는 2 Δx × 129 Δy이고 슬롯의 폭은 각각 3 Δx, 1 Δy이며, 유전체 기판의 두께는 3 Δz이다. 급전 선로는 중앙의 슬롯이 1 Δx, 도체가 8 Δx이며 길이는 10 Δy로 설정하였다. 전체 계산 영역은 PML과 자유 공간을 포함하여 x, y, z 각 방향으로 74 × 178 × 30이다.

CPS 대역 저지 여파기를 해석한 결과가 그림 7과 그림 8 및 표 3에 나타나 있다. 내부 저항 소스 모델링을 이용한 결과와 하드 소스 모델링을 이용한 결과가 잘 일치하고 있음을 알 수 있다. 내부 저항 소스 모델링은 과도 현상이 사라지기까지 시

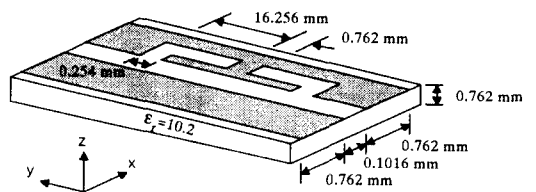


그림 6. CPS 대역 저지 여파기의 구조

Fig. 6. Geometry of a CPS bandstop filter.

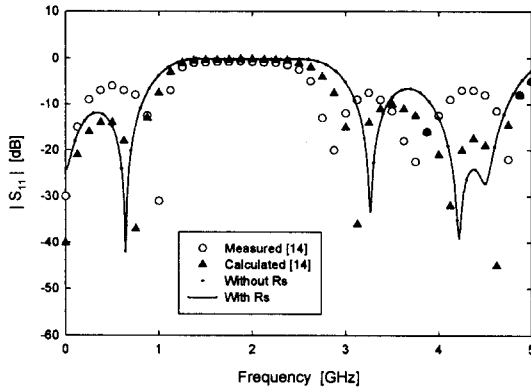


그림 7. 내부 저항 소스 모델링(—)과 하드 소스 모델링(·)을 이용한 CPS 대역 저지 여파기의 반사 손실 및 Goverdhanam^[14]의 결과(○, ▲)와의 비교

Fig. 7. Return loss of a CPS bandstop filter using internal resistive source modeling(—) and hard source modeling(·) compared with calculations(▲) and measurements(○) from Goverdhanam^[14].

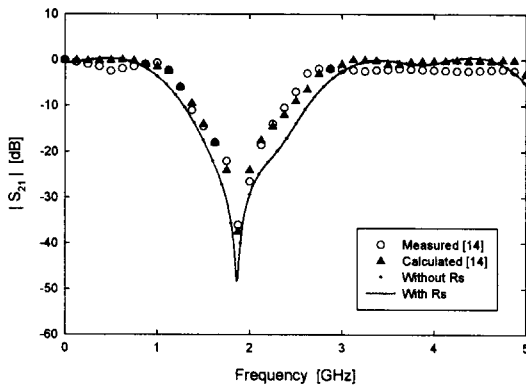


그림 8. 내부 저항 소스 모델링(—)과 하드 소스 모델링(·)을 이용한 CPS 대역 저지 여파기의 삽입 손실 및 Goverdhanam^[22]의 결과(○, ▲)와의 비교

Fig. 8. Insertion loss of a CPS bandstop filter using internal resistive source modeling(—) and hard source modeling(·) compared with calculations(▲) and measurements(○) from Goverdhanam^[22].

표 3. CPS 대역 저지 여파기의 소스 모델링 비교
Table 3. Comparison of source modeling for a CPS bandstop filter.

소스 모델링 방법	내부 소스 저항	과도 현상이 사라지기 위한 시간 간격의 수	계산 시간
내부 저항 소스 모델링	40 Ω	5,000 Δt	16시간 4분
하드 소스 모델링	0 Ω	150,000 Δt	482시간 12분

간 간격이 5,000 Δt이면 충분한 반면 하드 소스 모델링은 150,000 Δt이나 필요했다. 실제 계산 시간으로 비교해도 내부 저항 소스 모델링이 하드 소스 모델링에 비해 1/30 정도 단축된 결과를 볼 수 있다. 또한 본 논문에서 계산한 결과가 Goverdhanam^[14]의 측정 결과 및 계산 결과와도 거의 비슷함을 알 수 있다. 널(null) 부분을 살펴볼 때 약간의 오차가 있지만 내부 저항 소스 모델링을 이용하여 상당히 정확한 결과를 예측할 수 있다.

VI. 결 론

본 논문에서는 마이크로스트립 패치 안테나, CPW 폴디드-슬롯 안테나, CPS 대역 저지 여파기 등의 마이크로파 회로를 효율적으로 해석하기 위해 내부 저항 소스 모델링을 적용하였다. 그리고 하드 소스 모델링에 비해 계산 시간이 현저하게 단축됨을 보이므로서 그 효율성을 입증하였고, 기존의 소스 모델링을 이용한 결과 및 측정치와도 비교함으로써 정확성을 입증하였다.

내부 저항 소스 모델링을 이용했을 때 하드 소스 모델링에 비해 마이크로스트립 패치 안테나는 1/50 정도, CPW 폴디드-슬롯 안테나는 1/55 정도, CPS 대역 저지 여파기는 1/30 정도로 계산 시간이 단축되었다. 또한 급전 선로의 길이가 길지 않아도 되므로 약간의 메모리도 절약되었다. 이를 통

해 내부 저항 소스 모델링은 안테나와 같이 공진이 필요한 회로나 복잡한 구조의 회로일수록 효율이 좋다는 것을 알 수 있다.

이와 같이 내부 저항 소스 모델링은 FDTD를 이용한 계산에 쉽게 적용할 수 있기 때문에 복잡한 형태의 다양한 마이크로파 회로를 비교적 쉬운 계산을 통해 해석할 수 있다. 컴퓨터의 계산 능력이 날로 발전함에 따라 내부 저항 소스 모델링을 응용한 FDTD는 여러 가지 마이크로파 회로를 보다 정밀하게 설계하고 해석하는데 많은 공헌을 할 것이다.

참 고 문 헌

- [1] K. S. Yee, "Numerical solution of initial boundary value problems involving Maxwell's equations in isotropic media," *IEEE Trans. Antennas Propagat.*, vol. AP-14, pp. 302-307, May 1966.
- [2] D. M. Sheen, S. M. Ali, M. D. Abouzahra, and J. A. Kong, "Application of the three-dimensional finite-difference time-domain method to the analysis of planar microstrip circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 38, pp. 849-857, July 1990.
- [3] H. S. Tsai and R. A. York, "FDTD analysis of CPW-fed folded-slot and multiple-slot antennas on thin substrates," *IEEE Trans. Antennas Propagat.*, vol. 44, pp. 217-226, Feb. 1996.
- [4] M. Piket-May, A. Taflove, and J. Baron, "FD-TD modeling of digital signal propagation in 3-D circuits with passive and active loads," *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 1514-1523, Aug. 1994.
- [5] A. Reineix and B. Jecko, "Analysis of microstrip patch antennas using finite difference time domain method," *IEEE Trans. Antennas Propagat.*, vol. 37, pp. 1361-1369, Nov. 1989.
- [6] W. Sui, D. A. Christensen, and C. H. Durney, "Extending the two-dimensional FDTD method to hybrid electromagnetic systems with active and passive lumped elements," *IEEE Trans. Microwave Theory Tech.*, vol. 40, pp. 724-730, Apr. 1992.
- [7] K. S. Kunz and R. J. Luebbers, *The Finite Difference Time Domain Method for Electromagnetics*, Boca Raton, FL: CRC Press, 1993.
- [8] J. G. Maloney, G. S. Smith, and W. R. Scott, Jr., "Accurate computation of the radiation from simple antennas using the finite-difference time-domain method," *IEEE Trans. Antennas Propagat.*, vol. 38, pp. 1059-1068, July 1990.
- [9] M. Jensen and Y. Rahmat-Samii, "Performance analysis of antennas for hand-held transceivers using FDTD," *IEEE Trans. Antennas Propagat.*, vol. 42, pp. 1106-1113, Aug. 1994.
- [10] R. Luebbers, L. Chen, T. Uno, and S. Adachi, "FDTD calculation of radiation patterns, impedance, and gain for a monopole antenna on a conducting box," *IEEE Trans. Antennas Propagat.*, vol. 40, pp. 1577-1583, Dec. 1992.
- [11] R. J. Luebbers and H. S. Langdon, "A simple feed model that reduces time steps needed for FDTD antenna and microstrip calculations," *IEEE Trans. Antennas Propagat.*, vol. 44, pp. 1000-1005, July 1996.
- [12] 지정근, 김규성, 최재훈, "유한 차분 시간 영역 해석법을 이용한 마이크로스트립 회로의

특성 해석," 한양대학교 정보통신기술논문집, vol. 4, pp. 49-60, 1998년 2월.

[13] J. P. Berenger, "A perfectly matched layer for the absorption of electromagnetic waves," *J. Computational Physics*, vol. 114, pp. 185-200, Oct. 1994.

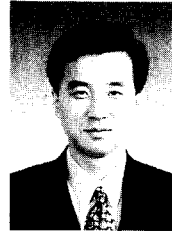
[14] K. Goverdhanam, R. N. Simons, and L. P. B. Katehi, "Coplanar stripline components for high-frequency applications," *IEEE Trans. Microwave Theory Tech.*, vol. 45, pp. 1725-1729, Oct. 1997.

지 정 근



1997년: 한양대학교 전파공학과(공학사)
1992년 2월: 한양대학교 전파공학과(공학석사)
1999년 3월~: 현대전자
[주 관심분야] 안테나 및 마이크로파 소자 설계·해석

최 재 훈



1980년: 한양대학교 전자공학과(공학사)
1986년: 미국 Ohio State University 전기공학과(공학석사)
1989년: 미국 Ohio State University 전기공학과(공학박사)
1989년~1991년: 미국 Arizona State University 연구교수
1991년~1995년: 한국통신 위성사업본부 연구팀장
1995년~현재: 한양대학교 전파공학과 부교수
[주 관심분야] 안테나 및 마이크로파 소자 설계·해석, 전파전파 모델링, 위성통신 및 이동통신