

세라믹 적층 기술을 이용한 초소형 VCO

A Miniaturized VCO Using Multi-layer Ceramic Technology

고윤수* · 홍성용* · 배홍열** · 김기수** · 손호원***

Yun-Soo Ko* · Sung-Yong Hong* · Hong-Yeol Bae** · Ki-Su Kim** · Ho-Won Son***

요 약

세라믹 적층기술을 이용하여 PCS 주파수 대역의 초소형 VCO를 설계하고 제작하였다. 위상잡음 특성을 개선하고 크기를 줄이기 위하여 품질계수(quality factor)가 우수한 세라믹 다층기판으로 스트립라인을 구현하여 VCO 공진부의 인덕터로 사용하였다. 1,720~1,780 MHz에서 동작하도록 제작된 VCO는 6 mm × 6 mm × 2 mm의 크기로 초소형이며, 3.3 V, 9 mA의 바이어스 조건에서 -3.7 dBm의 출력을 얻었고, 위상잡음 특성은 10 KHz offset에서 -95 dBc/Hz였다. 본 논문에서 제작된 세라믹 VCO는 기존의 에폭시 수지(FR4) 기판을 사용한 VCO보다 약 5 dBc/Hz 개선된 위상잡음(C/N) 특성을 얻었다.

Abstract

A miniaturized voltage controlled oscillator using multi-layer ceramic technology at PCS frequency band is designed and fabricated. To improve the phase noise characteristics and to reduce the size, the strip line which is embedded in a high performance multi-layer ceramic substrate is used as an inductor of VCO. And the fabricated VCO is very small size (6 mm × 6 mm × 2 mm). At the bias condition of 3.3 V and 9mA, the output power and phase noise in the operating frequency range of 1,720~1,780 MHz are -3.7 dBm and -95 dBc/Hz at 10 KHz offset from the carrier, respectively. The phase noise and size are better than the conventional VCO using glass epoxy substrate.

I. 서 론

최근 휴대용 전화기의 크기는 점점 소형화되고 있으며 성능은 향상되고 있다. 단말기의 성능을 좌우하는 RF 주요 부품으로서 전압제어발진기는 주파수를 가변할 수 있는 신호원으로서 주파수 채널을 할당하는 위상동기루프(PLL)에 사용되고 있다. 전압제어발진기의 위상잡음(C/N) 특성은 시스템

의 감도와 인접채널의 선택도를 결정하는 중요한 요소이며, 또한 디지털변조 방식에서는 데이터의 오류(BER)특성에 큰 영향을 준다. 전압제어발진기의 위상잡음특성은 주로 트랜지스터의 잡음지수와 배랙터 다이오드 및 공진부에서 인덕터로 사용되는 공진기의 품질계수에 의해 좌우한다. 유전체 공진기나 YIG와 같은 소자를 사용하면 공진기의 품질계수를 증가시킬 수 있으나 크기가 커지는 단

「본 연구는 정보통신부 국책기술개발 사업의 지원으로 수행되었음.」

*충남대학교 전파공학과(Dept. of Radio Science and Engineering, Chungnam Nat'l Univ.)

**쌍용양회 중앙연구소(Research Center, Ssangyong Cement Industrial Co., Ltd.)

***뉴컴전자(주)(Newcom Electronic Co., Ltd.)

· 논문 번호 : 980914-089

· 수정완료일자 : 1998년 12월 7일

점이 있다^[1]. 따라서 단말기용 VCO에서는 다층기판을 이용하여 공진기를 스트립라인으로 구현하는데 기존의 예폭시 수지를 사용한 기판은 재료의 유전손실이 크기 때문에 공진기의 품질계수가 떨어진다. 따라서 VCO의 가장 중요한 규격인 위상잡음 특성이 떨어지는 단점이 있다.

그런데 고주파에서 유전손실이 아주 적은 세라믹 재료를 이용하여 스트립 라인을 구현한다면 품질계수가 큰 공진기를 얻을 수 있다^[2]. 따라서 본 논문에서는 유전체의 품질계수가 매우 우수한 세라믹 기판을 이용하여 초소형이며 위상잡음 특성이 우수한 VCO를 설계하고 제작하였다.

II. 전압제어 발진기 회로 및 설계

본 연구에서 제작하고자 하는 전압제어 발진기는 PCS 주파수 대역의 국방발진용으로 사양은 표 1과 같다.

2 GHz 대역에서는 소자들의 기생성분이 크게 영향을 미치지 않으므로 발진기의 발진주파수는 공진회로만으로 거의 결정된다. 이러한 경우에는 능동소자를 포함하여 고주파를 생성하는 부저항부와 발진주파수를 안정시키는 공진부 그리고 부하에 큰 출력이 전달되도록 하는 임피던스 정합부로 나누어 해석할 수가 있다. 트랜지스터를 이용하여 발진기를 구성하는 방법에는 크게 에미터 접지회로

표 1. VCO의 설계 규격

Table 1. Design specifications for VCO.

항 목	규 격
Frequency range	1720 ~ 1780 MHz
Tuning voltage	0.3 ~ 3.0 V
Output power	-5 dBm 이상
Phase noise (10 kHz offset)	-90 dBc/Hz 이하
Spurious response	-10 dBc 이하
Power supply	3.3 V, 9 mA 이하

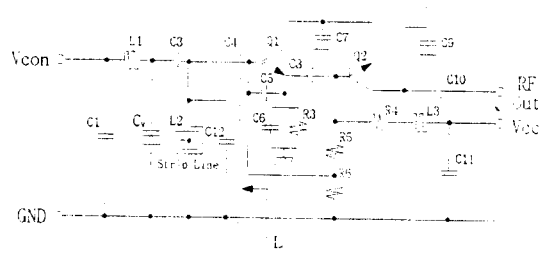


그림 1. VCO의 회로도

Fig. 1. Equivalent circuit of voltage controlled oscillator.

와 베이스 접지회로로 나눌 수가 있는데 높은 출력 및 다양한 특성을 만족시키기 위해서는 에미터 접지회로가 유리하다. 그리고 일반적으로 인덕터보다는 캐패시터가 높은 Q값을 나타내므로 Hartley 형태보다는 Colpitts형을 주로 사용한다. 따라서 본 논문에서는 에미터 접지, Colpitts형의 발진회로를 사용하였는데 그림 1과 같다.

그림 1에서 발진단은 C_5, C_6, L 로 구성된 Colpitts 형태로서 발진주파수는 다음 식과 같이 근사적으로 쓸 수 있다.

$$f_o \approx \frac{1}{2\pi\sqrt{L_2(C_3 \parallel C_v + K)}} \quad (1)$$

이때 트랜지스터의 에미터, 베이스, 컬렉터사이의 정전용량 등 발진주파수에 영향을 주는 모든 요소를 K 로 나타내었다. 또한 발진기의 위상잡음 특성은 트랜지스터의 잡음지수, 공진부를 구성하는 소자들의 Q 값에 의해 주로 결정되는데 다음 식을 이용하여 근사적으로 구할 수 있다^{[3],[4]}.

$$C/N \approx \frac{FkT}{P_s} \frac{1}{2} \left[\frac{f_c}{f_m^3} \left(\frac{f_o}{2Q_L} \right)^2 + \frac{1}{f_m^2} \left(\frac{f_o}{2Q_L} \right)^2 + \frac{f_c}{f_m} + 1 \right], \text{ dBc/Hz} \quad (2)$$

이때 f_o 는 발진주파수, f_m 은 offset 주파수,

f_c 는 $1/f$ flicker 잡음이 백색잡음과 같아지는 주파수, Q_L 은 공진회로의 부하 Q , P_s 는 발진출력, F 는 트랜지스터의 잡음지수, k 는 볼츠만 상수, T 는 절대온도이다. 본 논문에서는 우수한 위상잡음 특성을 얻기 위해 트랜지스터는 잡음지수가 1.1 dB인 NEC사의 2SC5006, 배랙터 다이오드는 Q 가 50인 Toshiba사의 1SV280을 선택하였다. 1.750 MHz 발진주파수, 10 kHz offset 주파수에서 Q_L 의 변화에 따른 C/N의 특성을 식 (1)을 이용하여 계산하였는데 그림 2와 같은 특성을 얻었다. 이때 f_c 는 5 kHz로 가정하였다.

초소형의 VCO를 제작하기 위해 공진부를 구성하는 인덕터 L_2 를 다층 세라믹 기판에 스트립 라인으로 구현하였다. 세라믹 기판과 기존의 에폭시 수지 기판(FR4)을 적층하여 스트립 라인으로 구현했을 때 인덕터의 Q 값을 HFSS(High Frequency Structure Simulator)를 이용하여 각각 계산하였는데 결과는 그림 3과 같다. 이때 세라믹 기판의 Q 는 670 유전율은 7.8, 기존 FR4 기판의 유전율은 4.5, Q 는 50으로 하였다.

그림 3에서 실선은 세라믹 기판을 사용했을 경우의 특성이고 점선은 FR4 기판을 사용했을 경우의 특성이다. 그림 3에서 알 수 있듯이 세라믹 기판의 Q 특성이 FR4 기판보다 매우 우수함을 알 수 있다.

최근 휴대전화의 소형화에 따라 부품의 소형화는 필수적인데 단말기 제조업체에서 부품의 높이를 보통 2 mm까지 요구하고 있다. 따라서 제작하고자 하는 VCO의 전체 높이를 2mm 이하로 하기 위해서 스트립라인의 두께를 0.6 mm로 선택하였는데 이때 인덕터의 Q 값은 세라믹기판을 사용했을 경우 100, FR4 기판을 사용했을 때 40 정도임을 알 수 있다. 따라서 배랙터 다이오우드의 Q 와 스트립 라인 인덕터의 Q 를 모두 고려하면 공진회로의 무부하 Q 는 세라믹 기판과 FR4 기판에서 각각 33과 22로 계산되었다. 이때 무부하 Q 와 부하

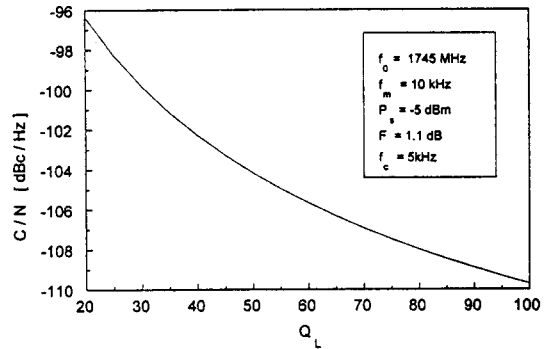


그림 2. Q_L 의 변화에 따른 C/N의 특성

Fig. 2. Simulated results of C/N according to Q_L .

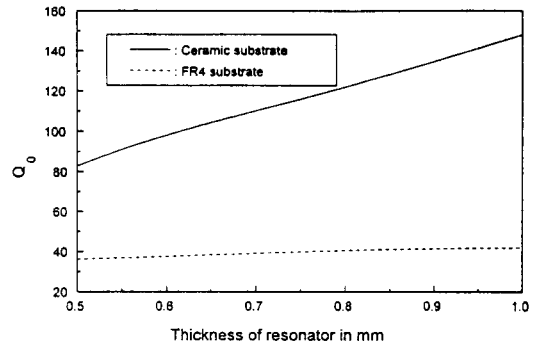


그림 3. 기판의 두께에 따른 공진기의 품질계수

Fig. 3. Q_0 vs resonator thickness.

Q 가 같다고 가정하고 세라믹 기판과 FR4 기판을 사용했을 때의 위상잡음(C/N)을 그림 2를 이용하여 구하면 각각 -101 dBc/Hz, -96 dBc/Hz이다. 그런데 식 (1)에서 위상잡음에 미치는 영향을 모두 고려하지 않았고 무부하 Q 와 부하 Q 가 같다고 가정하였기 때문에 실제 측정결과는 위에서 계산한 값보다 나빠지리라 예상된다. 그러나 위의 결과로부터 세라믹 기판을 사용하여 VCO를 제작하면 기존의 FR4 기판을 사용했을 때보다 5 dBc/Hz 정도 위상잡음 특성이 개선됨을 알 수 있다.

그림 1과 같이 전압제어 발진기는 크게 발진단과 증폭단으로 구성되어 있는데 발진단은 C_5 , C_6 , L_2 로 구성된 Colpitts 형태임을 알 수 있으

며 VCO의 주파수 가변 범위는 배랙터 다이오드의 가변 범위와 C_3 에 의해 조절할 수 있다. 또한 같은 발진주파수에서 C_4 와 C_5 , C_6 의 크기는 서로 반비례하게 된다. 만약 C_4 를 크게 하면 발진 출력은 증가하게 되나 C_5 , C_6 가 작아지게 되어 트랜지스터에서 발생하는 잡음에 민감해지게 되고 반대로 C_4 를 작게 하면 발진출력은 떨어지나 C_5 , C_6 가 증가하게 되어 잡음의 영향을 덜 받게 된다^[5]. 그리고 증폭단은 출력을 높이는 역할뿐 아니라 VCO의 발진주파수가 부하 임피던스의 변화에 민감하지 않도록 하는 버퍼 기능을 하고 있다. 그리고 C_9 , C_{10} , L_3 는 부하에 최대의 전력을 전달하기 위한 정합용 소자이다. 이와 같은 기본 원리를 이용하여 회로를 설계하였는데^[6] 설계된 정수값은 표 2와 같다.

표 2. VCO 회로의 설계값

Table 2. Designed values for the VCO.

부 품	설 계 값	부 품	설 계 값
C_1	47 pF	C_{10}	3 pF
C_3	2.7 pF	C_{11}	100 pF
C_4	2 pF	C_{12}	1 pF
C_5	1.5 pF	R_3	100 Ω
C_6	0.5 pF	R_4	1 K Ω
C_7	47 pF	R_5	3.3 K Ω
C_8	1 pF	R_6	5.6 K Ω
C_9	1 pF	L_1, L_2, L_3	strip line

III. 전압제어 발진기 제작 및 측정

본 논문에서는 PCS 단말기에 사용할 수 있는 초소형이면서 위상잡음 특성이 우수한 VCO를 제작하고자 한다. 이를 위해 크기가 매우 작고 특성이 우수한 트랜지스터(NEC 2SC5006)와 배랙터 다이오우드(Toshiba 1SV280)를 선택하였고, 저항,

캐패시터는 1005 크기를 사용하였다. 또한 인덕터는 세라믹 다층기판을 이용하여 스트립라인으로 구현하였다. 인덕터의 품질계수는 유전체의 품질계수와 도체의 전도율에 밀접한 관련이 있다. 세라믹 유전체는 기존의 에폭시 수지의 기판에 비하여 고주파 대역에서 품질계수가 뛰어나기 때문에 세라믹 기판으로 공진부의 인덕터를 구현할 경우 VCO의 위상잡음 특성이 향상된다. 본 논문에서는 유전율이 7.8이고 품질계수가 670인 세라믹 테이프를 사용하였다. 한편 스트립라인은 Ag, Cu와 같이 전도성이 뛰어난 금속을 사용하여야 도체 손실을 줄일 수 있는데, 이들의 녹는점은 961°C, 1060°C로 비교적 낮다. 따라서 적층형 세라믹 VCO 기판을 제조하기 위해서는 저온에서 소성이 가능한 세라믹 소재를 사용하여 내부 도체와 동시 소성하여야 한다.

3-1 전압제어발진기 제작

본 논문에서는 기판용 저온 소성 유전체로 Dupont사의 951AT 테이프를 사용하였으며, 유전체와의 동시 소성시 수축율이 잘 일치하도록 제조된 내부(Dupont 6142D), 외부(Dupont 6146 Ag/Pd), via-hole(Dupont 6141)용 전극을 사용하였다. 그림 4는 VCO 제작을 위하여 만든 세라믹 기판의 단면을 나타낸 것인데, 기능 부품 실장을 위한 실장층, 접지 전극층, 공진부 및 출력단의 인덕터를 위한 내부 인덕터층, 그리고 적절한 유전체의 두께를 형성하기 위한 dummy층으로 나눌 수 있다.

그림 5에 세라믹 기판의 제조공정을 나타내었다. 먼저 패턴을 설계한 다음 상하층의 연결을 위한 via-hole을 형성하였다. 이때 via hole의 지름은 200 μm 이었고, 접지 전극을 위해서는 최상층에서 최하층까지 연결되도록 하였으며 완벽한 접지를 위하여 11개의 via-hole을 연결하였다. 최상층과 최하층은 기능 부품 실장 및 단자와의 연결이 필요하므로 납땀이 잘 이루어질 수 있도록 Ag/Pd의

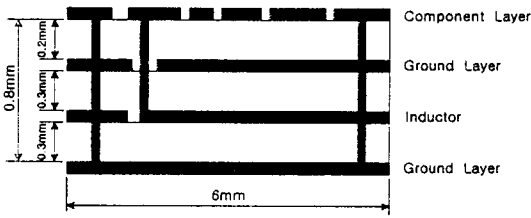


그림 4. 다층기판의 단면도

Fig. 4. Vertical cross section of the multi-layer substrate.

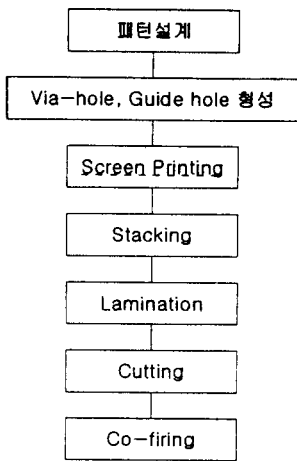


그림 5. 다층기판 제조 공정도

Fig. 5. Fabrication process of multi-layer substrate.

합금으로 된 전극을 사용하였고, 내부 코일 층은 순수한 Ag에 가까운 것으로 알려진 내부 전용 전극을 사용하였으며, via-hole이 있는 dummy 층은 점도가 비교적 높고 glass frit의 함량이 많은 전극을 사용하였다. 적층은 70도의 온도에서 75 psi 정도의 양압을 가하면서 적층하였다. 적층이 완료된 적층체를 70°C의 열판위에 놓고 cutting line을 따라 절단한 후 소결을 하였다. 소결은 저온에서는 분당 10°C 이상으로 승온하고, 300°C에서 450°C 구간에서는 분당 5°C의 속도로 승온하면서 유전체 sheet 내부의 용매, 결합제, 가소제 등의 유기물을 제거하였다. 450°C 이상에서는 다시 분당 10°C 이상의 고속으로 승온하여 875°C에서 15분간 유지한 후

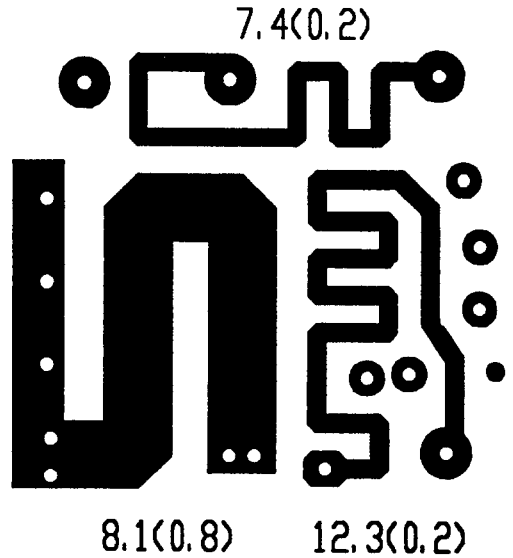


그림 6. 스트립 라인 인덕터의 설계 패턴

Fig. 6. Pattern of the designed strip line inductor.

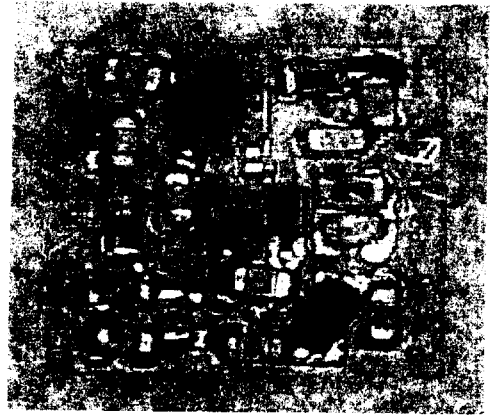


그림 7. 제작된 VCO의 실제 사진

Fig. 7. Photograph of the fabricated VCO.

공기 중에서 급냉하여 세라믹 기판을 제작하였다.

이와 같이 제작된 세라믹 기판 위에 능동 및 수동소자를 실장하여 그림 1과 같은 VCO 회로를 구현하였다. 다층 세라믹 기판의 스트립 라인 인덕터 설계 패턴을 그림 6에 나타내었다. 이때 전압제어 발전기의 크기는 6×6×2 mm(0.072 cc)로서 초소형인데 외관 사진을 그림 7에 나타내었다.

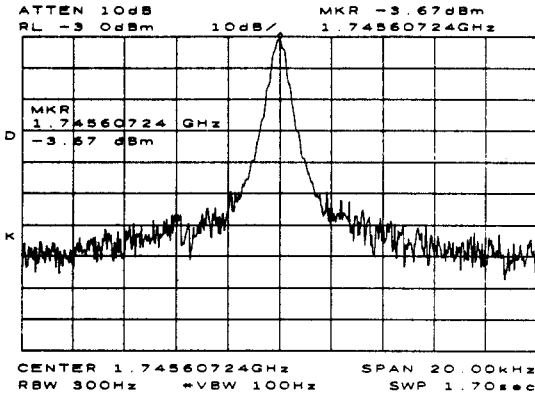


그림 8. 제작된 VCO의 발진 특성
Fig. 8. Oscillation spectrum of the fabricated VCO.

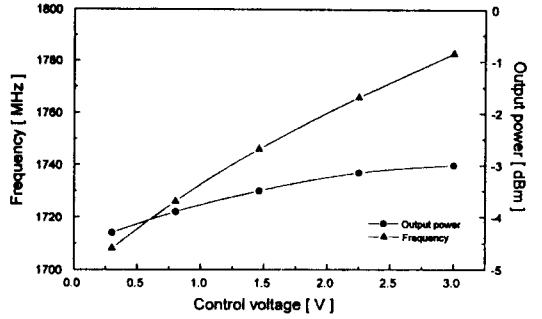


그림 11. 제어전압에 따른 발진 주파수와 출력레벨의 변화
Fig. 11. Oscillation frequency and output level versus control voltage.

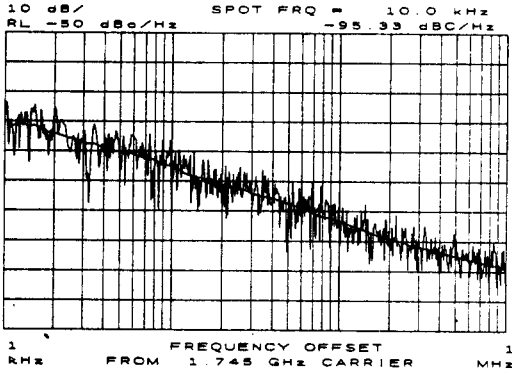


그림 9. 제작된 VCO의 위상잡음 특성
Fig. 9. Phase noise characteristics of the VCO.

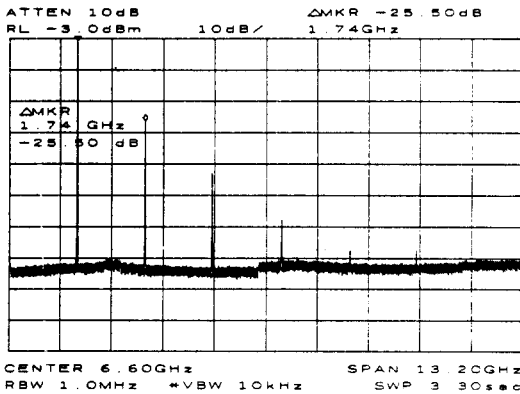


그림 10. 제작된 VCO의 고조파 특성
Fig. 10. Harmonic characteristics of the VCO.

3-2 전압제어발진기 측정결과

제작된 전압제어 발진기는 1.745 GHz에서 출력 레벨이 -3.67 dBm으로 측정되었는데 그림 8에 나타내었다. 이때 바이어스 조건은 3.3 V, 9 mA이었다.

그림 9, 그림 10은 위상잡음 특성과 고조파 특성을 측정한 결과인데 위상잡음 특성은 10 kHz offset 주파수에서 -95 dBc/Hz, 고조파 특성은 -25 dB 이하로 매우 우수한 특성을 얻었다.

또한 제작된 VCO의 제어전압에 따른 발진주파수 및 출력특성을 그림 11에 나타내었는데 사용

표 3. 제작된 VCO의 측정 결과
Table 3. Measurement results of the fabricated VCO.

항 목	규 격
Frequency range	1720 - 1780 MHz
Tuning voltage	0.3 - 3.0 V
Output power	-3.67 dBm
Phase noise (10 KHz offset)	-95 dBc/Hz
Spurious response	-25 dB
Power supply	3.3 V, 8.5 mA

주파수대역내에서 제어전압 감도변화는 ± 4 MHz/V 이내, 출력의 변화는 ± 0.6 dB 이내의 특성을 나타내었다. 표 3에 측정결과를 요약하였다.

IV. 결 론

본 논문에서는 세라믹 다층기판을 이용하여 PCS 주파수 대역의 전압 제어 발진기를 구현하였다. VCO 모듈은 세라믹 기판 상에 도체 배선을 형성하고 그 위에 능동 및 수동소자를 실장하는 하이브리드 방식으로 제작하였다. 위상잡음 특성을 개선하기 위하여 품질계수가 670이고 유전율이 7.8인 세라믹 테이프를 적층하여 스트립라인 형태로 공진부의 인덕터를 구현하였다. 제작된 VCO는 주파수 대역이 1,720~1,780 MHz, 10 kHz offset 주파수에서 위상잡음 특성이 -95 dBc/Hz, 출력 레벨이 -3.67 dBm이었다. 이때 고조파는 기본파에 비해 -25 dBc 이하로 측정되었다. 본 연구에서 제작한 전압제어 발진기는 기존의 에폭시 수지를 사용한 제품과 비교할 때 같은 조건에서 위상잡음 특성이 5 dBc/Hz 정도 개선되었을 것으로 예상된다. 또한 세라믹 기판은 유전율이 7.8로 기존의 FR4 기판의 4.5보다 크기 때문에 스트립라인 인덕터의 길이가 짧아지므로 VCO의 소형화에 장점이 있다.

따라서 제작된 초소형 VCO는 PCS 시스템을 소형화하는데 기여하리라 여겨지며 세라믹 기판의 두께를 증가하면 유전체 공진기를 이용한 VCO와

유사한 우수한 위상잡음 특성을 얻을 수 있다고 생각된다. 향후 세라믹 적층기술을 이용하여 PLL 모듈을 구현하면 보다 우수한 특성을 얻을 수 있으리라 여겨진다.

참 고 문 헌

- [1] G. D. Vendelin, *Microwave circuit design using linear and nonlinear techniques*, chap 6, John Wiley & Sons, 1990.
- [2] T. Nishikawa, "RF front end circuit components miniaturized using dielectric resonators for cellular portable telephones," *IEICE Trans.*, vol. E74, no. 6, June 1991.
- [3] T. Uwano, Y. Nakagawa, T. Nakamura, T. Ishizaki, "Design of a low phase noise VCO for an analog cellular portable radio application", 전자정보통신학회 논문지 C-I, vol. J76-C-1, no. 11, pp. 430-436, Nov. 1993.
- [4] W. P. Robins, *Phase noise in signal sources*, Peter Peregrinus Ltd, 1982.
- [5] 홍성용, "380 MHz대 TRS 단말기용 전압제어 발진기 설계 및 제작", 한국전자파학회논문지, 제9권 2호 pp. 219-225, 1998. 4.
- [6] 염경환, *Microwave component design using MDS*, Hewlett Packard, 1997.

고 윤 수



1974년 8월 11일 생
1993년 2월~1997년 2월: 충남대학교 전파공학과(공학사)
1997년 3월~현재: 충남대학교 전파공학과(공학석사)

홍 성 용



1985년 2월: 충남대학교 전자공학과(공학사)
1988년 2월: 한국과학기술원 전기 및 전기공학과(공학석사)
1994년 8월: 한국과학기술원 전기 및 전자공학과(공학박사)
1994년 2월~1996년 8월: 한국 쌍신

전기 연구소장

1996년 9월~현재: 충남대학교 전파공학과 전임강사

배 홍 열



1971년 6월 15일 생
1991년~1995년: 포항공과대학교 재
료금속공학과(공학사)
1995년~1997년 포항공과대학교 재
료금속공학과 무기재료전공(공학석
사)
1997년~현재: 쌍용중앙연구소 프로
젝트연구팀 연구원

손 호 원

1965년 10월 20일 생
1985년 3월~1992년 2월: 계명대학교 화학공학사(공학사)
1992년 3월~1996년 12월: 한국쌍신전기 주임연구원
1997년 1월~현재: 뉴컴전자 개발과장

김 기 수



1955년 6월 24일 생
1975년~1979년: 서울대학교 무기재
료공학과(공학사)
1979년~1981년: 서울대학교 무기재
료공학과(공학석사)
1988년~1993년: Stanford 대학교
재료공학과(공학박사)

1984년~1988년: 쌍용중앙연구소 신소재개발실 연구원
1993년~1996년: 쌍용중앙연구소 전자세라믹연구실 선임
연구원
1996년~현재: 쌍용중앙연구소 복합재료연구팀 책임연구
원