

2.2. 배선의 신뢰성

미세 패턴 형성에서는 하층 막의 형상만을 생각하면 좋았지만, 배선의 신뢰성에서는 하층 막의 형상에서 그치지 않고 배선 위의 막의 평탄성이나 평탄화 방법이 큰 영향을 미친다. 여기서 이러한 평탄성이 배선 신뢰성에 미치는 영향에 대해 알아 보았다.

2.2.1. 하층막 형상의 영향

평탄화가 안되었거나 혹은 충분치 않은 평탄화 상태에서의 패턴형성에서는 배선의 층도임 정도가 주요 관심사였다. 층도임 정도의 열화는 배선의 단락이나 EM등의 불량원인이 되지만 어느 정도 층도임 정도가 있다면 EM에 의한 단선은 반드시 단차부에서 일어나지는 않는다. 이것은 EM은 알루미늄의 입계 확산에 의해 생기기 때문에 막 두께의 변화 즉, 전류밀도의 변화보다도 입계 구조 쪽이 큰 영향을 받고 있기 때문이다. 한편 SM의 경우에는 비록 완만한 기복이 있어도 입계의 존재와 응력의 집중에 의해 단선율은 높게 된다. 그림 3은 하층막의 단차의 유무에 대한 SM 단선 불량율이 다름을 보여준다.

그림 4는 이 시편의 단면 TEM 사진을 보여 준다. 단차가 있는 곳에서 단선이 발생되고 있지만 단면 TEM 사진에서는 심각한 층도임 저하는 볼 수가 없다. 그러나 단차부에서는 반드시 입계가 존재하므로 여기에서 응력이 집중하는 것에 의해 단선이 쉽게 나는 것이라고 생각되어진다.

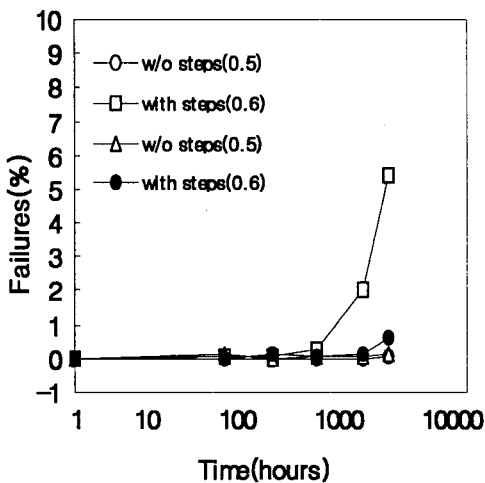


그림 3. lines covered with P-SiN(0.5um)

2.2.2. 상층막 형상의 영향

그림 5는 알루미늄 배선 위의 평탄도를 변화시킨 경우의 EM 시험 결과를 나타내고 있다. 평탄화에 의한 MTTF(median time to failure)가 약 10배 향상되었다. 이것은 다음과 같은 이유에 의한 것이라고 생각된다. EM에 의해 발생한 힐록(hillock)이 배선 상부 절연막을 밀어 올리려하고, 평탄화된 막은 강하기 때문에 절연막의 파괴가 일어나지 않는다. 이러한 것들에 의해 배선에 남아있는 응력이 알루미늄 원자의 흐름을 완화시켜서 공극이 발생하지 않는다.

한편, SM의 경우에는 상층막의 평탄화에 의해 반대로 신뢰성이 저하될 가능성이 있다. SM에 관해서는 상층막의 응력이나 형성 온도는 논의되고 있지만 평탄성에 대해서는 그다지 논의되고 있지 않다.

그림 6은 스퍼터(sputter) 또는 PECVD SiO₂로 증착된 Al-Si 배선의 SM 실험 결과이다. 스퍼터 SiO₂는 바이어스 유무에 따라 증착하였고, 그 단면 모습은 그림 6안에 나타내어지고 있다. 스퍼터-SiO₂의 증착 온도는 대체로 200℃ 정도 이므로 현재 SM의 주요인 이라고 생각되어지는 열스트레스는 거의 영향이 없다. 이와 같은 낮은 증착 온도에도 불구하고 바이어스 스퍼터 SiO₂는 PECVD SiO₂(증착 온도 300℃) 보다 높은 단선율로 SM에 어느 정도의 영향을 미친다. 평탄화된 상층막은 배선내의 인장 응력을 이완시키기 위한 변형이 어렵다고 생각된다.

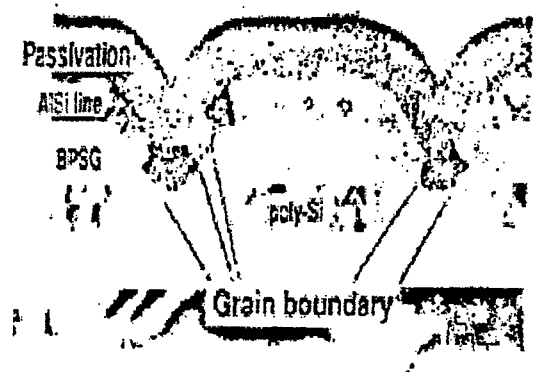


그림 4. TEM 단면 of Al-1%Si lines

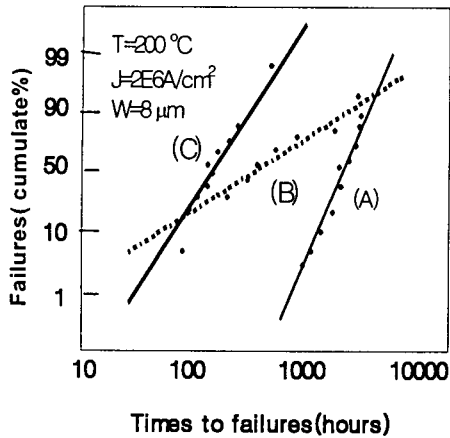


그림 5. EM test for lines covered with
 (A) PECVD SiO₂ with SOG (non EB)
 (B) PECVD SiO₂ with SOG (EB)
 (C) PECVD SiO₂

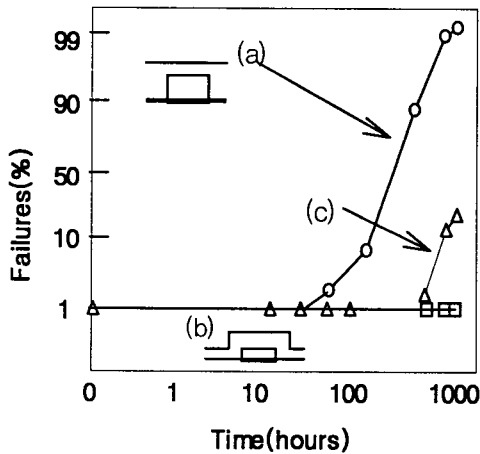


그림 6. Storage test Al-Si lines covered
 three kinds of dielectrics with
 (a) Bias sputtered SiO₂
 (b) Non-bias sputtered SiO₂
 (c) PECVD SiO₂
 Line width : 0.5µm thickness: 0.3µm
 length : 300µm

또한 보호막을 평탄화하면 내 흡습성이 향상된다. 보호막의 내흡습성은 단차 측벽부에서 결정되어진다. 이것은 측벽부의 막이 얇고 다공성이기 때문이다. 따라서 배선 간격이 점차적으로 좁아지면 보호

막의 평탄화는 필수 불가결할 것이다.

CMP기술의 사용은 평탄화에만 독자적으로 적용되는 것은 아니다. 유리 연마(glass polishing)는 렌즈(lense)제조에 과거 오랜 세월동안 사용되어졌고, 이 유리 연마의 기초부분이 광범위하게 많이 산화막 CMP에 적용되어졌던 것이다. IC제조에 있어, 스타팅 웨이퍼(starting wafer)준비의 마지막 단계로서 실리콘 연마(silicon polishing)는 몇 십년 동안 사용되어지고 있다. 그러나, 평탄화에 대해 사용되는 CMP는 웨이퍼의 준비단계인 실리콘 연마나 렌즈 제조등과는 다른 것이다. 물론, 이 세가지 모두 높은 평탄도나 평평도(flatness)가 요구되어진다. 그러나, CMP에서는 훨씬 적은 양의 물질 제거량을 가지고 달성 되어져야만 한다. 게다가, 물질 제거에 대한 오차 허용도(tolerance)도 일반적인 표면연마 보다 훨씬 더 엄격하다. 예를 들면, ILD 두께가 전 웨이퍼에 대해 그 차이가 100nm보다 적어야만 하는 반면, 웨이퍼의 두께는 몇 mils까지 다양해 질 수있다. 그래서, 평탄화에 대해 사용되는 CMP는 훨씬 더 엄격한 공정조건이 요구된다.

다음 설명에서는 CMP공정의 기계적인 요소와 화학적인 요소를 CMP의 이해의 폭을 넓히고, 현재 CMP recipe은 유용성을 증가 시키며, 새롭고 더욱 확실한 제조공정의 개발을 이끄는 방향으로 연구되어질 것이다.

3. CMP의 원리

CMP의 기본 원리는 어원에서 알 수 있듯이 화학적인 요소와 기계적인 요소가 있다. 화학적인 요소로서 회전하는 탄성체 패드와의 조합에 의해 웨이퍼 표면에서 벗겨져 나가는 것이다. 웨이퍼가 패드의 표면에서 왕복 운동함에 따라 액상 속의 슬러리 입자들이 웨이퍼와 패드의 접촉한 부분에서 웨이퍼 표면에 대해 압력을 가함으로써 연마가 되는 것이다[3].

이와 같이 CMP는 주로 슬러리 입자들에 의한 화학적인 요소와 패드의 재료에 의한 기계적인 요소에 의해 연마하는 기술이다.

3.1. 화학적 요소

연마하는 동안 표면의 상호 작용은 슬러리 안에 물의 존재에 따라 즉, PH농도에 따라 큰 영향을 받는다[5]. 그러나 물이 유기 용매로 대체되면 그 영향은 무시된다. 이러한 슬러리에 의해 연마되는 과정을 살펴본다.

a. 슬러리 내의 용매와 웨이퍼 표면과의 수소결합

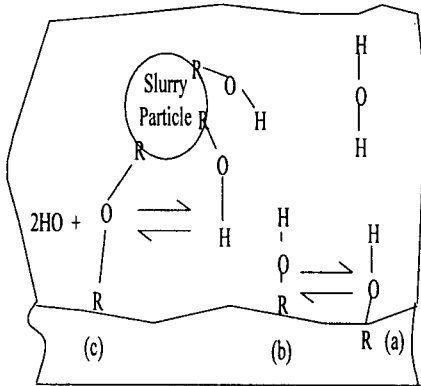


그림 7. 연마 공정 동안의 화학 작용 sequence

- b. 슬러리 입자와 웨이퍼 표면의 수소 결합
- c. 슬러리 입자들이 움직이면서 결합되었던 웨이퍼 표면의 제거

슬러리에 의한 연마의 최종 방정식은 $\equiv\text{Si-O-Si} \equiv + \text{H}_2 \rightleftharpoons 2 \equiv\text{Si-OH}$ 이고 연마는 ①의 반응속도가 ②의 속도 보다 빠를 때 이루어지는데 때때로 산화막의 재증착이 더 크다. 슬러리 입자와 웨이퍼 표면 사이의 결합력은 연마하는 동안의 동적 마찰 계수를 정한다. 따라서 슬러리의 화학적인 성질은 제거속도를 좌우하는 중요한 요소이다. 현재 가장 높은 제거속도를 가지는 슬러리 재료는 CeO_2 이다. 그러나 평탄화에서 제거속도에 기초를 둔 슬러리의 선택뿐만 아니라 슬러리 입자 콜로이드 분포도 중요하다. 물은 산화막의 여러 성질에 영향을 미치게 된다. 산화막내에서 수소 확산이 크게 되면 이는 하이드록실 결합의 깨짐에 영향을 주어 결과적으로 제거되는 입자의 크기에도 영향을 주게 된다.

3.2. 기계적 요소

그림 8은 연마장비를 도식적으로 나타내었다. 웨이퍼에 의해 연마 패드라 불리는 연마 표면에 대해 압력이 가해지고 웨이퍼와 패드는 둘 다 회전한다.

세밀한 연마입자와 중성수용액으로 구성되는 연마 슬러리는 패드의 중심으로 분사되어 진다. 원심력은 패드위에 형성된 얇은 층의 액체를 패드를 따라 분산시킨다. 연마입자에 적용된 힘과 회전력으로부터의 기계적인 동작과 웨이퍼와 슬러리로 부터의 chemical 동작의 조화, 이것은 웨이퍼 표면 물질을 제거하

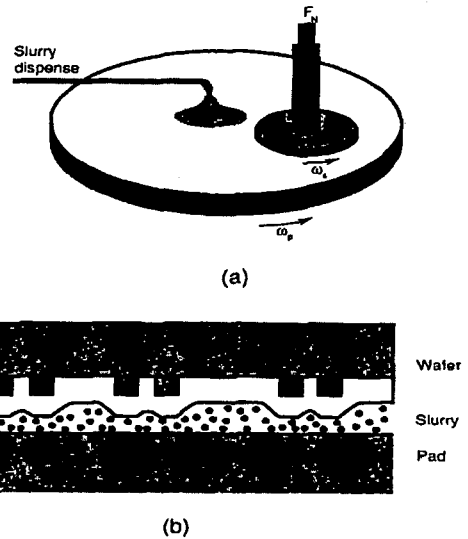


그림 8. 웨이퍼 연마 톨의 구조적인 형태.
 (a) Polish table with carrier assembly.
 (b) Schematic view of wafer-slurry-pad system.

는 결과를 갖는다. CMP공정에 의해, 평탄화를 수행하는 주요 열쇠는 표면의 낮은 지역에서의 낮은 제거율(removal rate)과 높은 지역에서의 높은 제거율을 유지하는 것이다. 제거율에서의 이러한 차이는 만약 연마 패드가 견고하고 덜 압축적이면 얻어진다. 패드는 높은 지점에서 더 많은 힘이 가해지게 된다. 즉, 패드가 견고하고, 딱딱하기 때문에 웨이퍼 표면전체에 일정하게 접촉않고, 그러므로, 낮은 지역에는 힘이 덜 가해진다. 표면에서의 식각율(etch rate)은 일반적으로 어떤 적용된 힘이 거의 없기에 일반적으로 무시되고, 낮은 지역에서의 제거율은 매우 적다. 평탄화에 대한 CMP공정의 능력은 식 3.1에서 주어진 평탄화율(planarization rate)에 의해 측정되어진다. CMP 기계적인 요소로써 연마 공정시 웨이퍼와 패드와의 물리적인 운동과 패드 재료 특성을 들 수 있다. CMP의 기계적인 성질을 이해하는데 Preston의 유티에 대한 연마 방정식이 많은 도움을 준다[6][7].

$$dr/dt = K P ds/dy \quad (3.1)$$

P : 압력
 ds/dt : 유리 표면과 패드와의 상대속도

dr/dt : 기계적인 제거 속도

T : 유리막의 두께

K : Preston 상수

K는 Young의 modulus와 유리의 경도와 반비례 관계가 있다. 어떤 재료를 제거한다고 하는 것은 거시적으로 큰 덩어리 제거와 수십 나노 영역의 상호 작용이 있다. Preston의 방정식은 슬러리 입자 직경에 따른 제거 속도를 나타내지는 않는다. 연구에 의하면 어떤 입계값 이상의 슬러리 입자 직경은 제거 속도에 거의 영향이 없으나, 다만 입자들의 균일한 정도가 중요하다. 웨이퍼의 표면 제거 속도는 원래 국부적인 압력에 따라 다른데 Preston 방정식에서 알 수 있듯이 가해지는 압력과 접촉 면적에 의해 구해지고, 또한 패드의 움직이는 속도에 의해 구해진다. 따라서, 국부적인 면을 생각하면 높게 솟은 부분은 낮은 부분보다 높은 압력을 받게 되므로 빠른 표면 제거 속도를 갖는다. 또한 계속해서 연마하면 패드와 웨이퍼와의 접촉 면적을 증가하므로 높은 부분의 제거 속도는 감소한다. 그러나 전체속도 즉, 웨이퍼 표면 전체의 제거 속도는 일정하게 된다.

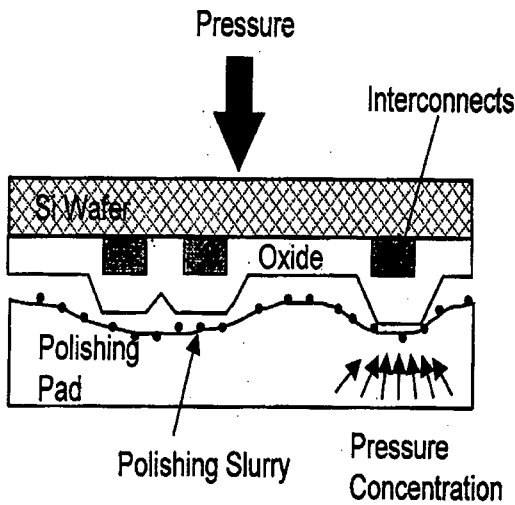


그림 9. Pad의 기계적인 특성

그림 9에서 패드의 기계적인 특성을 알 수 있다. 사용하는 패드는 웨이퍼 표면을 따라서 굽어져 있지 않고, 오히려 존재하는 슬러리 입자, 패드의 휘는 정도, 경도, 거칠기에 따라 어떤 부위에 대해서 불균칙

적이다. 높게 솟은 부분이 연마되는 동안 패드의 특성 변형같이 (그림에서 수평 변형 길이와 수직 변형 길이)내에 직접적으로 패드와 접촉되지 않는 부분이 생긴다. 만약 소자내의 높은 부분들 사이의 간격 보다 변형 길이가 길 경우 솟은 부분만이 연마되고 평탄화 속도는 높을 것이다. 높게 솟은 부분이 패드의 거칠기와 같은 높이(슬러리 입자의 직경과 같음)만큼 같아 없어진다면 연마는 솟은 부분이나 낮은 부분 둘 다 일어난다. 그러므로 딱딱한 패드 즉, 수평 변형 영역이 큰 패드는 die 내의 우수한 평탄도는 갖지만 웨이퍼 내의 균일도는 나쁘다. 반대로 부드러운 패드의 평탄도는 나쁘지만 연마 균일도는 좋다. 여기서 연마 균일도는 막의 제거 균일도이고 평탄도는 연마후의 평탄도이다. 따라서 술 상반관계에 있다.

CMP 공정은 다른 평탄화 기술에 비해 공정이 간단하지만 웨이퍼 내의 연마 균일도를 만족하면서 빠르고 안정된 제거 속도를 얻어야 한다. 또한 패드가 노화되면 제거 속도가 변한다. 따라서 연마 균일도나 평탄도가 변한다. 왜냐하면 연마를 맨질맨질 해지면 웨이퍼와 패드와의 접촉면적이 넓어져서 효과적인 연마 압력이 감소하고, 슬러리 공급 통로가 줄어든다. 한편, 제거 속도에 영향을 미치는 요소들 중에서 원활한 슬러리의 공급은 중요한 요소이고, 그 외에 패드의 노화를 방지하기 위해 주기적인 보완장치나 패드의 교환이 필요하다. 이러한 패드의 오래된 부분들을 잘라내고 새로운 표면이 드러나게 하는 것이다. 이러한 패드 컨디셔닝은 방법에 따라 제거속도와 균일도에 큰 영향을 미치므로 이에 대한 연구 또한 활발히 진행되고 있다[7]. 또한 연마 후 잔재들이 웨이퍼에 남게 되므로 이러한 것들을 제거하기 위해 세정작업이 반드시 필요하다. 대부분의 웨이퍼의 잔재들은 전해 이온수(deionized water) 세척으로 없어진다. 또한 산화막 표면은 묽은 불산으로 살짝 식각 하고 초순수로 뿌리면서 세척하는 방법도 있다. 그리고 연마시 발생하는 분진들은 제거하기 위해 연마하는 동안 후드(hood)로써 분진의 영향을 막도록 장치되어 있다.

4. CMP 공정의 적용성

4.1. Advantages of CMP

CMP공정 수행의 최고 잇점은 0.5um이하 다층 금속 배선공정(multilevel metallization)에 대해 요구되는 광역 평탄화(global planarity)를 제공한다 는 것이다. 그러나, CMP를 사용하는것은 몇가지 코스트(cost) 잇점 또한 있다. 많은 평탄화 기술에 의

해 요구되어지는 복잡한 공정의 증가는 코스트와 결함 밀도(defect density) 둘 다 증가하게 한다. 상대적으로 CMP는 평탄화를 오직 한 스텝(step)으로 수행되어지고, 몇가지 결함을 제거하거나, 감소하게 한다. 스텝의 끝쪽에서 두꺼운 금속막이 완전히 식각되지 않을때, 형성되는 Metal Stringer와 같은 비평탄화 결함과 Poor Step Coverage는 광역 평탄화ion에 의해 제거되어 진다. 왜냐하면, CMP는 웨이퍼 표면을 균일하게 하기 때문에 이전공정으로 부터의 필름 미립자(film particle)들이 제거되어 질수 있다. 게다가, 후-CMP 세정 처리가 잘 개발되지 않은 곳임에도 불구하고, 몇몇 회사에서는 CMP 공정을 수행하여 결함 밀도를 감소함이 종종 발견되어진다[8]. 감소된 결함 밀도는 다이 수율(die yield)을 향상시키고, 다이 코스트(die cost)를 감소시키게 된다.

4.2. Disadvantages of CMP

CMP의 많은 약점중 하나가 아직 최적화 되지않은 새로운 공정이라는 사실이다. 공정의 미성숙의 결과로서 공정 윈도우(process window)가 좁고, 원하는 결과를 얻기 위해 웨이퍼측정 장비의 활용이 증가함이 요구된다. 좁은 디자인 윈도우(design window)의 결과로 생기는 pattern geometry effect는 회로 설계의 코스트를 증가시킬 것이다. 게다가, CMP와 함께 새로운 결함으로 나타나는 것들이 몇가지 있다. 연마제로 부터의 scratching, residueal abrasive particle, stress cracking, 약한 계면에서의 갈라짐, 슬러리 화학제(slurry chemical)로 부터의 부식, 산화막 두께 변화등은 모두 제어 되어져야만 하는, 가능한 CMP에 유도되어진 결함 들이다. 마지막으로, CMP는 새로운 공정이기 때문에, metrology와 process control tool등을 포함한 완전히 새로운 tool set이 더욱 완전하게 CMP를 갖추는데 요구되어 질 것이다. 예를 들면, CMP에 대한 공정 제어 기술 없이 현재 비록 1세대 시스템 개발중이라 할지라도, 제조에 사용되어지고 있다. 개선된 공정 수행을 이끄는 광역 평탄화 이행은 대단한 코스트 효과에 대해 요구되는 투자처럼 보여지는 것과 같다[9].

4.3 The Challenge of CMP

IC 제조의 CMP 집적화는 공정 수행과 코스트 견지에서 많은 잇점을 제공한다. 그러나, 거기에는 CMP에 대해 불확실한 것들이 많이 남아 있다. 사적이건 Open된적이건 간에 CMP에 대한 recipe은 실험(경

험)에 근거를 두고 만들어진 것이다. 부족한 것은 CMP 동안 표면 평탄화와 물질 제거에 기초가 되는 원리의 자세한 이해이다. 이러한 기초이해 없이 공정이 양산 라인(line)에서 제어 되기는 어려울 것이다.

CMP공정이 개발될 때 고려 해야 할 중요한 입력 및 출력 변수들에 대해 토의는, 많은 수의 변수 때문에, 최적화된 공정이 실험적으로 이룰수 없을것 같아 보인다. 물리적 모델(physical modal)에 더해 CMP기초에 대한 이해는 최적화된 공정 수행을 얻는데 실험 데이터와 함께 연결되어질 것이다. 그래서, CMP공정에 대한 현재의 과제는 IC 제조에 대해 명백하게 이러한 공정을 설명하는 물리적 모델을 개발하는 것이다. CMP공정의 기계적인 요소와 화학적인 요소를 CMP의 이해의 폭을 넓히고, 현재 CMP recipe은 유용성을 증가 시키며, 새롭고 더욱 확실한 제조공정의 개발을 이끄는 방향으로 연구되어 wu야 할 것이다.

5. 결 론

현재, 소자의 고속화를 실현하기 위해 다층 배선이 요구되는 논리형 소자에서 많이 적용하고 있는 것으로 알려져 있고, 또한 기억형 소자에서도 다층화 되어감에 따라 점차적으로 적용을 하고 있는 추세다. CMP에 의한 광역 평탄화란 소자의 셀 어레이(cell array) 지역과 주변 회로 지역의 단차를 줄이고 칩(chip) 영역에 걸쳐 평탄화하는 것을 말한다. 광역 평탄화는 0.3um 공정 기술 시대에 접어들면서 점차적으로 그 필요성이 부각 되어서 현재 널리 사용되고 있다. 또한 CMP공정은 소자 집적화, 금속 배선, 복잡한 논리회로, 층간 절연 평탄화 등 많은 응용 분야에 사용되고 있고 그 사용은 증가 할 전망이다.

참 고 문 헌

- [1] William J. Patrick, et al, "Application of Chemical Mechanical Polishing to the Fabrication of VLSI Circuit Interconnections", J. Electrochem. Soc., Vol. 138, pp. 555-561, June 1991.
- [2] W. L. Guthrie, et al, "A Four-level VLSI bipolar metallization design with chemical-mechanical planarization", IBM J. Res. Develop., Vol. 36, No. 5, pp. 845-857, Sep. 1992.
- [3] J. R. Sheats and B. W. Smith, "Micro-lithography Science and Technology",

- MARCEL DEKKER INC, pp. 326-329, 1998.
- [4] Farid Malik, Masood Hasan, "Manufacturability Of The CMP Process", Elsevier Science S.A., pp. 612-615, 1995.
- [5] C. Srinivasa-Murthy, et al, "Stress distribution in chemical mechanical polishing", Elsevier Science S. A., pp. 533-537, 1997.
- [6] M. Bhushan, R. Rouse, and J. E Lukens, "Chemical Mechanical Polishing in Semi-direct Contact Mode", Electrochem. Soc., Vol 142, pp. 3845-3851, 1995.
- [7] K. ACHUTHAN, et al, "Investigation of Pad Deformation and Conditioning During the CMP of Silicon Dioxide Films", Journal of Electronic Materials, Vol 25, pp. 1628-1632, 1996.
- [8] C. Huynh, et al, "A Study of Post-Chemical-Mechanical Polish Cleaning Strategies", IEEE, pp. 372-376, 1998.
- [9] Linda Anthony et al., "THE HOW'S AND WHY OF CHARACTERIZING PARTICLE SIZE DISTRIBUTIONS IN CMP SLURRIES", Electrochemical Society Proceeding, Vol 98-7, pp. 181-196, 1999.