

## Noble SOI



정주영

수원대학교 전기전자공학부 조교수

SOI 구조의 MOSFET은 제조공정이 상대적으로 간단하며 CMOS 래치 업 현상이 일어나지 않고, soft error에 의한 회로의 오동작 가능성이 매우 낮은 이외에도 낮은 기생 정전용량 및 누설전류 특성을 가지므로 0.1 미크론 이하의 소자를 제작하는데 적합하여 저전압, 초고속 VLSI 설계에 적합한 소자로 각광받고 있다.

본고에서는 새로운 구조의 SOI MOSFET 구조들의 특성과 장, 단점을 검토하고 나아가 BJT(Bipolar Junction Transistor) 및 기타 소자들을 SOI 구조로 제작한 결과에 대해 간단히 검토함으로써 1999년 현재 SOI 기술의 현황을 소개하고자 한다.

### 1. noble SOI MOSFET

Yang 등[1]은 SOI 층 밑에 전기 전도성이 좋은 다결정 실리콘 층을 추가하고 이를 SOI 층 및 기판과 절연막으로 차단시킨 후, 접지면으로 사용하는 ground-plane SOI MOSFET 구조를 제안하였다.

이 구조는 일반적인 SOI 소자와는 달리 두 개의 매몰 산화막 층을 가지며 매몰 산화막 사이에 전도성이 좋은 접지면이 있는데 이 접지면은 소자에 인가된 드레인 전압에 의해 발생된 전기장이 끝나는 면이 된

다. 일반적인 SOI 소자에서 드레인 전기장이 소자의 채널과 소오스에 영향을 주지만 이 소자에서는 드레인 전계가 소오스나 채널쪽으로 뻗어 나가지 않아 소자내의 SCE(Short Channel Effect)를 줄일 수 있고, 미세 소자의 제작을 가능하게 한다. 드레인 전압을 효과적으로 차폐하기 위해서는 접지면과 드레인 사이의 산화막의 두께가 얇을수록 좋다. 그러나 얇은 2차 게이트 산화막은 소자의 문턱전압에 적지 않

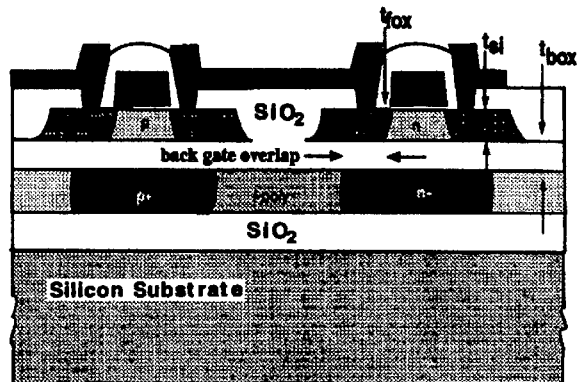


그림 1. Ground-plane SOI MOSFET 구조

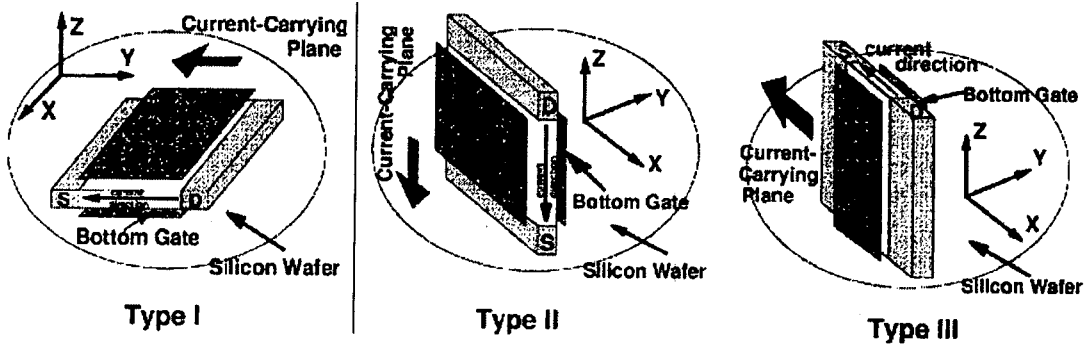


그림 2. 세가지 형태의 DGFET [2]

은 영향을 미치고 기판 정전용량을 크게 만들어 sub-threshold 기울기를 크게 하므로 그 두께를 소자의 표면에 제작되는 게이트 산화막의 약 2배가 되도록 한다.

이 소자구조의 다른 장점은 다결정 실리콘으로 형성한 접지면을 2차적인 게이트로 사용하여 소자의 문턱전압을 제어할 수 있다는 것이다. 즉, 다결정 실리콘에 인가한 전압에 따라서 MOSFET 채널과 2차 게이트 산화막의 계면은 강한 축적 상태나 반전 상태에 있도록 제어할 수 있으므로, 낮은 전력소모를 원하는 대기상태에서는 축적 상태로 만들어 문턱전압을 높이고 활동상태에서는 반전 상태로 만들어 문턱전압을 낮추어 고속, 고전류 구동을 하도록 제어할 수 있다. 실제 소자의 문턱전압을 제어하거나 드레인의 전기장을 차폐하기 위해서 필수적인 부분은 채널의 밑 부분이므로 선택적으로 채널의 밑부분 만을 높은 도핑농도로 만드는 방법을 사용하여 기생 파라미터의 값을 줄였다.

ground-plane SOI MOSFET과 유사한 구조로 채널의 위와 아래에 각각 게이트를 갖는 DG(double gate)FET가 있다. 이 구조는 채널이 두 개의 게이트 전극에 의해 강하게 결합되어 있어 높은 transconductance 특성을 갖는 것은 물론, 앞서 살핀 ground-plane SOI MOSFET과 같이 드레인 전기장의 차폐효과가 있어 SCE가 적어 소자 스케일링이 용이하다.

DGFET는 세가지 형태로 만들 수 있는데 Type I의 경우 채널의 두께가 후면 게이트 위에 형성한 SOI 층의 두께에 의해 정확히 제어되므로 소자 특성을 유지하기가 유리하고, Type II의 경우는 채널이 웨이퍼 표면과 수직한 방향으로 형성되므로 소자가 차지하는 면적이 매우 적어 메모리 회로에 적합한 반면 CMOS 회로 구성에는 매우 불리하다. Type III

DGFET은 전류의 방향은 웨이퍼와 수평하지만 소자의 너비가 다양한 소자들을 제작하기가 거의 불가능한 구조이므로 소자의 면적은 작지만 실제 응용하기에는 어려움이 많다. 또, Type II 및 III 소자 구조는 가장 중요한 채널의 두께가 패터닝 및 부식 공정에 의해 결정되기 때문에 소자간 특성의 변화를 제어하기 힘든 단점이 있다.

Wong 등 [2]에 의해 개발된 그림 3의 DGFET는 앞서 언급한 Type I에 해당하는 것으로, 게이트 전극 물질의 일함수가 금지대의 중간에 오도록 하여 n형과 p형 MOSFET이 같은 전극을 사용한다. 두개의 게이트 사이에 채널영역은 수평방향으로 성장하는 선택적 에피탁시를 이용하여 도핑을 하지 않은 단결정으로 형성하였다. 최종적인 소자구조는 실리콘 웨이퍼에서 단결정 성장을 이룬 부분에 소오스를 만들어 기판과 전기적으로 연결시키고, 드레인은 산화막 위에 형성하였다. 이 소자의 제조 공정은 수평방향 선택적 에피탁시가 진행되는 터널을 만드는 공정이 복잡하고 채널의 위와 아래에 만들어진 게이트의 정렬이 어렵다는 단점이 있으나 채널의 길이가 짧아질수록 이런 문제가 점차 완화된다는 점에서 고무적이다. 채널의 위와 아래에 형성되는 게이트 전극에 같은 물질을 채운 것과 달리 Tanaka [13] 등은 위와 아래의 게이트 전극에 p<sup>+</sup>와 n<sup>+</sup> 다결정 실리콘을 사용하는 비대칭 DGFET를 제안하였다. 이 소자 역시 전류 전도 경로가 웨이퍼 평면과 일치하는 Type I 소자이며 두 개의 게이트 문턱전압의 차이가 약 1V까지 발생한다. Type III DGFET로서 채널을 웨이퍼에 수직하게 형성한 단결정 실리콘 기둥으로 만들고 게이트가 채널의 세 면을 감싸도록 한 DELTA(Fully Depleted Lean Channel Transistor) 구조가 있다.

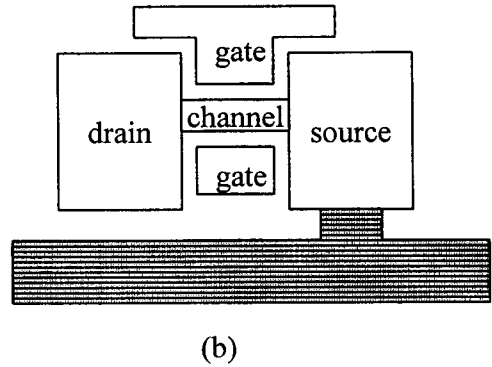
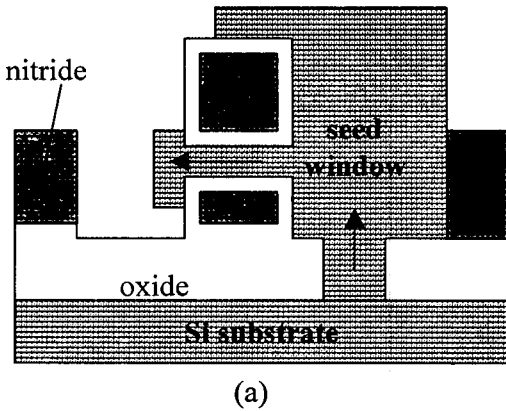


그림 3. Wong 등이 제안한 대칭형 DGFET의 구조 (a) 선택적 에피택시 (b) 최종 소자 구조[2]

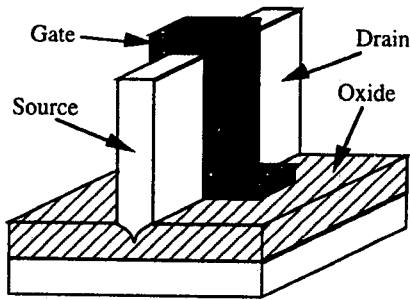


그림 4. DELTA DGFET의 구조

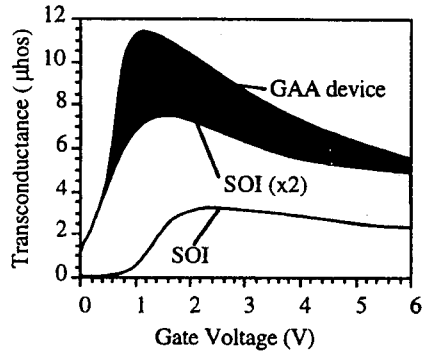


그림 5. GAA FET의 transconductance 특성

채널의 윗면은 산화시켜 측벽을 형성하고, 소자의 다른 쪽 측벽은 매몰 산화막(BOX)을 이용한다. 따라서 소자의 채널 길이는 게이트 전극의 폭으로 결정되고 폭은 수직단결정 실리콘 기둥의 높이로 정해진다. 그러나 3차원 실리콘 기둥의 높이는 한계가 있으므로 전류구동 능력은 일반적 소자보다 열등한 반면, short channel 효과가 적고 게이트와 채널의 결합이 강하여 subthreshold 기울기가 작고 높은 transconductance를 갖는다. 게이트가 사각기둥 모양의 실리콘 채널의 사면을 모두 감싸고 있는 GAA(Gate All Around) 소자는 DGFET의 세가지 Type으로 제작할 수 있으며 채널의 단면적이 크고 도핑이 되어있는 경우 벌크 소자와 비슷한 특성을 보인다. Type II 형태로 제작된 GAA DGFET은 면적이 작아 소자 밀도를 극대화할 수 있으나 전류구동능력이 작아 큰 전류를 필요로 하는 고속 논리회로 실현에는 문제가 있다.

GAA MOSFET 소자는 게이트 전압이 문턱전압에 접근하면 체적 반전(volume inversion) 현상이 일어난다. 이것은 일반적인 MOSFET에서 표면 반전이 일어나는 것보다 그림 5에서 보듯이 transconductance를 매우 크게 만들어 준다. 이같은 증가는 문턱전압 부근에서 가장 두드러지며 게이트 전압이 증가하면 산화막과의 계면에 전송자가 밀집되며 산란 현상이 심해져 두개의 면 반전이 있는 것과 같아지는 경향이 생겨 transconductance는 일반적 SOI 소자 특성의 두배로 수렴한다. 양자역학적 관점에서 보면 이 소자에 문턱전압이 인가되면 2차원 전자 가스 모델이 적용되고 전도대는 여러개의 subband로 갈라진다. 한편 게이트 전압이 증가하면 각 subband들은 두개씩 짝을 이루려한다. 슈레딩거 방정식의 해로써 얻어진 파동함수는 게이트 전압이 낮을 경우 채널 전체에 비교적 균일하게 전자가 분포하나

게이트 전압이 증가하면 산화막과의 계면에서 큰 값을 갖고 채널의 중앙에서는 거의 '0'에 가까워져 전자는 계면에 집중되는 현상과 일치한다. 이 소자는 게이트 전압과 표면 전위의 결합이 매우 우수하여 subthreshold 기울기가 상온에서 약 60mV/dec에 근사한다.

SOI MOSFET이 당면하고 있는 문제중에는 소자가 제작되는 실리콘 층이 전기적으로 부동상태에 있어 발생하는 floating body effect가 있으며, 이를 개선하기 위해 다양한 소자 구조가 제시되고 있다. 그림 6은 소오스 접합의 밑면을 pnp 형태로 제작하고 콜렉터 영역에는 많은 재결합 중심을 만들어 정공의 재결합을 촉진시킴으로써 채널영역에 발생된 정공을 효과적으로 제거할 수 있는 BESS(Bipolar Embedded Source Structure) 소자[6]의 단면이다.

그림 7은 MOSFET의 LOCOS 공정으로 소자를 격리시키는 경우에 field 산화막의 밑을 통해 정공이 빠져나가도록 전류 전도 경로를 만들고 소자의 외부에 body contact을 만들어준 BC(body - contact) MOSFET의 구조이다.

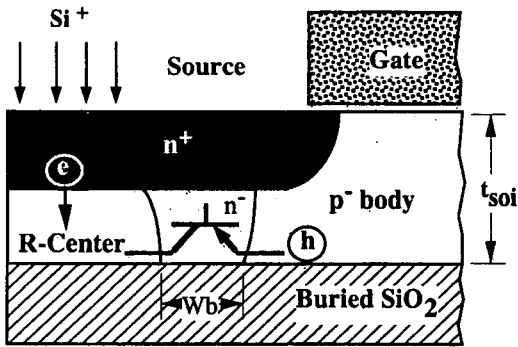


그림 6. BESS MOSFET의 단면도[6]

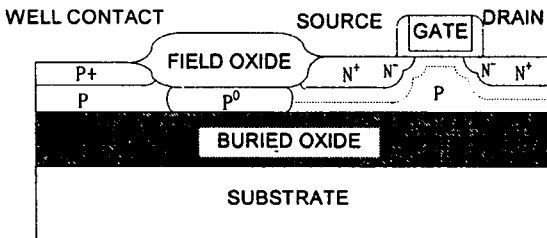


그림 7. BC SOI MOSFET의 구조[7]

Floating body 효과를 제거하는 가장 보편적인 방법은 그림 7과 같이 MOSFET의 body를 외부 접지와 연결하는 것이다. 그러나 body는 도핑 농도가 낮기 때문에 전기저항이 커서 정공을 제거하는데 어려움이 있다. Kuehne 등[8]은 그림 8에 보인 것과 같이 MOSFET의 body 밑에 높게 도핑된 다결정 실리콘 층을 형성하여 body contact의 저항을 줄이는 소자 구조를 제안하였다.

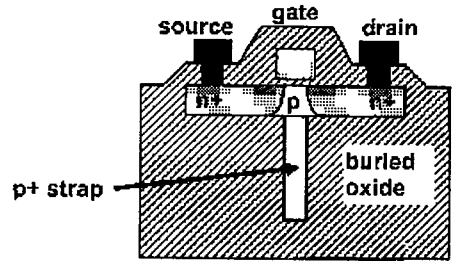


그림 8. p+ 다결정층을 body contact 금속층으로 사용한 구조의 단면[8]

Floating body 효과를 제거하는데 사용하는 또 하나의 방법은 소오스 접합을  $Si_{(1-x)}Ge_x$ 로 형성하는 것이다. 게르마늄이 첨가되면 전도대는 거의 영향을 받지 않지만 가전자대의 위치는 높아져 금지대의 폭이 줄어든다. 따라서 전자가 채널 영역으로 주입되는 정도는 실리콘 만을 사용했을 때와 거의 같고 정공이 소오스로 주입되는 정도는 급격히 증가한다. 이같은 현상 때문에 SiGe 소오스를 사용하면 채널에 발생된 정공을 효과적으로 제거할 수 있어 floating body 효과를 줄일 수 있다.

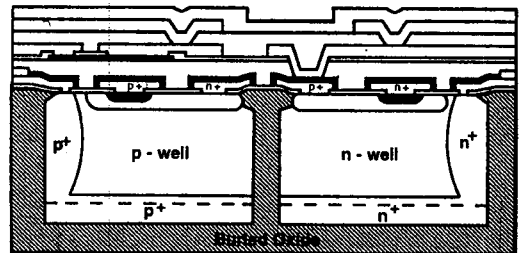


그림 9. SOI 기술로 제작한 수직형 BJT 구조[3]

## 2. SOI 쌍극성 접합 트랜지스터

우수한 알파선에 대한 면역성과 낮은 기생 정전용량의 장점은 쌍극성 접합 트랜지스터를 SOI 기술로 제작하는 동기가 되었으며 Jerome 등[3]은 그림 9과 같이 수백 나노미터의 비교적 두꺼운 단결정 SOI 층에 LOCOS와 trench 공정으로 소자 사이를 격리시킨 수직형 트랜지스터를 제작하였다. 한편 그림 10과 같이 mesa 격리법을 이용해서 BJT를 형성하는 기술[4]도 개발되었는데, 이 수직 BJT 소자는 일반적 소자보다 제조공정이 간단하고 소자 밀도가 높은 장점이 있다.

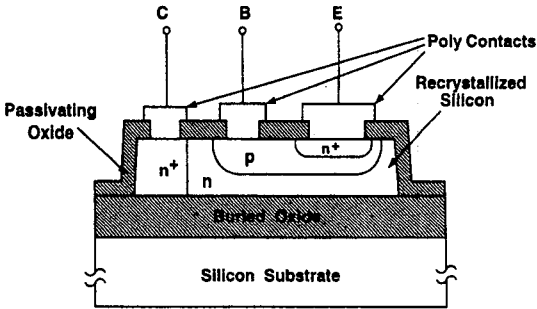


그림 10. Mesa 격리기술을 이용한 SOI BJT 구조[4]

수직방향의 BJT 소자를 SOI 기술로 제작하기 위해서는 매몰 산화막(BOX) 위에 있는 단결정 실리콘 층의 두께가 매우 커야하고 깊은 드레인 접합 확산을 해야 하는 등 불리한 점이 있어 수평방향으로 형성한 BJT가 소개되었다[5]. 그림 11의 구조에서 보듯이 이 소자는 매우 얇은 베이스를 갖도록 설계되어 있어 다결정 실리콘 전극을 연결하는 것이 매우 어려워 실

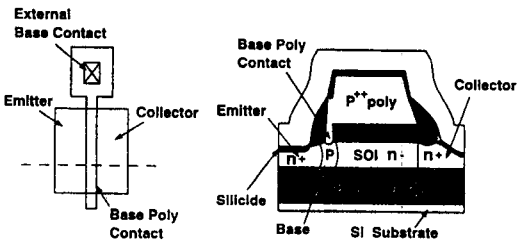


그림 11. 수평방향 SOI BJT 구조[5]

용적이지 못한 단점이 있으나 드레인 형성을 위한 오랜 확산공정을 필요로 하지 않는 장점이 있다.

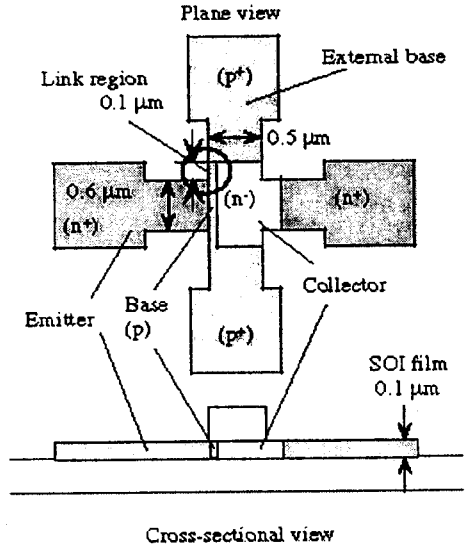
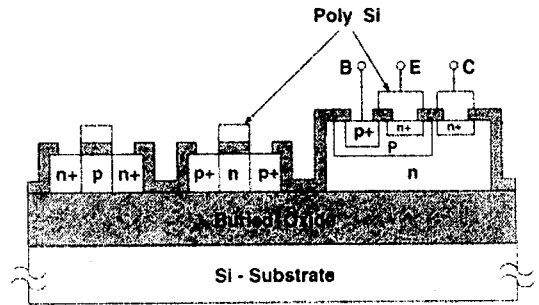
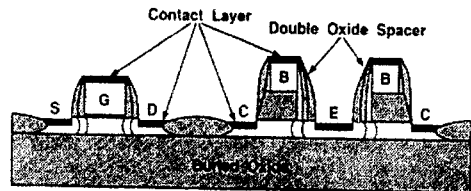


그림 12. 확산층으로 베이스 contact을 만든 수평형 BJT 구조[9]



(a)



(b)

그림 13. SOI 기술로 구현한 BiCMOS 회로 단면도 (a) mesa 격리기술과 수직형 BJT, (b) LOCOS와 수평형 BJT

Shino 등[9]은 SOI 기판위에 그림 12와 같은 수평형 BJT를 만들고  $f_{max}=31\text{GHz}$ 의 성능을 보고하였으며 이 소자의 에미터와 콜렉터의 접합 정전용량은  $0.27\text{fF}$  정도로 작았다. 이 소자는 그림 11의 수평형 BJT가 베이스에 전극을 연결하기 어려웠던 문제를 해결하기 위해 베이스를 내부적으로  $p^+$  확산층과 연결한 후 넓은  $p^+$  확산층에 전극을 연결하였다. 이때 그림의 Link region은 필요없는 직렬저항 성분을 제공하므로  $0.1\text{미크론}$ 으로 제어하였다.

SOI 기술로 쌍극성 접합 트랜지스터(BJT)를 제작하는 가장 큰 이유는 각광받고 있는 BiCMOS 회로를 구현하기 위해서이다. BiCMOS는 CMOS회로의 낮은 전력소모 특성과 BJT의 고속 구동 특성의 장점을 활용한 것으로 수평형 SOI BJT 구조들은 모두 MOSFET과 같은 공정을 거쳐 형성될 수 있으며 수직형 BJT는 MOSFET 공정에 앞서 깊은 확산 공정을 먼저 실시하여 BJT를 같은 웨이퍼 상에 구현한다. 그림 13은 mesa 격리 기술을 사용한 수직형 BJT와 수평형 BJT를 이용하여 BiCMOS회로를 완성한 단면도이다.

### 3. 기타 소자

SOI 기술을 이용한 소자는 지금까지 소개한 MOSFET과 BJT 소자외에도 BJT와 MOSFET의 특성을 모두 가진 hybrid 소자, JFET, MESFET, LCD 구동용 TFT등 매우 다양하다.

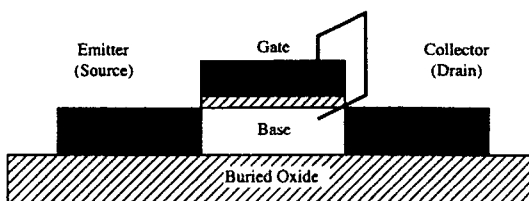


그림 14. MOSFET-BJT hybrid 소자의 단면도

hybrid 소자는 그림 14와 같이 MOSFET의 게이트를 BJT의 베이스로도 작동하는 채널과 전기적으로 연결한 구조를 갖고 있다.

게이트 전압이 '0' 이면 소자는 소오스와 드레인 접합에 각각 순 바이어스와 역 바이어스가 인가된 경우, 순수한 BJT로 동작한다. 그러나 nMOSFET 구조의 경우에 게이트에 + 전압이 인가되면 MOS-

FET의 body에도 같은 전압이 인가되어 문턱전압을 낮추게 되며 일반적인 MOSFET보다 더 큰 드레인 전류를 흘리게 된다. 소자가 켜져 있을 때 전류는 반전층을 따라 흐르는 드리프트 전류와 body를 통해 흐르는 BJT의 확산전류, 그리고 소오스에서 body로 주입된 후 게이트 전계에 의해 반전층으로 당겨져 반전층을 따라 흐르는 전류가 모두 흐르게 된다. 한편 채널의 두께가 수십 나노미터 정도인 FD(fully depleted) MOSFET의 경우에는 BJT 전류 성분은 매우 작고 다만 문턱전압을 제어하여 전류 구동 능력을 향상시키는 소자로 동작한다.

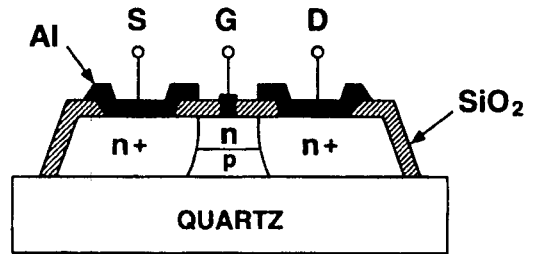


그림 15. 실리콘 MESFET의 구조[10]

MESFET은 표면에 산화막이 없는 구조이므로 알파선에 의한 영향을 적게 받고 소자의 구조가 간단한 장점이 있어 quartz 기판위에 실리콘 소자를 제작하여 마이크로 웨이브 회로에 응용되고 있다. 그림 15는 게이트 길이가  $1.4\text{미크론}$ 인 실리콘 MESFET의 단면도[10]이며 n형의 경우 백금을 게이트 전극으로 사용하고 소오스와 드레인에는 어븀(Er)을 전극 물질로 사용한다.

그림 16은 SIMOX 기판에 mesa 격리 기술을 이용하여 실리콘 JFET을 제작한 모습[11]이다. 그림에서 보듯이 채널영역의 제어 능력을 향상시키기 위해 위와 아래에 게이트를 형성하였는데 buried oxide 위에 형성된 n+게이트를 이온 주입으로 형성하고 채널로 사용될 실리콘 층을 에피택시로 기르는 기술을 채용하였다.

하나의 전자로 소자의 동작상태를 결정하는 SET(Single Electron Transistor)는 소자의 크기가 작아질수록 점차 중요성이 부각되고 있는데, 정전용량을 적게하기 위해 절연기판위에 제작되는 것이 일반적이다. 그림 17은 SET의 한 종류로 EEPROM과 비슷하게 소자의 윗면에 두 개의 게이트가 증착되

어 있다. EEPROM과 다르다면 floating 게이트로 사용하는 것이 직경 30 나노미터 정도의 quantum dot 이라고 부르는 실리콘 접이라는 사실이다.

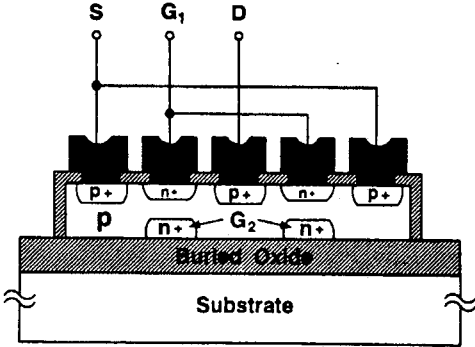


그림 16. SIMOX 기판위에 제작한 두 개의 게이트를 가진 실리콘 JFET의 구조[11]

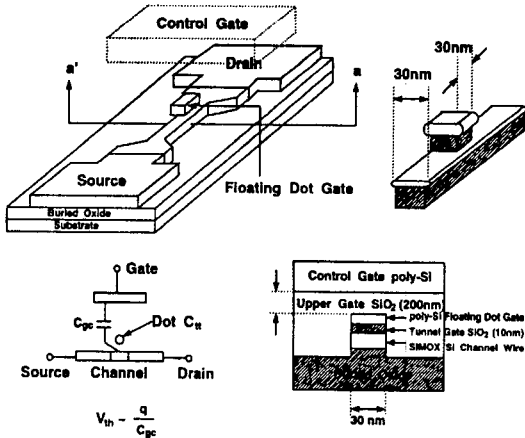


그림 17. quantum dot SET의 구조[12]

quantum dot의 크기가 매우 작으므로 그것의 정전용량도 매우작고 따라서 아주 적은 수의 전자로도 floating gate의 전압을 변화시키고 소자전체의 문

턱전압을 변화시킬 수 있다. quantum dot에 전자가 터널링에 의해 들어가면 Coulomb blockade 현상으로 인해 더 이상 전자가 들어오지 못하게 되고 문턱전압은 일정한 변화를 갖게 된다.

이상에서 살펴 본 SOI 소자들은 일반적인 구조와 다르거나 특수한 응용분야를 위해 개발된 것들이며, 본 고에서 소개된 이외에도 매년 수많은 연구결과가 발표되고 있다. 이같은 연구추세로 볼 때 SOI 기술은 0.1 미크론 미만의 소자를 제작하는 기초 기술로 자리잡을 것이 확실시 되며 저전력, 초고속 ULSI를 실현하기 위해 반드시 확보해야할 기술이 될 것이다.

### 참고 문헌

- [1] I. Yang et al., IEEE Trans. Electron Devices, vol. 44, p. 822, 1997.
- [2] H.-S. Wong et al., Proc. Int. Electron Devices Meeting, 1997, p. 427.
- [3] R. C. Jerome et al., SOI Conf. Dig., p. 100, 1993.
- [4] J. C. Stern et al., IEEE Elec. Dev. Lett., vol. 6, no. 8, p. 400, 1985.
- [5] G. G. Shahidi et al., IEDM Dig., p.663, 1991.
- [6] M. Horiuchi et al., IEEE Trans. Electron Dev., vol. 45, no. 5, p. 1077, 1998.
- [7] Y. H. Koh et al., IEEE Trans. Electron Dev., vol. 45, no. 5, p. 1063, 1998.
- [8] S. C. Kuehne et al., IEEE Trans. Electron Dev., vol. 45, no. 5, p. 1084, 1998.
- [9] T. Shino et al., IEDM Tech. Dig., session35-3, 1998.
- [10] P. A. Tove et al., IEEE Elec. Dev. Lett., vol. 9, no. 1, p. 47, 1988
- [11] J. P. Blanc et al., IEEE SOI Conf. Dig., p. 85, 1990.
- [12] A. Nakajima et al., IEDM Dig. p. 952, 1996.
- [13] T. Tanaka et al., Pro. Symp. VLSI Technology, p. 11, 1994.