

SOI 기판을 사용한 전력 IC용 반도체소자



최연익

아주대 공대 전자공학부 교수

1. 머리말

전력 반도체 소자는 정류(rectification) 및 스위치(switch)로서 전자시스템의 기본적인 부분을 담당하고 있으며, 다이오드(diode), 트랜지스터, 다이리스터(thyristor) 등이 있다. 전력 소모가 크지만 비교적 구조가 간단하고 제작이 용이한 개별소자(discrete device)가 50년 대에 개발되어 꾸준히 기술 혁신이 이루어지고 있다. 또한 반도체 IC 기술의 발전에 따라 전력 집적회로(Power Integrated Circuits, 이후 줄여서 PIC)가 개발되었으며, 일반적인 디지털(digital) 또는 아날로그(analog) IC의 전압 및 전류에 비해, 고전압이거나 고전류 신호를 처리한다. PIC 중에서 과전압(over voltage), 과전류(over current), 고온(over temperature)시 chip을 보호할 수 있는 기능이 탑재된 smart(또는 intelligent) IC가 상품화 되고 있다.

전력 반도체 소자는 대체로 소신호(small signal) 반도체를 제외한 대부분의 반도체 부품을 가리킨다. 개별소자인 경우, 전력 소모가 1 W를 초과하면 전력 소자라고 분류하며, IC의 경우 내부 회로에 50 V 이상의 전압 또는 0.5 A 이상의 전류를 다루는 전력 소

자가 있으면 PIC 라고 칭한다.

그림 1에 부하 전류 및 공급 전압에 따른 PIC의 주요 응용 분야를 나타냈으며, 스윗칭 전원, 전자식 형광등 안정기, TFT/LCD, PDP 등 flat panel 디스플레이 분야의 증가에 따라 그 수요가 지속적으로 늘어나고 있다.

2. 전력 반도체 소자의 종류 및 특징

전력 소자는 단자(terminal) 수, 접합(junction) 수에 따라 분류할 수 있으며, 이를 표 1에 나타냈다. 대체로 다이오드는 2 단자, 1 접합이고, 트랜지스터는 3 단자, 2 접합, 다이리스터는 3 단자, 2 접합을 가지고 있다. 3 단자 소자인 경우, 1 개의 단자는 스위치의 ON, OFF 제어에 사용되며, 전류 제어(current control) 방식에 비해 전압 제어(voltage control)가 구동 회로(drive circuitry)가 간단하고, 제어를 위한 전력소모가 매우 작은 장점을 지니고 있다. 1950 년대의 BJT(Bipolar Junction Transistor)와 다이리스터는 전류제어 소자였으나, 1980년대에 개발된 Power MOS, IGBT, MCT (MOS-Controlled Thyristor)는 절연게이트를 사용하는 전압제어 소자이다.

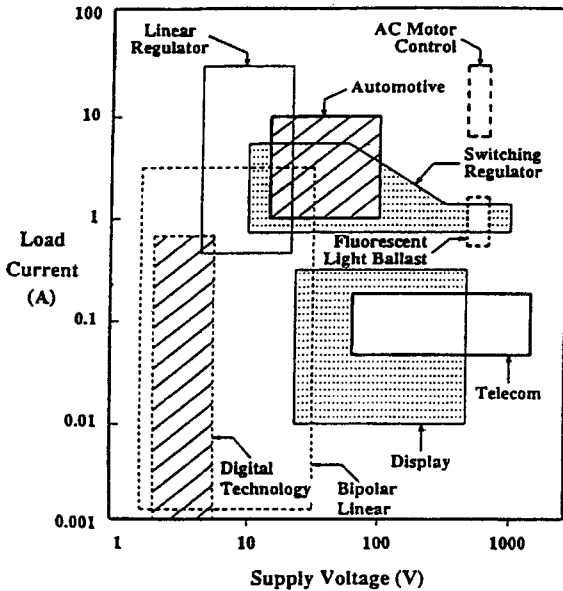


그림 1. 전류 전압에 따른 PIC의 응용분야

표 1. 전력 반도체소자의 종류

| 단자수 | 접합수 | 소자 | 제어방식 |
|-----|-----|--|-------------|
| 2 | 1 | PN 다이오드 쇼트키 다이오드 | |
| 3 | 2 | 트랜지스터 BJT MOSFET IGBT JFET/SIT | 전류 전압 전압 전압 |
| | 3 | 다이리스터 광구동 역전도 GTO MCT | 전류 전류 전류 전압 |

반도체 소자의 반송자(carrier)가 1개(전자 또는 정공) 또는 2개(전자와 정공)를 사용하는가에 따라 분류하면 그림 2와 같다[1]. 쇼트키(Schottky) 다이오드, Power MOS와 같은 단일 반송자 소자(single carrier device)는 스위칭 속도가 빠르지만 항복전압이 큰 경우 ON 상태의 전력 손실이 매우 크다는 단점을 지니고 있다. 반면에 BJT, 다이리스터와 같이 반송자가 2개인 소자(two-carrier device)는 전류 밀도가 매우 높지만, 스위칭 속도가 느린 점

이 단점이다. IGBT(Insulated Gate Bipolar Transistor), MCT와 같은 혼성 반송자(mixed carrier)소자는 이 두 종류의 장점을 어느 정도 취할 수 있도록 고안된 MOS 게이트 바이폴라 전력소자를 가리킨다. 현재 IGBT는 600 V 이상 5000 V/3000 A의 고전압 대전류 응용 분야에서 매우 유망한 소자로 자리를 굳히고 있다. 한편 MCT는 90년대 초부터 소량 판매되고 있으나, IGBT 이후의 대용량 전력 소자라는 당초 예상과는 달리, 신뢰도 문제를 해결하지 못하여 상업적인 성공을 성취하지 못하고 있다.

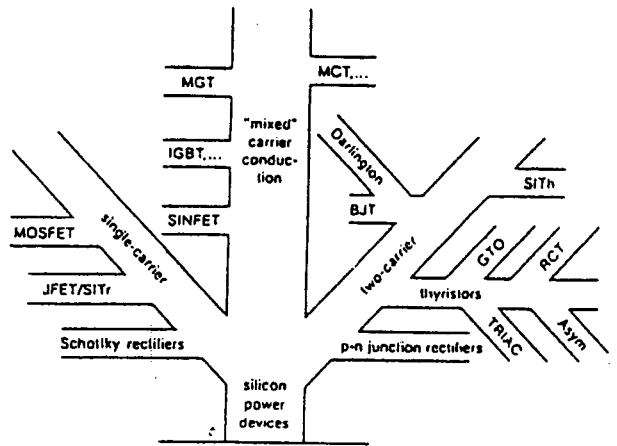


그림 2. 반송자 수에 따른 전력 반도체소자 분류도.

개별소자의 대부분은 수직형 소자(vertical device)로서 단자 중의 하나는 웨이퍼(wafer)의 밑면에 위치하고, 다른 1개(다이오드 경우)또는 2개 단자(트랜지스터, 다이리스터)는 윗면에 있다. 고속 스위칭소자인 쇼트키 다이오드는 70년 초에 개발되었으나 역방향 항복전압이 낮고, 누설 전류(leakage current)가 크기 때문에 주로 100 V 이하에서 사용되고 있다. 현재 까지 주종을 이루고 있는 정류 소자는 PN 다이오드이며, 높은 항복전압을 유지하기 위하여 농도가 낮고 두꺼운 에피층(epitaxial layer)을 사용하기 때문에, 순방향 전압강하(forward voltage drop)가 크고, 소수반송자 저장효과(minority carrier storage effect)로 인해 스위칭 속도가 느린 편이다. 스위칭 속도를 빠르게 하기 위해 금(Au) 또는 백금(Pt)을 주입하거나, 전자, 양자, 중성자 또는 헬륨을 높은 에너지로 조사(irradiation)함으로써, 즉 에너지 밴드갭의 중간에 재결합

센터(recombination center)를 만들어 주는 기술이 개발되었다[2].

바이폴라 트랜지스터는 오랜 역사를 지닌 소자로써, 저전력에서 중간 전력에 이르기 까지 가장 광범위하게 사용되고 있으나, 전류 제어방식과 안전동작영역(safe operating area)이 작기 때문에 전력 MOSFET, IGBT에 서서히 그 역할을 넘겨 주고 있다.

BJT에 비해 전력 MOSFET의 장점은 소수반송차 저장 효과가 없어서 스위칭 속도가 빠르고, 전압제어 방식이며, 전류가 부정(負)온도계수를 갖기 때문에 열적 안정성(thermal stability)이 매우 우수하다는 점이다.

IGBT는 전력 MOSFET의 장점인 전압 제어방식을 갖고, 단점인 순방향 전압강하를 획기적으로 낮춘 소자로서, 1982년 General Electric[3]과 RCA[4]에 의해 개발되었다. IGBT는 기판이 P⁺ 또는 N⁺/P⁺인 것만 제외하고는 기본적으로 전력 MOSFET과 구조가 같으나, 동작원리는 전혀 다르며, 바이폴라 트랜지스터에 가깝다. 600 V 급 이상에서는 전력 MOS에 비해 전도 손실이 작기 때문에 주

로 IGBT가 사용되고 있다. 에피층이 비교적 얇은 PT (Punch Through)구조와 에피층이 매우 두껍거나 사용하지 않는 NPT(Non-PunchThrough) 구조로 나뉘어 지며, 대략 1200 V 이하에서는 PT가 유리하고 그 이상의 고전압에서는 NPT가 경제적이다.

다이리스터에는 광구동(light activated), 역전도(reverse conducting), GTO(Gate Turn-Off), MCT[5] 등이 있으나, IC 용으로 사용하기에는 구조가 복잡하므로 현재 까지 기업체의 관심을 끌지 못하고 있다.

전력 IC에 사용되는 전력소자는 다른 회로와의 배선(interconnection)이 용이하도록 개별소자의 수직형 구조를 수평형으로 개조하여 모든 단자가 기판 윗면에 위치하도록 한다. 대표적인 전력 IC 소자인 BJT, L(Lateral)DMOS, LIGBT, SIN(Schottky INjection)FET[6], LSCR(Lateral Silicon Controlled Rectifier)를 그림 3에 나타냈다.

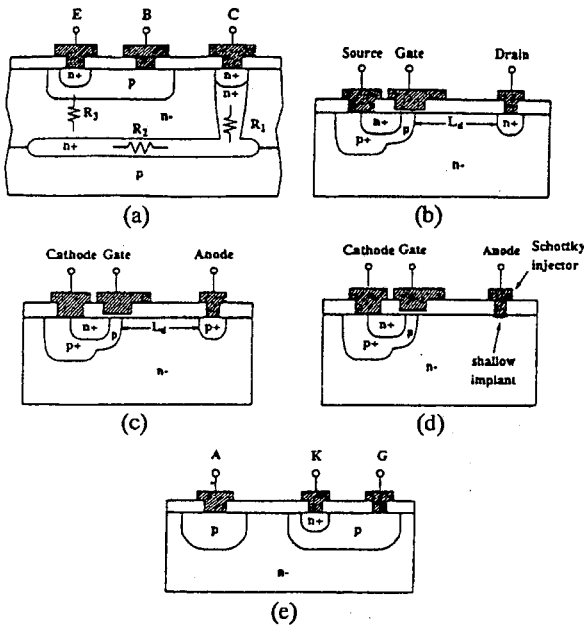


그림 3. 여러가지 전력 IC 소자의 단면도.
(a) BJT (b) LDMOS (c) LIGBT
(d) SIN (e) LSCR

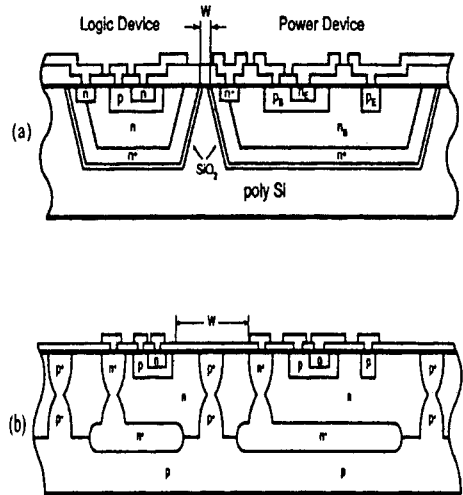


그림 4. PIC 소자의 격리 구조.
(a) DI(절연 격리) (b) JI(접합 격리)

PIC는 고전압 전력 소자와 저전압 제어회로와의 전기적, 열적인 격리가 매우 중요하다. PIC는 소자 격리 기술에 따라 접합 격리(Junction Isolation, 이하 약하여 JI)와 절연격리(Dielectric Isolation, 이하 약하여 DI)로 구분된다. DI는 JI에 비해 기생

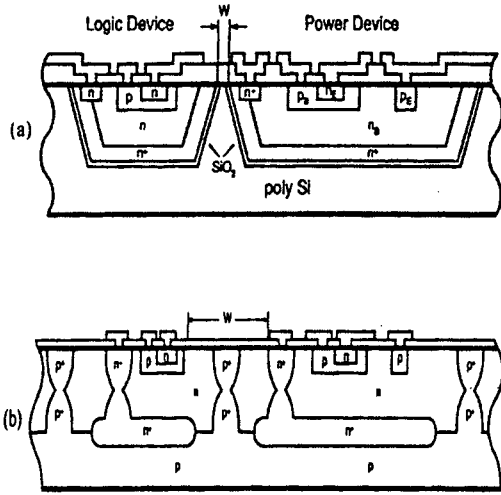


그림 5. DI 및 JI의 트랜지스터 셀 크기의 비교.

정전용량(parasitic capacitance)이 작고, 격리에 사용되는 면적이 작다는 장점을 지니고 있으나, 기판 웨이퍼(substrate wafer)의 제조비용이 비싸기 때문에 보통 동작전압이 200 V 이하인 경우, JI를 사용하고, DI는 그 이상인 경우에 사용된다. 그림 4(a)는 절연 격리 구조로서 V-groove 식각, 다결정 silicon 증착, 기계적인 연마 등의 공정을 사용하며, JI 구조(그림 4(b))는 기존의 BJT IC 공정을 사용

하며 가장 보편적이다. 그림 5에 JI와 DI의 트랜지스터 셀 크기를 나타냈으며, 100 V 이상에서는 JI의 셀 크기가 급격히 커지는 것을 알 수 있다.

3. 전력 반도체 소자 시장 규모

표 2에 의하면 전세계 반도체 시장규모[7]는 1996년도에 약 1,560억 불 인데 이 중에서 전력반도체 시장은 약 10%에 해당하는 158억 불에 달하며, 2000년도에는 전력소자 시장 규모가 약 231억 불에 도달하리라 예상하고 있다. 개별소자가 전체의 약 86%를 점하고 있으며, 트랜지스터가 개별소자의 약 60%, 다이오드가 26%, 다이리스터가 7% 정도된다. 전력 IC는 96년도 시장점유율은 전력소자 전체의 약 14%에 그치고 있으나, 앞으로 급격한 신장이 예상된다[3].

4. SOI 전력 소자

SOI 소자의 기판은 대체로 SIMOX(Separation by IMplanted OXYgen) 또는 SDB(Silicon Direct Bonding)에 의해 제작되며, 전력 소자에는 전류가 크고 높은 항복 전압이 요구되므로 능동영역이 두꺼운 SDB wafer가 사용된다.

1) RESURF 원리

그림 6에 에피층이 두꺼운 경우와 얇은 경우에 대한 PIC용 PN 다이오드의 단면도 및 전계를 나타냈

표 2. 전력 반도체소자 및 IC의 세계 시장 규모

(단위 : 100만\$)

| 소자별 \ 연도별 | 1991 | 1992 | 1993 | 1994 | 1995 | 1996 | 1997 | 1998 | 1999 | 2000 |
|-----------|--------|--------|--------|---------|---------|---------|---------|---------|---------|---------|
| 다이오드 | 2,430 | 2,443 | 2,685 | 3,050 | 3,352 | 3,570 | 3,739 | 4,015 | 4,424 | 4,741 |
| 트랜지스터 | 4,417 | 4,462 | 5,202 | 6,286 | 7,307 | 8,132 | 8,747 | 9,720 | 10,710 | 11,815 |
| 다이리스터 | 658 | 661 | 696 | 790 | 909 | 972 | 1,006 | 1,063 | 1,172 | 1,249 |
| 기타 | 530 | 589 | 501 | 632 | 720 | 822 | 896 | 1,052 | 1,160 | 1,306 |
| 개별소자합계 | 8,035 | 8,155 | 9,084 | 10,758 | 12,288 | 13,496 | 14,388 | 15,850 | 17,466 | 19,111 |
| 일반 PIC | 661 | 653 | 776 | 900 | 1,015 | 1,125 | 1,250 | 1,390 | 1,561 | 1,753 |
| Smart PIC | 486 | 551 | 699 | 850 | 980 | 1,140 | 1,350 | 1,600 | 1,888 | 2,228 |
| PIC 합계 | 1,147 | 1,204 | 1,475 | 1,750 | 1,995 | 2,265 | 2,600 | 2,990 | 3,449 | 3,981 |
| 전력소자전체 | 9,182 | 9,359 | 10,559 | 12,508 | 14,283 | 15,761 | 16,988 | 18,840 | 20,915 | 23,092 |
| 반도체전체 | 59,600 | 65,200 | 85,500 | 110,900 | 135,800 | 156,000 | 176,100 | 202,800 | 234,200 | 267,400 |

다. 에피층 두께 이외에는 같은 조건을 가질 때, 그림 6(a)와 같은 일반적인 다이오드의 경우 두꺼운 에피층으로 인해 수평방향의 표면전계가 수직방향의 전계보다 높기 때문에 표면의 p⁺n⁺접합에서 항복현상이 발생하게 된다. 반면 그림 6(b)는 얇은 에피층을 사용함으로써 수평 방향의 표면전계 침투치가 임계 전계값(E_{cr})에 이르기 전 에피층의 완전 공핍이 이루어진다. 이로 인해 표면 전계가 상당히 감소하게 되며, 이를 RESURF(REDuced SURface Field) [8]라고 한다. 결국 n⁺p⁺ 접합에서의 전계가 E_{cr}될 때까지 더 많은 전압을 가할 수 있게 되며, 따라서 항복전압은 (b)의 경우가 (a)의 경우보다 높은 값을 가지게 된다. 이때 항복전압에 영향을 미치는 주요 변수는 에피층의 두께(d_{epi}), 농도(N_{epi}), L_{epi}(n⁺와 p⁺사이의 거리), 기판의 농도(N_{sub}), 그리고 d₁(n⁺n⁺ 접합에서 n⁺p⁺ 접합까지의 거리)이다.

current가 크고, 에피층의 농도변화에 따른 항복전압의 변화가 크다는 것이다.

SOI RESURF PN 다이오드는 주로 200V 이상의 고전압 소자의 설계에 사용되고 있으며, 근래에 들어 SDB(Silicon Direct Bonded) wafer 제조 기술이 발전함에 따라 이를 이용한 소자의 연구가 활발하다. SOI 역시 RESURF 원리를 이용함에 따라 표면전계가 임계값(E_{cr})이 되기 이전에 에피층이 완전 공핍 되어 표면전계를 낮추고, 매몰 산화막층에 많은 전계가 걸리게 하여 항복전압을 높게 된다.

J. A. Appels 등은 L_{epi}가 충분히 크다는 가정하에 RESURF PN 다이오드의 N_{epi}, d_{epi} 및 이론적인 항복전압을 제시한 바 있다. 그러나, L_{epi}는 항복전압의 저하를 가져오지 않는 한 작으면 작을수록 chip size가 작아져서 경제적이다.

수직 전계에 의한 SOI RESURF pn 다이오드의 항복전압식은 다음과 같이 얻을 수 있다[9].

$$BV_{VF} = A \left(d_1 + t_{ox} \frac{\epsilon_{si}}{\epsilon_{ox}} \right) N_{epi}^{-1/2} - \frac{q}{\epsilon_0 \epsilon_{si}} \left(\frac{d_1}{2} + t_{ox} \frac{\epsilon_{si}}{\epsilon_{ox}} \right) d_1 N_{epi} \quad (1)$$

$$\text{여기서 } A = \frac{q}{\epsilon_0 \epsilon_{si}} \left(\frac{\alpha}{8} \left(\frac{\epsilon_{si}}{\epsilon_{ox}} \right)^7 \right)^{-1/2}$$

$$BV_{LF} = \frac{1}{2} \left(\frac{8}{\alpha} \right)^{1/7} L_{epi}^{6/7} \quad (2)$$

RESURF원리를 이용한 SOI 수평형 pn 다이오드의 최적 L_{epi}조건은 수직 전계에 의한 항복전압과 수평전계에 의한 항복전압이 같을 때이다. 항복전압을 유지하는 최소의 L_{epi}의 결과는 식(1)과 (2)로부터

$$L_{epi} = \left\{ A \left(d_1 + t_{ox} \frac{\epsilon_{si}}{\epsilon_{ox}} \right) N_{epi}^{-1/2} - B_0 \left(\frac{d_1}{2} + t_{ox} \frac{\epsilon_{si}}{\epsilon_{ox}} \right) d_1 N_{epi} \right\}^{7/6}$$

을 얻을 수 있으며, 여기서 A₀=6.5×10⁻², B₀=2.47×10⁻¹²이다. SOI의 경우 최적 수평길이는 기판 농도에 전혀 영향을 받지 않으며, 매몰 산화막두께와 에피층 농도, n⁺ junction에서 매몰 산화막두께 d₁에 주로 영향을 받는다는 것을 알 수 있다.

5. 국내외 기술 동향

1) 국외의 연구 동향

Texas Instrument에서는 PDP 등 디스플레이

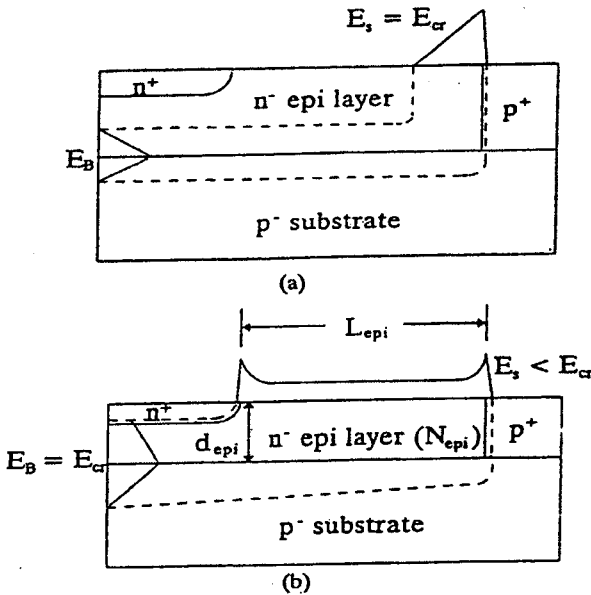


그림 6. PIC용 PN 다이오드의 단면도 및 전계.

(a) 에피층이 두꺼운 경우

(b) 에피층이 얇은 RESURF 소자인 경우

RESURF PN 다이오드의 특징은 얇은 에피층을 사용한다는 데 있다. 이의 장점은 PIC에 적합하고, 공정기술이 용이할 뿐만 아니라, 비교적 높은 항복전압을 얻을 수 있다는 것이며, 단점으로는 leakage

구동 IC, Siliconix, Unitorde 및 중소 벤처 기업들이 PIC, smart PIC 등을 생산하고 있다. 학계에서는 Toronto대의 Salama 그룹이 90년대 초에 LDMOS, SINFET 등을 개발하였으며, 스탠포드대의 Wong 그룹에서 SOI(Silicon-On-Insulator) 소자에 대한 연구를 하고 있다.

일본의 대표적인 기업인 Toshiba, Fuji Electric, Hitachi 등에서는 PIC 용 전력소자 및 smart PIC 에 이르는 각종 전력 소자를 거의 망라하여 생산하고 있으며, 또한 NTT 연구소에서는 PCS 용 LDMOS를 연구하고 있다.

유럽에서는 독일의 Siemens, 이탈리아의 SGS-Thomson, 네델란드의 Philips등이 유럽의 자존심을 지키고 있고, 학계에서는 스위스 공대의 Fichtner 그룹에서 전력 반도체 소자의 시뮬레이션 도구(simulation tool)의 개발, 영국 케임브리지 대학의 Amaratunga, Milne 그룹의 LDMOS, LIGBT, 체코공대 Vobecky 그룹의 스위칭 시간 제어기술에 관한 연구가 매우 활발하다.

2) 국내의 연구동향

기업에서는 Fairchild Korea(전 삼성전자 부친공장)에서, JI 기술을 사용하여 역률 교정용(power factor correction) IC 등의 PIC를 양산하고 있으나, 현재 까지 SOI 기판을 사용한 PIC는 개발하지 않고 있다. 구미에 소재한 한국전자에서도 선형 IC를 생산하고 있고, 대우전자 구로공장에서는 오디오 IC 등을 생산하고 있다. 전자통신연구소에서는 디스플레이 구동 IC를 SOI 기판을 사용하여 개발한 바 있으며, FED(Field Emission Display)등 새로운 flat panel display 의 구동회로에 대한 연구가 활발하다[135, 146].

서울대 [10~39]에서는 고전압 IC 용 SOI LDMOS, LIGBT, LEST 등에 관한 연구를 수행하고 있으며, 한양대[40~43]는 SOI LDMOS를 사용하여 pdp driver IC에 대한 연구를 수행하고 있다. 본인이 재직하고 있는 아주대에서는 LDMOS, LIGBT, SINFET 등을 제작한 바 있으며, 최근에는 RESURF LDMOS, LIGBT의 모델링에 관하여 연구하고 있다[44~55].

6. 맺음말

Power IC의 용도가 증가함에 따라, 국내 기업, 연구소, 대학의 연구가 예전에 비하여 활발해지고 있다. 특히 SDB wafer 제작 기술이 발전하고, PIC

에 대한 관심이 높아져서, SOI PIC 및 수평형 전력 소자에 대한 연구도 일취월장하고 있다. 선진국에서는 SOI PIC 기술을 상당한 수준 까지 개발해 놓고 있으나, ASIC(Application Specific IC)과 같이 대부분이 소량 다품종이기 때문에 상업적인 대량생산은 못하고 있는 형편이다. 국내 기업도 SOI 기판 기술 및 PIC 회로 및 소자 개발에 지금 부터라도 연구 개발을 시작한다면 앞으로 5년 후에는 거의 선진 업체와 대등한 수준으로 발전할 수 있으리라 예상된다.

지면관계 상 많은 부분을 상세히 다루지 못했고, 국내외 기술동향을 쓰면서 혹시 누락된 부분이 있으면 양해를 구하며, 전력 반도체소자에 관한 단행본 목록 [56~70], ISPSD(International Symposium on Power Semiconductor Devices and ICs)에 발표된 SOI 전력 소자에 대한 논문 목록을 참고문헌에 첨부하였다[71~148].

참고 문헌

1. P. L. Hower, "Power semiconductor devices : an overview", IEEE Proc. vol. 76, no. 4, pp. 335-342, Apr. 1988.
2. B. J. Baliga and E. Sun, "Comparison of gold, platinum and electron irradiation for controlling lifetime in power rectifiers", IEEE Trans. Electron Devices, Vol. ED-24, pp. 685-688, 1977.
3. B. J. Baliga et al., "The insulated gate rectifier(IGR) : a new power switching device", Proc. IEDM, pp. 264-267, 1982.
4. J. P. Russell et al., "The COMFET - a new high conductance MOS-gated device", IEEE Electron Device Letters, vol. EDL-4, pp. 63-65, Jan. 1983.
5. V. A. K. Temple, "MOS controlled thyristors", Proc. IEDM, pp. 282-285, 1984.
6. J. K. O. Sin et al., "The SINFET - a Schottky injection MOS-gated power transistor", IEEE Trans. Electron Devices, vol. ED-33, pp. 1940-1947, Dec. 1986.
7. 김 형 식 et al., 전력용 반도체 기술 개발, 전기연구소, 1996. 3.
8. J. A. Appels, et al., "Thin layer high-voltage device(RESURF Device)", Philips J. Research, vol. 35, no.1, pp. 1-13, 1980.
9. Sang-Koo Chung, Seung-Youp Han, Jin-

- Cheol Shin, Yearn-Ik Choi and Sang-Bae Kim, "An analytical model for minimum drift region length of SOI RESURF diodes", IEEE Electron Device Letters, Vol. 17, pp. 22-24, Jan. 1996.
10. 김성동, A Lateral SOI Bipolar-Mode Field-Effect Transistor for Power ICs, 박사학위 논문, 서울대학교 1996. 2.
 11. 김두영, Novel Lateral Power Transistors on SOI Substrate for Improving Forward Characteristics, 박사학위 논문, 서울대학교, 1999.8
 12. 변대석, SOI 수평형 접합의 항복전압 향상을 위한 Negative Curvature 효과, 석사학위 논문, 서울대학교, 1994. 2.
 13. 김재형, Quasi-SOI 기판을 이용한 새로운 구조의 수평형 EST 소자, 석사학위 논문, 서울대학교, 1996. 2.
 14. B. H Lee, C. M. Yun, D. S. Byeon, M. K. Han and Y. I. Choi, "Improved latch-up characteristics of the LIGBT with the p+ cathode well on the SOI substrate", Proc. SSDM, pp. 289-291, Aug. 23-26, 1994, Yokohama, Japan.
 15. B. H Lee, C.M. Yun, D. S. Byeon, M. K. Han and Y. I. Choi, "A trench-gate silicon-on-insulator lateral insulated gate bipolar transistor with the p+ cathode well", Japanese J. Applied Physics, Vol. 34, No. 2B, pp. 854-859, 1995.
 16. S.-D. Kim, D.-S. Byun, K. Yang, O.-K. Kwon, M.-K. Han and Y.-I. Choi, "A lateral SOI BMFET with high current gain", Proc. ISPSD, pp. 288-292, May 23-25, 1995, Yokohama, Japan.
 17. S.-D. Kim, J.-H. Kim, C.-M. Yun, M.-K. Han and Y.-I. Choi, "An SOI lateral BMFET for power IC application", Proc. EPE, pp. 2.240-2.244, Sept. 18-21, 1995, Sevilla, Spain.
 18. Chong-Man Yun, Jae-Hyung Kim, Min-Koo Han and Yearn-Ik Choi, "Comparison of lateral IGBT and lateral emitter switched thyristor with a partial buried oxide layer", The 17NSM, June 17-20, 1996, Trondheim, Norway.
 19. Seong-Dong Kim, Doo-Young Kim, Moo-Sup Lim, Min-Koo Han and Yearn-Ik Choi, "Effects of drift region doping on current characteristics in SOI BMFETs", The 17NSM, June 17-20, 1996, Trondheim, Norway.
 20. Byeong-Hoon Lee, Won-Oh Lee, Moo-Sup Lim, Jng-Eon Park, Min-Koo Han and Yearn-Ik Choi, "A new dual-gate SOI LIGBT with the shorted anode", Proc. SSDM, pp. 287-289, Aug. 26-29, 1996, Yokohama, Japan.
 21. Seong-Dong Kim, Moo-Sup Lim, Min-Koo Han and Yearn-Ik Choi, "High temperature characteristics of SOI BMFET", Proc. PEMC, pp. 166-170, Sept. 2-4, 1996, Budapest, Hungary.
 22. Byeong-Hoon Lee, Won-Oh Lee, Moo-Sup Lim, Min-Koo Han and Yearn-Ik Choi, "A shorted anode SOI LIGBT with auxiliary anode", Proc. PEMC, pp. 171-175, Sept. 2-4, 1996, Budapest, Hungary.
 23. Doo-Young Kim, Byeong-Hoon Lee, Min-Koo Han and Yearn-Ik Choi, "Optimization of the drift length in SOI RESURF LDMOS : analytic approach to the lateral breakdown", Proc. ISPS(Inter. Seminar Power Semiconductors), pp. 25-31, Sept.11-13, 1996, Prague, Czech.
 24. Byeong-Hoon Lee, Doo-Young Kim, Won-Oh Lee, Min-Koo Han and Yearn-Ik Choi, "A new analytical model for dynamic latch-up in the SOI LIGBT", Proc. ISPS, pp. 151-158, Sept.11-13, 1996, Prague, Czech.
 25. Seong-Dong Kim, Doo-Young Kim, Moo-Sup Lim, Min-Koo Han and Yearn-Ik Choi, "Effects of drift region doping on current characteristics in SOI BMFETs", Physica Scripta, Vol. T69, No. 2, pp. 181-184, 1997.
 26. Chong-Man Yun, Jae-Hyung Kim, Min-Koo Han and Yearn-Ik Choi, "Comparison of lateral IGBT and lateral emitter switched thyristor with a partial buried oxide layer", Physica Scripta, Vol. T69,

- No. 2, pp. 341-344, 1997.
27. Byeong-Hoon Lee, Dae-Seok Byeon, Doo-Young Kim, Won-Oh Lee, Min-Koo Han and Yearn-Ik Choi, "Dual-gate shorted anode SOI lateral insulated gate bipolar transistor suppressing the snap-back", Japanese J. Applied Physics, Vol. 36, No. 3B, pp. 1663-1666, 1997.
 28. Dae-Seok Byeon, Min-Koo Han and Yearn-Ik Choi, "The breakdown voltage of negative curved p+n diodes using a SOI layer", Solid State Electronics, Vol. 40, No. 5, pp. 787-788, 1997.
 29. Doo-Young Kim, Seong-Dong Kim, Min-Koo Han and Yearn-Ik Choi, "Bipolar-field-effect transistor hybrid-mode operation of lateral silicon-on-insulator bipolar mode field effect transistor with improved current gain", Japanese J. Applied Physics, Vol. 37, No. 4A, pp. 1787-1792, 1998.
 30. Doo-Young Kim, Dae-Seok Byeon, Min-Koo Han and Yearn-Ik Choi, "A lateral trench-MOS bipolar-mode FET on silicon-on-insulator", Physica Scripta, Vol. T79, No. 4, pp.307-310, 1999.
 31. B. H. Lee, D. S. Byeon, D.Y. Kim, J. K. Oh, Min-Koo Han, Yearn-Ik Choi, "A dual-gate shorted-anode silicon-on-insulator lateral insulated gate bipolar transistor with floating ohmic contact for suppressing snapback and fast switching characteristics", Microelectronics Journal, Elsevier Science Ltd., Vol. 30, No. 6, pp. 577-581, 1999.
 32. Doo-Young Kim, Dae-Seok Byeon, Min-Koo Han and Yearn-Ik Choi, "A novel lateral SOI BMFET with trench-diffused gate", Proc. EPE '97, pp. 3.065-3.069, Sept. 8-10, 1997, Trondheim, Norway.
 33. Won-Oh Lee, Byeong-Hoon Lee, Jin-Cheol Shin, J. E. Park, Y. S. Han, Min-Koo Han and Yearn-Ik Choi, "A trench-gate SOI LIGBT with hole collector", Proc. EPE '97, pp. 3.070-3.3.075, Sept. 8-10, 1997, Trondheim, Norway.
 34. Doo-Young Kim, Seong-Dong Kim, Min-Koo Han and Yearn-Ik Choi, "A hybrid lateral SOI BMFET with high current gain", Proc. Solid State Devices and Materials, pp. 164-165, Sept. 16-19, 1997, Hamamatsu, Japan.
 35. Doo-Young Kim, Jae-Keun Oh, Jung-Hoon Chun, Dae-Seok Byeon, Min-Koo Han and Yearn-Ik Choi, "A bipolar static induction transistor with trench MOS gate for large current gain", Proc. PCIM, pp. 53-58, Apr. 15-17, 1998, Tokyo, Japan.
 36. D. Y. Kim, M. K. Han and Y. I. Choi, "A lateral trench-MOS bipolar-mode FET on SOI", Proc. 18th Nordic Semiconductor Meeting, G-99, June 7-10, 1998, Linkoping, Sweden.
 37. Jae-Keun Oh, Doo-Young Kim, Byeong-Hoon Lee, Dae-Seok Byeon, Min-Koo Han and Yearn-Ik Choi, "A dual-gate shorted-anode SOI LIGBT with floating ohmic contact for suppressing snapback", Proc. The 4th International Seminar on Power Semiconductors, pp. 221-225, Sept. 2-4, 1998, Prague, Czech.
 38. Byeong-Hoon Lee, Jung-Hoon Chun, Dae-Seok Byeon, Doo-Young Kim, Min-Koo Han and Yearn-Ik Choi, "A novel SOI carrier-inducing barrier-controlled LIGBT with high switching speed", Proc. Solid State Devices and Materials, pp. 452-453, Sept. 7-10, 1998, Hiroshima, Japan.
 39. Doo-Young Kim, Dae-Seok Byeon, Min-Koo Han, Won-Oh Lee and Yearn-Ik Choi, "A novel lateral SOI BMFET in DMOS structure with bipolar-FET operation", PEMC(International Power Electronics & Motion Control Conference), pp. I-55-59, Sept. 8-10, 1998, Prague, Czech.
 40. 현창호, VLSI에 적용할 수 있는 SOI LDMOSFETs에 관한 연구, 석사학위 논문, 한양대학교, 1995. 2.
 41. 나영선, 전계 방출 디스플레이의 구동회로에 관한 연구, 석사학위 논문, 한양대학교, 1997. 2.
 42. Ik-Seok Yang, Yun-Hak Koh, Jae-Hoon Jeong, Young-Suk Choi and Oh-Kyong

- Kwon, "An improvement of SOA on n-channel SOI LDMOS transistors", Proc. ISPSD, pp. 379-382, June 3-6, 1998, Kyoto, Japan.
43. M. R. Lee, O. K. Kwon, S. S. Lee, I. H. Lee, I. S. Yang, J. H. Paek, L. Y. Hwang, J. I. Ju, B. H. Lee and Chang-Jae Lee, "SOI High Voltage Integrated Circuit Technology for Plasma Display Panel Drivers", Proc. ISPSD, pp. 285-288, May 26-28, 1999, Toronto, Canada.
 44. 한승엽, LDMOSFET의 항복전압에 관한 해석적 모델, 석사학위 논문, 아주대학교, 1998. 8.
 45. 문태훈, SOI RESURF 다이오드의 항복전압에 관한 고찰, 석사학위 논문, 아주대학교, 1993. 8.
 46. 신진철, RESURF 다이오드의 항복전압 및 최적 수평길이에 대한 연구, 석사학위 논문, 아주대학교, 1994. 2.
 47. 강병로, SOI 쇼트키 다이오드의 항복전압에 관한 연구, 석사학위 논문, 아주대학교, 1994. 2.
 48. 나종민, 경사진 Field Plate를 갖는 SOI LDMOS의 항복전압에 관한 연구, 석사학위 논문, 아주대학교, 1996. 2.
 49. 박일용, 항복 특성 및 래치업 특성을 개선시킨 LIGBT, 석사학위 논문, 아주대학교, 1997. 2.
 50. 김성룡, 용기된 링을 갖는 SOI LDMOS와 LIGBT의 ON저항, 석사학위 논문, 아주대학교, 1998. 2.
 51. 양희윤, On 저항이 작은 새로운 SOI LDMOS의 수치해석, 석사학위 논문, 아주대학교, 1999. 2.
 52. B. R. Kang, S. N. Yoon, Y. H. Cho, S. I. Cha and Y. I. Choi, "Increased breakdown voltage of silicon-on-insulator Schottky diodes," Electronics Letters, Vol. 29, No. 15, pp. 1381-1382, 1993.
 53. Sang-Koo Chung, Seung-Youp Han, Jin-Cheol Shin, Yearn-Ik Choi and Sang-Bae Kim, "An analytical model for minimum drift region length of SOI RESURF diodes", IEEE Electron Device Letters, Vol. 17, pp. 22-24, Jan. 1996.
 54. Sung-Lyong Kim, Hoie-Yoon Yang, Yearn-Ik Choi, Sang-Koo Chung and Min-Koo Han, "A low on-resistance SOI LDMOS with an elevated internal ring", Physica Scripta, Vol. T79, No.4, pp. 303-306, 1999.
 55. Seong-Lyong Kim, Hoie-Yoon Yang and Yearn-Ik Choi, "A SOI LDMOS with an elevated internal ring", Proc. 18th Nordic Semiconductor Meeting, G-97, June 7-10, 1998, Linkoping, Sweden.
 56. V. Benda, J. Gowar and D. Grant, *Power semiconductor devices, theory and applications*, John Wiley and Sons, 1999.
 57. B. Murari ed., *Smart power IC's, technology and applications*, Springer-Verlag, 1996.
 58. B. J. Baliga, *Power semiconductor devices*, PWS Publishing Co., 1996.
 59. B. E. Taylor, *Power MOSFET design*, John Wiley & Sons, 1993.
 60. A. A. Jaecklin ed., *Power semiconductor devices and circuits*, Plenum Press, 1992.
 61. D. A. Grant and J. Gowar, *Power MOSFET*, John Wiley & Sons, 1989.
 62. B. J. Baliga ed., *High voltage integrated circuits*, IEEE Press, 1988.
 63. B. J. Baliga, *Modern power devices*, John Wiley & Sons, 1987.
 64. P. D. Taylor, *Thyristor design and realization*, John Wiley & Sons, 1987.
 65. P. Antognetti, *Power integrated circuits : physics, design and application*, McGraw-Hill 1986.
 66. B. J. Baliga and D. Y. Chen ed., *Power transistors : device design and applications*, IEEE Press, 1984.
 67. M. Kubat, *Power semiconductors*, Springer-Verlag, 1984.
 68. A. Blicher, *Field-effect and bipolar power transistor physics*, Academic Press 1981.
 69. S. K. Ghandhi, *Semiconductor power devices*, Wiley, New York, 1977
 70. A. Blicher, *Thyristor physics*, Springer-Verlag, 1976.
 71. S. Kawamura, N. Sasaki, S. Kawai, T. Shirato, N. Aneha, M. Nakano, "High-Voltage SOI/CMOS ICs Merged with

- Low-Voltage Bulk CMOS Control-Unit", ISPSD p. 127 1988.
72. A. Nakagawa, N. Yasuhara, Y. Baba, "New 500V Output Device Structures for Thin Silicon Layer on Silicon Dioxide Film", Proc. ISPSD, p. 97, 1990.
 73. A. Nakagawa, "Impact of Dielectric Isolation Technology on Power ICs", Proc. ISPSD p. 16 1991.
 74. Y. S. Huang, B. J. Baliga, "Extension of Resurf Principle to Dielectrically Isolation Power Devices", Proc. ISPSD p. 27 1991.
 75. S. Merchant, E. Arnold, H. Baumgar, S. Mukherjee, H. Pein, R. Pinker, "Realization of High Breakdown Voltage(>700V) in Thin SOI Devices" Proc. ISPSD p. 31, 1991.
 76. Q. Lu, P. Ratnam, C. A. T. Salama, "High Voltage Silicon-on-Insulator(SOI) MOSFETs", Proc. ISPSD p. 36 1991.
 77. T. Mizoguchi, M. Mori, T. Shirasawa, Y. Sugawara, "600V, 25A Dielectrically Isolated Power IC with Vertical IGBT", Proc. ISPSD p. 40, 1991.
 78. T. Aso, H. Mizuide, T. Usui, K. Akahane, N. Ishikawa, I. Hide, Y. Maeda, "An Application of MSSD to Dielectrically Isolated Intelligent Power IC", Proc. ISPSD p. 45, 1991.
 79. Y. S. Huang, B. J. Baliga, S. Tandon, A. Reisman, "Comparison of DI and JI Lateral IGBTs", Proc. ISPSD p. 40, 1992.
 80. D. Disney, J. Plummer, "Fast Switching LIGBT Devices Fabricated in SOI Substrates", Proc. ISPSD p. 48, 1992.
 81. E. Arnold, S. Merchant, M. Amato, S. Mukherjee, H. Pein, A. Ludikhuize, "Comparison of Junction-Isolated and SOI High-Voltage Devices Operating in the Source-Follower Mode", Proc. ISPSD p. 242, 1992.
 82. T. Matsudai, A. Nakagawa, "Simulation of a 700 V High-Voltage Device Structure on a Thin SOI--Substrate Bias Effect on SOI Devices", Proc. ISPSD p. 272, 1992.
 83. W. Wondrak, R. Held, E. Stein J. korec, "A New Concept for High-Voltage SOI Devices", Proc. ISPSD p. 278, 1992.
 84. R. Held, J. Serafin, M. Fullmann, R. Constapel, J. Korec, "Investigation of Static and Dynamic Characteristics of SOI-LDMOSFETs Passivated with Semi-Insulating Layers", Proc. ISPSD p. 130, 1993.
 85. I. Omura, N. Yasuhara, A. Nakagawa, Y. Suzuki, "Numerical Analysis of SOI IGBT Switching Characteristics Switching Speed Enhancement by Reducing the SOI Thickness", Proc. ISPSD p. 248, 1993.
 86. D. R. Disney, J. D. Plummer, "SOI LIGBT Devices with a Dual P-Well Implant for Improved Latching Characteristics", Proc. ISPSD p. 254, 1993.
 87. Y. S. Huang, S. Sridhar, B. J. Baliga, "Junction and Dielectrically Isolated Lateral ESTs for Power ICs", Proc. ISPSD p. 259, 1993.
 88. H. Neubrabd, J. Serafin, M. Fullmann, J. Korec, "Comparisionof Lateral EST and IGBT Devices on SOI Substrates", Proc. ISPSD p. 264, 1993.
 89. D. R. Disney, J. D. Plummer, "Lateral Depletion-Mode Thyristors in SOI Substrates", Proc. ISPSD p. 269, 1993.
 90. A. Litwin, T. Arnborg, "Compact Very High Voltage CMOS Compatible Bipolar Silicon-On-Insulator Transistor", Proc. ISPSD p. 113, 1994.
 91. R. Constapel, J. Korec, "Forward Blocking Characteristics of SOI Power Devices at High Temperatures", Proc. ISPSD p. 117, 1994.
 92. H. Neubrabd, R. Constapel, M. Fullmann, R. Boot, A. Boose, "Thermal Beaviour of Lateral Power Devices on SOI Substrates", Proc. ISPSD p. 123, 1994.
 93. Y. Baba, S. Yanagiya, Y. Koshino, Y. Udo, "High Voltage Trench Drain LDMOS-FET using SOI Wafer", Proc. ISPSD p. 183, 1994.
 94. R. Sunkavalli, B. J. Baliga, Y. S. Huang, "High Temperature Performance of

- Dielectrically Isolated LDMOSFET : Characteristics, Simulation and Analysis", Proc. ISPSD p. 359, 1994.
95. T. Matsudai, Y. Yamaguchi, N. Uasuhara, A. Nakagawa, H. Mochizuki, "Thin SOI IGBT Leakage Current and a New Device Structure for High Temperature Operation", Proc. ISPSD p. 399, 1994.
 96. D. R. Disney, H. B. Pein, J. D. Plummer, "A Trench_Gate LIGBT Structure and Two LMCT Structure in SOI Substrates", Proc. ISPSD p. 405, 1994.
 97. S. Merchant, E. Arnold, M. Simpson, "Tunneling in Thin SOI High Voltage Devices", Proc. ISPSD p. 130, 1995.
 98. Y. K. Leung, Y. Suzuki, K. E. Goodson, S. S. Wong, "Self-Heating Effect in Lateral DMOS on SOI", Proc. ISPSD p. 136, 1995.
 99. T. Matsudai, M. Kitagawa, A. Nakagawa, "A Trench-Gate Injection Enhanced Lateral IEGT on SOI", Proc. ISPSD p. 141, 1995.
 100. E. M. S. Narayanan, G. Amaratunga, "Performance of LIGBTs Built on SIMOX Substrates Using Double Epitaxial Layer Dielectric Isolation Technology", Proc. ISPSD p. 218, 1995.
 101. S. D. Kim, D. S. Byeon, K. Yang, O. K. Kwon, M. K. Han, Y. I. Choi, "A Lateral SOI Bmfet with High Current Gain", Proc. ISPSD p. 288, 1995.
 102. T. Anno, S. Katsuki, H. Unno, M. Yokota, R. Sawada, I. Fuji, M. Shimizu, "The Soot Deposited Integrated Circuit Substrate of 6 Inches Diameter for High Voltage ICs, Improved in the Durability against the Pressure Cooker Test", Proc. ISPSD p. 298, 1995.
 103. Y. Suzuki, Y. K. Leung, S. S. Wong, "Influence of Parasitic Capacitances on Switching Characteristics of SOI-LDMOS", Proc. ISPSD p. 303, 1995.
 104. T. M. L. Lai, J. K. O. Sin, M. Wong, V. M. C. Poon, P. K. Ko, "Implementation of Linear Doping Profiles for High Voltage Thin-Film SOI Devices", Proc. ISPSD p. 315, 1995.
 105. C. M. Liu, F. C. Shone, J. B. Kuo, "A Closed-form Physical Back-Gate-Bias Dependent Quasi-Saturation model for SOI lateral Dmos Devices with Self Heating Mechanism", Proc. ISPSD p. 321, 1995.
 106. M. Stoisiek, K. G. Oppermann, U. Schwalke, D. Takacs, "A Dielectric Isolated High_Voltage IC-Technology for Off-Line Application", Proc. ISPSD p. 325, 1995.
 107. H. Funaki, A. Nakagawa, "Numerical Predictions of p-Channel SOI LIGBT Electrical Characteristics", Proc. ISPSD p. 350, 1995.
 108. R. Sunkavalli, B. J. Baliga, "Integral Diodes in Lateral DI Power Devices", Proc. ISPSD p. 385, 1995.
 109. S. Matsumoto, T. Fukumitsu, I. J. Kim, T. Sakai, T. Yachi, "Thin-Film SOI Power MOSFET Design Based on Emission Microscopy", Proc. ISPSD p. 460, 1995.
 110. S. Matsumoto, I. J. Kim, T. Sakai, T. Fukumitsu, T. Yachi, "A 30 V High-Speed Thin-Film SOI Power MOSFET Having Tungsten Polycide Gate", Proc. ISPSD p. 466, 1995.
 111. T. Abe, M. Katayama, "Bonded SOI Technologies for High Voltage Application", Proc. ISPSD p. 41, 1996.
 112. A. K. Paul, Y. K. Leung, J. D. Plummer, S. S. Wong, S. C. Kuehne, V. S. K. Huan, "High Voltage LDMOS Transistors in Submicron SOI Films", Proc. ISPSD p. 89, 1996.
 113. G. C. T. Nguyen, E. Arnold, S. Merchant, T. Letavic, H. Bhimnathwala, "High-Temperature Performance of SOI and Bulk-Silicon Resurf LDMOS Transistors", Proc. ISPSD p. 93, 1996.
 114. N. Yasuhara, H. Funkai, T. Matsudai, A. Nakagawa, "Experimental Verification of Large Current Capability of Lateral IEGTs on SOI", Proc. ISPSD p. 97, 1996.
 115. H. Funaki, N. Yasuhara, A. Nakagawa,

- "High Voltage Lateral MOS Thyristor Cascode Switch on SOI Safe Operating Area of SOI-Resurf Devices", Proc. ISPSD p. 101, 1996.
116. K. Watabe, H. Akiyama, T. Terashima, S. Nobutou, M. Yamawaki, T. Hirao, "An 0.8 μ m High Voltage IC Using Newly Designed 600V Lateral IGBT on Thick Buried-Oxide SOI", Proc. ISPSD p. 151, 1996.
 117. F. Vogt, H. Vogt, C. Zimmermann, W. Fichtner, "An Intelligent Vertical Trench DMOS on SiMOX Substrate", Proc. ISPSD p. 177, 1996.
 118. J. M. Dilhac, D. Zerrouk, C. Ganibal, P. Rossel, M. Bafleur, "Fabrication of SOI Structures by Uniform Zone Melting Recrystallization for High Voltage ICs", Proc. ISPSD p. 215, 1996.
 119. K. G. Oppermann, M. Stoisiek, "Optimization of LIGBTs in a Dielectric Insulated IC Technology using a Switching Anode", Proc. ISPSD p. 238, 1996.
 120. R. Sunkavalli, A. Tamba, B. J. Baliga, "The DI Lateral Insulated Gate Field Controlled Thyristor(LIFFT)", Proc. ISPSD p. 271, 1996.
 121. H. Funaki, T. Matsudai, A. Nakagawa, N. Yasuhara, Y. Yamaguchi, "Multi-Channel SOI Lateral IGBTs with Large SOA", Proc. ISPSD p. 33, 1997.
 122. S. Xu, R. Constapel, J. Korec, R. Plikat, D. Silber, "Bidirectional IGBT on SOI Substrate with High Frequency and High Temperature Capability", Proc. ISPSD p. 37, 1997.
 123. T. Matsudai, H. Funaki, A. Nakagawa, "A Safe Operating Area Model for SOI Lateral IGBTs", Proc. ISPSD p. 41, 1997.
 124. L. Vestling, B. Edholm, J. Olsson, S. Tiensuu, "A Novel High Frequency High-Voltage LDMOS Transistor Using an Extended Gate REURF Technology", Proc. ISPSD p.45, 1997.
 125. T. Letavic, E. Arnold, M. Simpson, R. Aquino, H. Bhimnathwala, R. Eglolf, "High performance 600V Smart Power Technology Based on Thin Layer Silicon-On-Insulator", Proc. ISPSD p. 49, 1997.
 126. F. A. Emmerik, S. Wong, S. Mukherjee D. R. Disney, "SOI Smart IGBT with Low Cost and High Performance", Proc. ISPSD p. 289, 1997.
 127. V. Nagapudi, R. Sunkavalli, B. J. Baliga, "FBSOA of Dielectrically Isolated LDMOSFETs and LIGBTs", Proc. ISPSD p. 297, 1997.
 128. S. Matsumoto, T. Yachi, H. Horie, Y. Arimoto, "A Novel High Frequency Power MOSFET with Quasi-SOI Structure", Proc. ISPSD p. 301, 1997.
 129. K. Kobayashi, T. Hamajima, H. Kikuchi, M. Tkahashie, T. Kitano, "Application of Partially Bonded SOI Structure to an Intelligent Power Device having Vertical DMOSFET", Proc. ISPSD p. 309, 1997.
 130. F. J. Clough, E. M. S. Narayanan, Y. Chen, W. Eccleston, Y. Chen, W. I. Milne, "A Novel Thin Film Transistor Structure for High Voltage Circuitry on Glass", Proc. ISPSD p. 321, 1997.
 131. Y. Hayasaki, H. Takano, M. Suzumura, "Back-channel Effect on SOI CMOS for High Voltage Power ICs", Proc. ISPSD p. 337, 1997.
 132. H. Akiyama, K. Watabe, T. Terashima, M. Okada, S. Nobuto, M. Yamawaki, T. Hirao, "An Improvement on p-Channel SOI LIGBT by Adopting Silt Type p-Drift Structure Proc. ISPSD p. 353, 1997.
 133. E. M. S. Narayanan, Z. Qin, M. M. D. Souza, G. Amaratunga, "A New Lateral Insulated Base Emitter Switched Thyristor", Proc. ISPSD p. 221, 1998.
 134. R. Plikat, S. Xu, D. Silber, "Comparison of Different Switched Anode Emitter Short Concept for IGBTs", Proc. ISPSD p. 257, 1998.
 135. K. Watabe, H. Akiyama, T. Terashima, "A New Phenomenon of P-channel Dual Action Device", Proc. ISPSD p. 363, 1998.
 136. J. D. Kim, S. G. Kim, T. M. Roh, J. G.

- Koo, K. S. Nam, "A Novel P-channel SOI LDMOS Transistor with Tapered Field Oxides", Proc. ISPSD p. 375, 1998.
137. I. S. Yang, Y. H. Koh, J. H. Jeong, Y. S. Choi, "An Improvement of SOA on n-channel SOI LDMOS Transistors", Proc. ISPSD p. 379, 1998.
138. H. Funaki, Y. Yamaguchi, K. Hirayama, A. Nakagawa, "New 1200V MOSFET Structure on SOI with SIPOS Shielding Layer", Proc. ISPSD p. 25, 1998.
139. S. Matsumoto, T. Ishiyama, Y. Hiraoka, T. Yachi, A. Ito, A. Arimoto, "Device Characteristics of a Quasi-SOI Power MOSFET", Proc. ISPSD p. 29, 1998.
140. H. Funaki, Y. Yamaguchi, K. Hirayama, A. Nakagawa, "Lateral SOI Diode Design Optimization for High Ruggedness and Low Temperature Dependence of Reverse Recovery Characteristics", Proc. ISPSD p. 33, 1998.
141. H. Sumida, A. Hirabayashi, H. Shimabukuro, Y. Takazawa, Y. Shigeta, "A High Performance Plasma Display Panel Driver IC Using SOI", Proc. ISPSD p. 137, 1998.
142. K. Kobayashi, H. Yanagigawa, K. Mori, S. Yamanaka, A. Fujiwara, "High Voltage SOI CMOS IC Technology for Driving Plasma Display Panels", Proc. ISPSD p. 141, 1998.
143. Y. Hiraoka, S. Matsumoto, K. Tsukamoto, T. Sakai, T. Yachi, "Application of the Thin-Film SOI Power MOSFET Fabricated by Sub-um-Rule CMOS/SOI Process for the DC-DC Converter", Proc. ISPSD p. 145, 1998.
144. K. Yano, I. Henmi, H. Obara, M. Kasuga, A. Shimizu, "Static Induction Type Power Rectifier", Proc. ISPSD p. 237, 1998.
145. T. Ishiyama, S. Matsumoto, T. Yachi, W. Fichtner, "A New Model for Dopant Redistribution in a Power SOI Structure", Proc. ISPSD p. 217, 1999.
146. M. R. Lee, O. K. Kwon, S. S. Lee, I. H. Lee, I. S. Yang, J. H. Paek, "SOI High Voltage Integrated Circuit Technology for Plasma Display Panel Drivers", Proc. ISPSD p. 285, 1999.
147. S. G. Kim, J. D. Kim, Q. S. Song, J. G. Koo, D. Y. Kim, K. I. Cho, "A Power IC Technology with Excellent Trench Isolation and P-LDMOS Transistor through Tapered TEOS Field Oxides", Proc. ISPSD p. 289, 1999.
148. A. Kakagawa, H. Funaki, Y. Yamaguchi, F. Suzuki, "Improvement in Lateral IGBT Design for 500V 3A One Chip Inverter ICs", Proc. ISPSD p. 321, 1999.
149. T. Letavic, M. Simpson, E. Peters, R. Aquino, J. Curcio, S. Herko, S. Mukherjee, "600V Power Conversion System-on-a-Chip Based on Thin Layer Silicon-on-Insulator", Proc. ISPSD p. 325, 1999.