

## SOI 소자 기술의 메모리 소자에의 응용



**이종욱**

현대전자산업(주), 메모리연구소 선임연구원  
E-mail : jongwlee@sr.hei.co.kr



**고요환**

현대전자산업(주), 메모리연구소 수석연구원  
E-mail : yhkoh@sr.hei.co.kr

### 제 1 장 서 론

최근 휴대용 전자 제품 시장의 급속한 성장으로 인해 고 집적도, 저 전력화, 그리고 고 성능화 등을 동시에 구현할 수 있는 기술에 대한 요구가 점차 증가하고 있다. 현재 반도체 산업의 주력인 벌크 실리콘 소자의 경우에, Design Rule이 0.13 $\mu\text{m}$  이하로 줄어들게 되는 2001년 이후에는 기존의 Scaling을 통한 고 집적도 및 저 전력화에 한계를 드러낼 것으로 예상되고 있다. 한편 1930년대에 처음으로 제기된 이중막 실리콘(Silicon-On-Insulator, 이하 SOI) 기술은 1960년대에는 가장 주목받는 기술이었으나 단결정 실리콘 제조 기술의 개발과 벌크 실리콘 소자 기술의 눈부실 발전으로 인해 우수한 특성이 예상됨에도 불구하고 응용면에서는 우주에서의 Radiation Hardened 소자로서 그리고 연구 개발면에서는 대학에서 소자의 물성 위주로 연구가 진행되어 왔을 뿐 반도체 업계의 주류로는 인식되지 않았다. 그러나 1990년대에 들어 단결정 실리콘과 거의 유사한 특성을 가진 SOI 웨이퍼를 제조할 수 있는 기술의 개발로 인해 SOI 기술은 다시 주목을 받기 시작했으며 0.13  $\mu\text{m}$ ~0.1  $\mu\text{m}$  이하 세대를 이끌어갈 차세대 반도체 기술로 예견되고 있다. 특히 최근에는 SOI 기

술을 이용한 고 집적회로, 메모리 소자, 그리고 마이크로 프로세서 등이 속속 발표되고 있으며 이러한 추세에 이면에는 SOI 기술이 저 전력화 및 고 성능화를 동시에 만족시킬 수 있는 주요 기술이라는 인식이 내재되어 있다. 예를 들어, 메모리 소자, 특히 DRAM 소자에 응용할 경우 SOI 기술이 갖는 장점은 다음과 같으며 그 내용은 표 1과 같이 요약된다 :

- 1) 작은 접합 용량으로 인해 비트 라인의 기생 용량이 감소하기 때문에 메모리 셀 용량에 대한 비트 라인 용량의 비율이 감소하여 데이터의 Read 동작 시 큰 신호를 얻을 수 있다[1]. 또한 작은 접합 용량으로 인해 배선의 시상수(Time Constant)가 감소하기 때문에 고속 동작이 가능하다.
- 2) 절연체에 의한 완벽한 소자 분리가 가능하기 때문에 Soft-Error 및 Latch-Up에 대한 내성이 향상되며 또한 Well 형성이 필요 없게 되어 칩의 면적 감소가 가능하다[2].
- 3) Back-Gate 바이어스 효과(Source-Follower 형태의 소자에서 중요한 특성임)가 거의 나타나지 않기 때문에 메모리 셀에서 Write 동작 시 큰 신호를 얻을 수 있을 뿐만 아니라 Sense Amplifier의 동작 전압을 낮출 수 있다[3].

- 4) 누설 전류의 감소로 인해 Static Retention 특성이 향상되며 또한 Stand-By 전류가 감소한다 [4], [5].
- 5) 완전 공핍형(Fully-Depleted(FD)) 소자에서의 전류 구동력 증가 및 S-Factor의 감소, 부분 공핍형(Partially-Depleted(PD)) 소자에서의 Body 전위 조절의 용이성 등으로 인해 고속 동작 및 낮은 Stand-By 전류 특성을 얻을 수 있다.

표 1. DRAM 적용시 SOI 소자의 장점 (Advantages of SOI for DRAM application)

Advantages	DRAM Characteristics	
	Memory Cel	Peri. Circuits
Small Junction Capacitance	Large Read Signal	High-Speed Operation
Simple/Complete Isolation	Excellent Soft-Error Immunity	Latch-up Free Area Reduction
Small Back-Gate Bias Effect	Large Write Signal S/A	Low-Voltage Operation
Reduced Current Leakage Paths	Improved Static Retention Time	Low Stand-By Current
High Drivability Small S-Factor (FD Devices)	-	High-Speed Op. Low Stand-By Current
Flexible Body Potential Control (PD Devices)	-	High-Speed Op. Low Stand-By Current

그러나 상기의 주목할 만한 SOI 기술의 장점에도 불구하고 소자 특성면에서 반드시 해결되어야 할 SOI 기술만의 문제점이 있으며 이러한 문제점의 해결 여부에 따라 SOI 기술이 향후 반도체 산업의 주류로써 부상할 수 있느냐 없느냐가 달려있다. SOI 기술의 단점은 표 2와 같이 요약될 수 있다.

- 1) SOI 소자의 분리를 위해 사용되는 Isolation 방법에 따라 Subthreshold 영역에서의 누설 전류 특성이 다르게 나타난다. Isolation 방법에 따라 기생 MOS 소자가 형성되는 기구가 다르기 때문이다. 이러한 기생 MOS 소자로 인해 DRAM의 Static Retention 특성이 취약해질 수 있다 [6], [7].

- 2) 벌크 실리콘 소자와는 달리 SOI 소자의 Body는 Floating되어 있으며 이로 인해 SOI 소자의 Body는 불안정하게 된다. 따라서 소자의 문턱 전압이 불안정해지고 소스/드레인 간의 항복 전압이 낮아지게 된다. 이러한 SOI 소자의 Body Floating 특성으로 인해 DRAM의 생산성 저하, 낮은 Boosted Voltage에 의한 Write 신호의 감소, 그리고 취약한 Dynamic Retention 특성이 나타난다 [8], [9].
- 3) SOI 소자는 절연막 위의 얇은 실리콘 층에 형성되기 때문에 접촉 저항 및 소스/드레인의 면저항이 증가하게 된다. 이러한 저항의 증가는 회로의 동작 속도의 저하를 야기할 수 있다 [10].

표 2. DRAM에 있어서 SOI 소자의 단점 (Disadvantages of SOI Devices for DRAM application)

Problems	Disadvantages	DRAM Issues
Isolation Issue /Parasitic MOS Effec	Leakage Current Increase	Poor Static-Retention Characteristics
Body-Floating Issue/Parasitic Bipolar Tr.	Vt Instability Lowering BVdss Body-Potential Instability	Poor Product Small Write Vtg Poor Dynamic Retention Time
Thin-Film Issue /High Resistance	High Contact & Sheet Resistance	Decreased Speed Operation

상기의 SOI 소자의 문제점을 해결하기 위해 많은 연구가 진행되고 있으며 일부 항목은 주목할 만한 특성 향상을 보였으나 Floating Body와 같은 일부 항목은 아직 답보 상태에 있다. 그러나 일부 회사에서는 Floating Body와 관련된 특성을 회로 설계 기법을 이용하여 어느 정도 성과를 얻었다 [11].

상부 실리콘 층의 두께가 약 150 nm인 SOI 웨이퍼를 이용하는 박막 SOI 소자(Conventional SOI, 이하 C-SOI)를 이용하여 메모리 소자를 제작하고자 하는 경우에는 주로 두가지 전략이 이용되고 있다. 하나는 구동 전압을 1 V 정도 이하로 낮춤으로써 회로 동작 시 Body Floating과 관련된 효과가 나타나지 않도록 함으로써 안정된 회로 동작 특성을 확보하는 것이고, 다른 하나는 높은 전압의 구동 전압을 인가하되 Body Floating에 의해 특성이 취약해질 것

으로 예상되는 Boosted Voltage Generator, Sense Amplifier, Word-Driver 회로 그리고 회로 상에 문제가 발생할 가능성이 높은 일부 트랜지스터 등에 Body-Tied 구조를 적용함으로써 회로 동작 시 Floating Body에 의한 오동작을 방지하는 방법이다. 그러나 상기의 방법은 새로운 회로 설계 및 마스크 제작을 필요로 하는 문제점을 안고 있어 기존의 메모리 제조 회사의 입장에서는 연구 개발비가 추가로 증가하기 때문에 SOI 소자를 이용한 메모리 개발에 소극적인 입장을 취하고 있다. 한편, 최근 벌크 실리콘 소자에서 사용되는 동일한 마스크를 이용하고 약간의 공정 변경 만을 통해 메모리 소자를 제작할 수 있는 기술이 발표되었다. 이 기술은 기존의 C-SOI 소자와는 달리 필드 산화막 형성 시 산화 시간을 조절하여 필드 산화막 하부에 일정 두께의 실리콘 층을 남기고 이 층을 통해 소자의 Body 전위를 조절함으로써 SOI 소자의 가장 큰 단점인 Floating Body 효과를 제거할 수 있으며, 또한 주목할 만한 것은 기존의 벌크 실리콘 소자에서 사용된 마스크를 그대로 적용할 수 있다는 특징을 갖고 있다. 이러한 SOI 소자를 Body-Contacted SOI(이하 BC-SOI)라고 한다[12].

본 논문에서는 BC-SOI 소자의 특성 및 응용에 대한 실험 결과를 제시하고자 한다. 제 2 장에서는 BC-SOI 소자의 구조, 제작 방법, 전기적 특성에 대해 언급하고자 하며, 제 3 장에서는 BC-SOI 소자를 이용하여 제작된 메모리 소자의 특성에 대해 소개하고, 끝으로 제 4 장에서는 본 연구를 요약하고자 한다.

## 제 2 장 BC-SOI 소자의 제반 특성

### 2-1. BC-SOI 소자의 구조

SOI 소자에서 가장 문제가 되는 Floating Body 효과를 제거 하기 위해 많은 연구가 진행되었다. 예를 들어, LDD/LDS 구조를 이용하는 방법, 소자의 Body를 소스에 연결하는 방법[13], Ge 이온을 주입하여 Body에 Recombination Center를 형성하는 방법[14], 소스에 Ge 또는 Ar 이온을 주입하여 Bandgap을 조절하는 방법[15], Body에 바이어스를 인가하는 방법[16], [17], 그리고 FD 소자를 이용하는 방법 등이 보고되고 있다. 그러나 이러한 방법들은 각각 장단점을 갖고 있으며 아직 양산에 적용할 수 있을 만큼 최적화되는 않은 상태이다. 이에 반해 소자 분리를 위한 필드 산화막 형성 시 산화 시간

을 조절하여 필드 산화막의 하부에 일정 두께의 실리콘 층을 남기고 이를 통해 소자의 Body 전위를 조절하는 기술인 BC-SOI 소자 구조는 기존의 벌크 실리콘 소자에 적용된 마스크 및 공정을 그대로 적용할 수 있기 때문에 양산에 적합한 기술로 평가되고 있다. 그림 1은 BC-SOI 소자의 단면도를 나타낸다. 그림에서 보는 바와 같이, 필드 산화막과 매몰 산화막(Buried Oxide) 사이에 일정 두께의 실리콘이 존재하게 된다. 또한 Well 전극에 의한 Body 전위의 조절을 용이하게 하기 위해 필드 산화막 하부의 실리콘 층에 불순물 이온을 주입한다. 따라서 소자 동작 시 드레인 영역에서 Impact Ionization에 의해 발생된 정공에 의한 Body 전위의 증가는 상기의 실리콘 층을 통한 Well 전극에 의해 효과적으로 제거될 수 있기 때문에 기존의 SOI 소자에서의 Body 전위 증가에 의한 문턱 전압의 감소 및 이에 따른 드레인 전류의 순간적인 증가(Kink로 호칭됨)가 극적으로 억제되며 또한 소스와 드레인 간의 항복 전압(B-Vdss, Drain-to-Source Breakdown Voltage)도 증가하게 된다. 한편 소자의 문턱 전압은 기존의 벌크 실리콘 소자 및 C-SOI 소자의 경우와 같이 이온 주입 방법을 통해 조절된다.

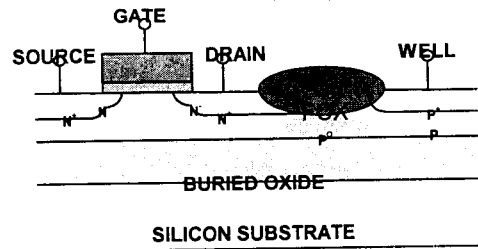


그림 1. BC-SOI 소자의 단면도(A schematic cross-sectional of BC-SOI MOSFET)

### 2-2. BC-SOI 소자 제작 공정

BC-SOI 소자는 8인치 SOI 웨이퍼에 N+폴리게이트를 이용한 표준 CMOS 공정에 의해 제작되었다. 소자 제작에 사용된 SOI 웨이퍼의 상부 실리콘 층과 매몰 산화막의 두께는 각각 200 nm와 400 nm이다. 소자 분리를 위해 LOCOS 공정이 사용되었으며, 이때 패드 산화막과 패드 질화막의 두께는 각각 15 nm와 253 nm이었으며 성장된 필드 산화막의 두께

가 220 nm이고 따라서 필드 산화막 하부에 존재하는 실리콘 층의 두께는 약 70 nm 정도이다. Isolation 공정 완료 후의 단면 SEM 분석 결과를 그림 2와 같다.

Surface Channel의 NMOS와 Buried Channel의 PMOS가 제작되었으며 두 소자에서의 문턱 전압 조절을 위한 이온 주입 조건은  $\text{BF}_2$ ,  $4 \times 10^{12} \text{ cm}^{-2}$ 이다. 필드 산화막 하부의 실리콘 층을 도핑하기 위한 이온 주입 조건은 NMOS 영역의 경우에는  $\text{B}^{11}$ ,  $1 \times 10^{13} \text{ cm}^{-2}$ 이고 PMOS 영역의 경우에는  $\text{P}^{31}$ ,  $5 \times 10^{12} \text{ cm}^{-2}$ 이다. 게이트 산화막과 폴리 실리콘 게이트의 두께는 각각 8.0 nm와 150 nm이다. 또한 비교를 위해 벌크 실리콘 소자와 C-SOI 소자가 동일한 공정을 거쳐 제작되었다. 이때 C-SOI 소자 제작에 사용된 SOI 웨이퍼의 실리콘 층의 두께는 80 nm이었으며 두 소자 제작에 이용된 Isolation 공정은 상기의 BC-SOI 소자의 경우와는 약간 상이하다.

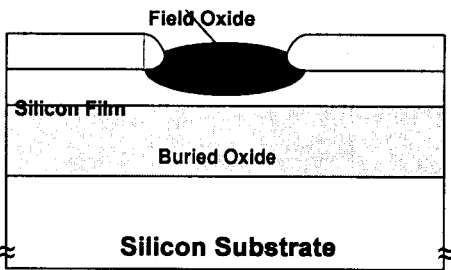


그림 2. Isolation 공정 후의 필드 영역의 단면도(A cross-sectional view of field region after isolation process)

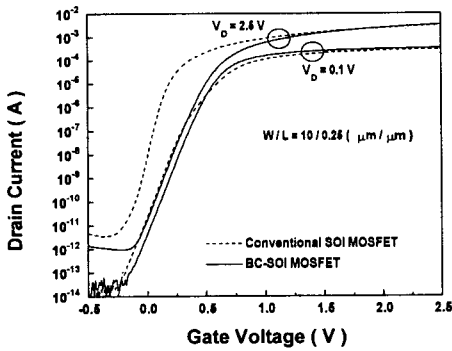
### 2-3. BC-SOI 전기적 특성

이번 절에서는 BC-SOI 소자의 전기적 특성에 대해 살펴보기로 한다. 그림 3은 BC-SOI NMOS와 C-SOI NMOS 소자의 전류-전압 특성을 나타낸다. 그림 3(a)에서 보는 바와 같이, 두 종류의 SOI 소자는 약 0.55 V의 동일한 문턱 전압을 갖고 있으며 전류 구동력 또한 2.5 V의 드레인 전압에서 약 3.3 mA 정도로 유사한 특성을 나타내었다. 그러나 BC-SOI 소자는 C-SOI 소자에 비해 우수한 DIBL(Drain-Induced Barrier Lowering) 특성을 나타내었다. 즉, 1 mA의 드레인 전류를 기준으로 할 때, BC-SOI 소자는 약 55 mV 정도의 DIBL 특성을 나타내는데

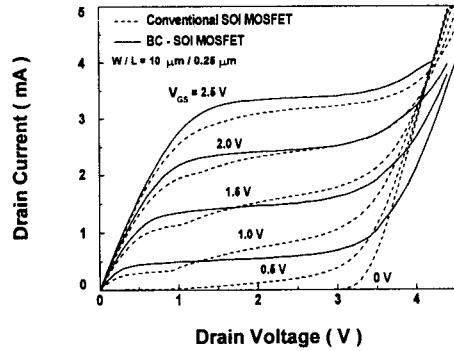
반해 C-SOI 소자는 약 320 mV 정도로 매우 취약한 DIBL 특성을 보였다. C-SOI 소자는 Floating Body에 의한 기생 바이폴라 트랜지스터의 영향으로 인해 드레인 전압이 증가함에 따라 소자의 문턱 전압이 감소하기 때문에 이와 같이 취약한 DIBL 특성을 보이고 있는 것으로 생각된다. 한편, BC-SOI 소자의 경우에는 소자의 Body가 필드 산화막 하부의 실리콘 층을 통해 Well 전극에 전기적으로 연결되어 있기 때문에 드레인 영역에서 Impact Ionization에 의해 발생된 정공은 Well 전극을 통해 쉽게 빠져나갈 수 있다. 따라서 BC-SOI 소자는 C-SOI 소자와는 달리 정공에 의한 Body 전위의 증가에 따른 문턱 전압의 감소 현상을 나타내지는 않는다. 이러한 두 소자 사이의 차이는 그림 3(b)의 드레인 전류-드레인 전압 특성 곡선에서도 쉽게 알 수 있다. 드레인 전압이 증가함에 따라 C-SOI 소자에서는 드레인 전류가 순간적으로 증가하는 Kink 현상이 나타나는 반면, BC-SOI 소자에서는 드레인 포화됨을 알 수 있다. 한편 PMOS 소자의 경우에는, Impact Ionization에 대한 PMOS 소자의 내성으로 인해 상기 두 종류의 소자간에 별 다른 특성 차이는 보이지 않는다.

C-SOI 소자와 BC-SOI 소자의 게이트 길이에 따른 소스와 드레인 간의 항복 전압  $\text{BV}_{\text{dss}}$  특성은 그림 4와 같다. 여기서 항복 전압  $\text{BV}_{\text{dss}}$ 는 게이트 전압이 0 V일 때  $0.1 \mu\text{A}/\mu\text{m}$ 의 드레인 전류에 상응하는 드레인 전압으로 정의된다. 측정에 사용된 BC-SOI 소자에서 Body 중심에서 Well 전극까지의 거리는  $150 \mu\text{m}$ 이었다. 그림에서 보는 바와 같이, BC-SOI 소자는 C-SOI 소자에 비해 월등히 향상된 항복 전압  $\text{BV}_{\text{dss}}$  특성을 나타내었다. 예를 들어,  $0.2 \mu\text{m}$ 의 채널 길이에 대해 BC-SOI 소자는 C-SOI 소자에 비해 약 6 V 정도 만큼 큰 값인 8 V 정도의 항복 전압  $\text{BV}_{\text{dss}}$ 을 보였다. 이러한 차이는 BC-SOI 소자에 있어서 Well 전극에 의해 Body 전위의 증가가 억제되기 때문으로 생각된다. 비록 BC-SOI 소자에서 필드 산화막 하부의 실리콘 층의 면저항( $183 \text{ k}\Omega/\square$ )이 벌크 실리콘 소자의 Well 저항( $71 \text{ k}\Omega/\square$ )에 비해 크다 하더라도 정공에 의한 Body 전위의 증가는 Well 전극에 의해 효과적으로 억제될 수 있다.

BC-SOI 소자와 C-SOI 소자에서 정공에 의해 Body 전위가 어느 정도 증가하는지 알아보기 위해 드레인 전압을 3.3 V로 고정시킨 후 게이트 전압에 따른 두 소자의 Body 전위를 측하였으며 그 결과는 그림 5와 같다. Body 전위 측정을 위해 특수 구조의 소자가 제작되었으며, BC-SOI 소자의 경우에



(a)



(b)

그림 3. BC-SOI 소자 및 C-SOI 소자의 전류-전압 특성. (a) 드레인 전류-게이트 전압 특성 (b) 드레인 전류-드레인 전압 특성.

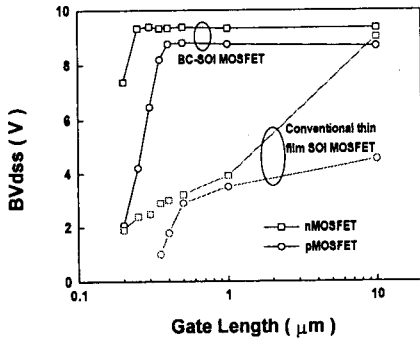


그림 4. BC-SOI 소자 및 C-SOI 소자의 게이트 길이에 따른 항복 전압 BVdss 특성

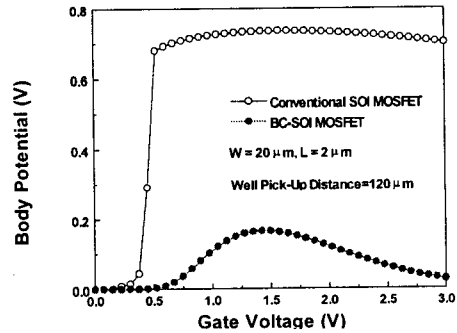


그림 5. BC-SOI 소자와 C-SOI 소자에서의 게이트 전압에 따른 Body 전위의 변화.

Body의 중심에서 Well 전극까지의 거리(Well Pick Distance)는  $120 \mu\text{m}$ 였다. 그림에서 보는 바와 같이, BC-SOI 소자의 Body 전위는 최대  $0.17 \text{ V}$ 까지밖에 증가하지 않은 반면, C-SOI 소자의 경우에는 Body 전위가  $0.7 \text{ V}$ 까지 급격하게 증가하였다. 여기서  $0.7 \text{ V}$ 의 Body 전위는 C-SOI 소자에서 기생 바이폴라 트랜지스터를 동작시킬 수 있는 임계 전압이다. 따라서 BC-SOI 소자에서 드레인 전류의 Kink 현상 제거 및 항복 전압 BVdss의 증가는 Well 전극에 의한 Body 전위의 증가 억제에 의한 것임을 알 수 있다.

한편, BC-SOI 소자 구조에서 Well Pick-up Distance의 영향을 관찰하기 위해 Well Pick-up Distance를 변수로 하여 Well 전압에 따른 소자의 문턱 전압의 변화를 측정하였다. 그림 6은 측정 결과

를 나타내며 비교를 위해 벌크 실리콘 소자에 대한 측정 결과도 함께 도시하였다. 그림으로부터  $-2 \text{ V}$ 까지의 Well 전압에 대해서는 벌크 실리콘 소자의 경우와 유사한 결과를 나타내었으나 그 이상의 Well 전압에 대해서는 문턱 전압이 변화하지 않음을 알 수 있다. 즉, 특정치 이상의 Well 전압에서는 필드 산화막 하부의 실리콘 층이 공핍되어 Well 전극에 의해 Body 전위가 변화하지 않음을 의미한다. 이와 같이 특정 조건하에서는 벌크 실리콘 소자와 같이 동작함을 알 수 있다. Well Pick-up Distance의 변화에 따라서는 측정된 범위 내에서는 벌크 실리콘 소자의 경우와 같이 별다른 차이점을 보이지는 않았다.

기존의 벌크 실리콘 소자와 비교하여 SOI 소자가 갖고 있는 가장 큰 장점은 작은 접합 용량으로 인해 저 전압 및 고속 회로 동작이 가능하다는 것은 이미

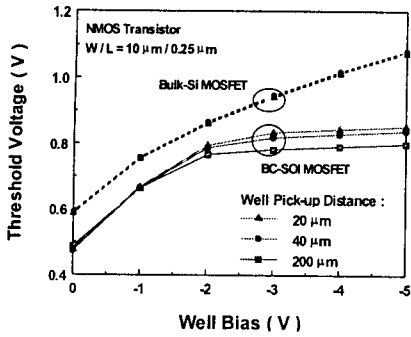


그림 6. BC-SOI 소자와 벌크 실리콘 소자의 Well 전압에 따른 문턱 전압의 변화

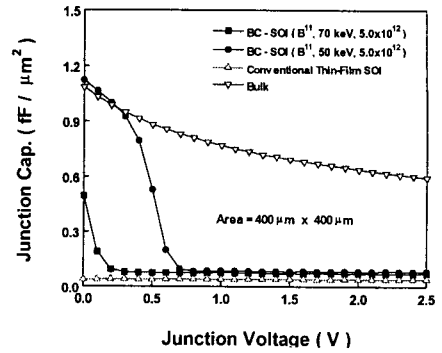


그림 7. BC-SOI 소자, C-SOI 소자, 벌크 실리콘 소자의 인가 전압에 따른 접합 용량의 변화.

주지한 바이다. 따라서 BC-SOI 소자 또한 이와 같은 장점을 갖고 있는 지를 살펴 보기 위해 인가 전압에 따른 접합 용량을 측정하였다. 또한 비교를 위해 벌크 실리콘 소자 및 C-SOI 소자의 경우에 대해서도 동일한 측정을 수행하였으며 그 결과는 그림 7과 같다. 측정에 사용된 소자의 접합 깊이는 약 100 nm 정도였으며 제로 바이어스에서의 공핍층의 폭은 Field-Stop Implant 조건에 따라 다르지만 대략 60 nm~80 nm 정도였다. C-SOI 소자의 인가 전압에 따른 접합 용량의 변화는 예상한 대로 전압의 변화에 거의 무관하고 용량 자체도 무시할 수 있을 정도로 매우 작게 측정되었다. C-SOI 소자의 소스와 드레인 영역은 메몰 산화막에 접해있기 때문이다. 그러나 벌크 실리콘 소자의 경우에는 인가 전압이 증가함에 따라 공핍층의 폭이 증가하기 때문에 접합 용량은 인가 전압에 따라 점차 감소하는 특성을 보였다. 반면에 BC-SOI 소자의 경우에는 상기 두 종류의 소자를 결합해 놓은 듯한 특성을 보였다. 인가 전압이 작은 경우에는 인가 전압에 따라 공핍층이 증가하고 이에 따라 접합 용량이 점차 감소하는 특성을 보이고 있으나 공핍층이 메몰 산화막에 닿을 정도의 전압이 인가되었을 경우에는 접합 용량이 급격하게 감소하여 C-SOI 소자의 접합 용량과 같은 특성을 보였다. 물론 접합 용량이 급격하게 감소하는 특성은 Field-Stop Implant 조건에 따라 약간 차이가 있음을 알 수 있다. 이러한 측정 결과로부터 BC-SOI 소자 또한 C-SOI 소자와 마찬가지로 고속 회로 동작에 적합함을 알 수 있다.

접합 용량에 대한 측정 결과로 예측된 고속 회로 동작에 대한 가능성을 확인하기 위해 BC-SOI 소자, 벌크 실리콘 소자, 그리고 C-SOI 소자를 이용하여

Ring Oscillator를 제작하였으며 각각의 회로에 대한 게이트 지연 특성을 측정하였다. 그림 8은 세 종류의 회로에서 인가 전압에 따른 게이트 지연 시간 특성을 나타낸다. 인가 전압이 2.5 V인 경우에, C-SOI 소자는 38 ps, BC-SOI 소자는 47 ps, 그리고 벌크 실리콘 소자는 81 ps의 게이트 지연 특성을 나타내었다. 먼저, BC-SOI 소자가 벌크 실리콘 소자에 비해 우수한 게이트 지연 특성을 보이며 인가 전압이 감소함에 따라 이러한 차이는 더 커짐을 알 수 있다. 한편 그림 7에서 인가 전압이 임계치 보다 큰 경우에 BC-SOI 소자의 접합 용량 특성은 C-SOI 소자의 경우와 거의 같은 특성을 보였음에도 불구하고 게이트 지연 특성은 C-SOI 소자가 더 우수한 영향을 나타내었다. 이러한 차이는 C-SOI 소자에서 Floating Body 효과에 의한 전류의 증가 및 문턱 전압의 감소에 의해 지연 시간이 더욱 작아졌기 때문

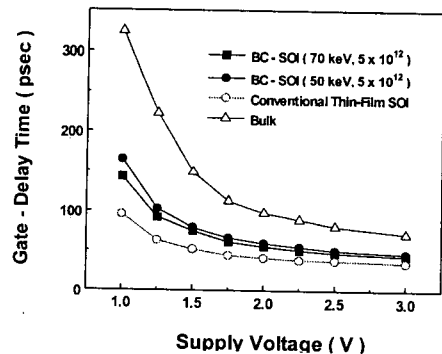


그림 8. BC-SOI 소자, C-SOI 소자, 벌크 실리콘 소자의 공급 전압에 따른 게이트 지연 특성.

이다. 그러나 이와 같은 C-SOI 소자에서의 Floating Body 효과에 의한 전류의 이상적인 증가는 회로의 오동작을 유발할 수 있기 때문에 그리 바람직하지 못한 것으로 알려져 있다.

### 제 3 장 BC-SOI 소자의 응용

BC-SOI 소자 구조의 메모리 소자에의 응용 가능성을 타진하기 위해 DRAM과 SRAM 소자를 제작하였다. 이번 장에서는 제작된 DRAM 및 SRAM 소자의 제원 및 특성에 대해 언급하고자 한다.

#### 3-1. DRAM 소자에의 응용

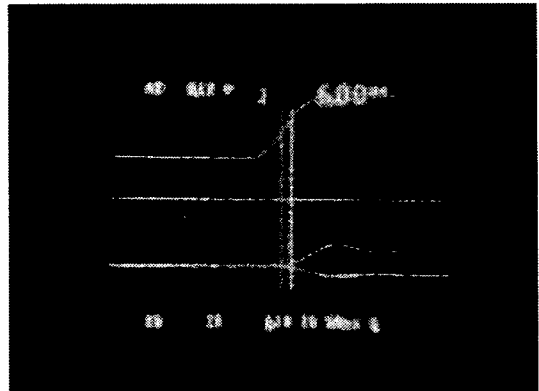
BC-SOI 소자 구조를 이용하여 64Mb와 1Gb SOI DRAM을 제작하였으며 벌크 실리콘 소자 제작에 사용된 동일한 마스크 및 공정을 그대로 적용하였다. 먼저 64Mb SOI DRAM 소자의 제원 및 특성에 대해 설명하고자 한다. 동기화(Synchronous) 동작 특성을 갖는 64Mb SOI DRAM을 BC-SOI 소자 구조 및 0.32  $\mu\text{m}$  CMOS 공정 기술을 이용하여 제작하였다[18]. 동작 특성의 비교를 위해 벌크 실리콘을 이용한 벌크 64Mb DRAM을 동일한 공정을 이용하여 제작하였다. 64Mb SOI DRAM 제작에 적용된 주요 공정 조건은 표 3과 같다.

표 3. 64Mb SOI DRAM 제작에 사용된 주요 공정 조건(Typical process conditions of 64Mb SOI DRAM)

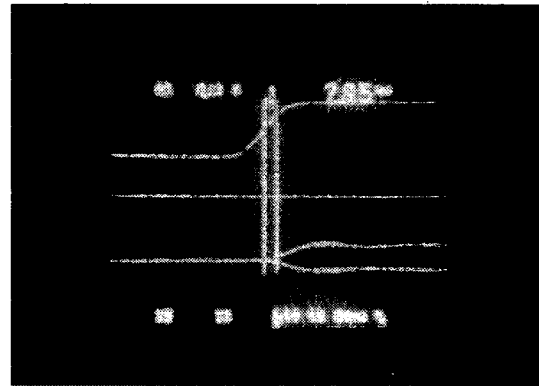
Thickness of silicon Film	200 nm
Thickness of Buried Oxide	400 nm
Thickness of Gate Oxide	8 nm
ONO(SiO <sub>2</sub> equivalent)	5.5 nm
Peripheral NMOS	0.43 $\mu\text{m}$
Peripheral PMOS	0.48 $\mu\text{m}$
Cell Size	0.832 $\mu\text{m}$ × 1.504 $\mu\text{m}$
Chip Size	9.16 mm × 16.80 mm
Cell Capacitance	21 fF/cell
Technology	0.32 $\mu\text{m}$ , Triple-Well, Two Metals
Operating Current	60 mA
Organization	4M × 16 bit

두 종류의 64Mb DRAM의 동작 특성을 비교하기

위해 Data Readout 특성을 측정하였으며 그 결과는 그림 9와 같다. 먼저, 그림 9 (a)로부터 SOI DRAM이 정상적인 Data Read 특성을 보임을 알 수 있다. 두 소자의 특성 차이는 그림 9로부터 알 수 있듯이, 벌크 DRAM의 Access Time은 7.8 ns인데 반해 BC-SOI 소자 구조를 갖는 SOI DRAM의 Access Time은 20 % 정도 향상된 6 ns였다. 제 2장의 그림 8에서 살펴 보았듯이 BC-SOI 소자가 벌크 실리콘 소자에 비해 약 36 % 정도 향상된 게이트 지연 특성을 갖고 있음에도 불구하고 실제 회로 상에서는 이 보다 적은 20 % 정도밖에 동작 속도 향상을 얻지 못한 이유는 제작된 DRAM 회로 자체가 벌크 실리콘 소자에 적합하도록 설계되었기 때문으로 생각된다. 이러한 결과로부터 만약 몇몇 주요 변수의 최적화가 이루어진다면 BC-SOI 소자 구조를 이용하여



(a)



(b)

그림 9. 64Mb SOI DRAM (a) 및 벌크 DRAM (b)의 Data Readout 동작 특성.

고 성능의 고집적 DRAM 소자를 제작할 수 있음을 암시한다.

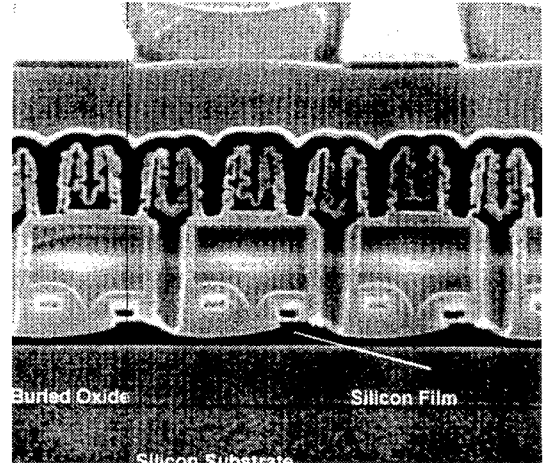
상기의 BC-SOI 소자 구조를 이용한 64Mb SOI DRAM의 성공적인 제작을 발판으로 동일 구조를 갖는 1Gb SOI DRAM 소자를 제작하게 되었다 [19]. 소자 제작에 사용된 SOI 웨이퍼의 상부 실리콘 층과 메몰 산화막의 두께는 각각 200 nm와 400 nm이다. 소자 분리를 위해 SLOCOS 공정을 적용하였으며 이때 성장된 필드 산화막의 두께는 250 nm이고 필드 산화막 하부에 존재하는 실리콘 층의 두께는 약 75 정도였다. 셀 커채시터는 원통형 구조로 형성되었으며 커패시터 유전체로 4.3 nm의 NO 박막이 사용되었다. 측정된 셀량은 셀당 15fF이었다. 1Gb SOI DRAM 소자 제작에 사용된 주요 공정 조건은 표 4와 같다.

이러한 공정을 거쳐 제작된 1Gb SOI DRAM의 셀 단면 SEM 및 칩 사진은 그림 10과 같다. 이러한 1Gb SOI DRAM은 벌크 DRAM용으로 제작된 마스크 및 공정을 이용하여 성공적으로 제작되었기 때문에 향후 양산에의 적용이 기대되며 설계 최적화 및 공정 최적화가 이루어진다면 벌크 DRAM에 비해 월등히 향상된 SOI DRAM을 제작할 수 있을 것이다. 특히 SOI 소자의 장점을 최대한 이용하기 위해서는 SOI 전용의 회로 설계가 필요할 것으로 생각된다. 반면에 제작 공정면에서는 기존의 벌크 실리콘 소자 제작에 이용된 공정 변수의 미세 조정만으로도 가능할 것으로 예상된다. 상기의 제작된 1Gb SOI DRAM의 주요 제원은 표 5와 같다.

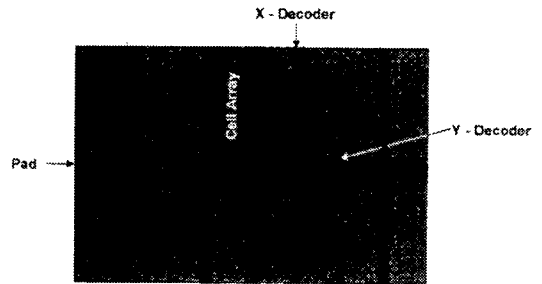
표 5. 제작된 1Gb SOI DRAM의 주요 특성  
(Typical features of 1Gb SOI DRAM)

Organization	2-bank, x16, 200 Mbit
I/O Interface	SSTL
Vcc	2.2±0.2 V
Latency	6 ns
Refresh	CBR only, 32k/128 ms
Data Transfer Rate	400 M byte/sec
# of Redundancy	1024 Row & 1024 Column
Package	900 mil SOJ 62LD
Chip Size	21.76×31.77=691 mm <sup>2</sup>

### 3-2. SRAM 소자에의 응용



(a)



(b)

그림 10. BC-SOI 소자 구조를 이용하여 제작된 1Gb SOI DRAM의 Cell 단면도 (a) 및 칩 사진 (b).

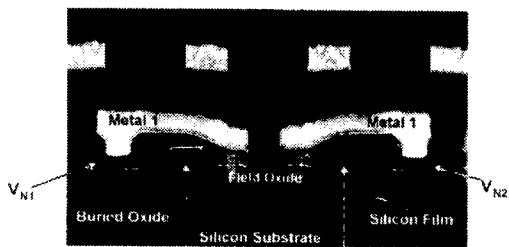
DRAM 구조외에 BC-SOI 소자 구조를 이용하여 SRAM 소자를 제작하였다[20]. 벌크 SRAM 소자의 마스크와 0.32 mm Full CMOS 공정을 이용하여 2M Slow SOI SRAM 소자를 제작하였다. 또한 비교를 위해 동일한 공정을 이용하여 벌크 2M Slow SRAM도 제작하였다. DRAM에서와 마찬가지로 Isolation 공정 조건 외의 다른 공정 조건은 거의 같으며 주요 공정 조건은 표 6과 같다.

BC-SOI 소자 구조를 이용하여 제작된 2M Slow SOI SRAM 소자의 Cell 단면 SEM 및 칩 사진은 그림 11과 같다. DRAM 소자와 달리 SRAM 소자 제작에는 상부 실리콘 층의 두께가 250 nm인 SOI 웨이퍼를 이용하였다. 표 7에 요약된 두 종류의 2M Slow SRAM 소자의 주요 특성에서 보듯이, SOI SRAM 소자가 벌크 SRAM 소자에 비해 훨씬 적은

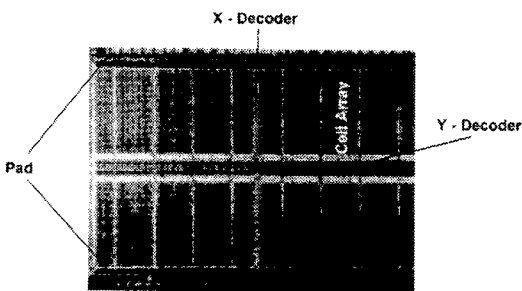


표 6. 2M Slow SOI SRAM의 주요 공정 조건  
(Typical process conditions of 2M Slow SOI SRAM)

SOI Substrate	
Top Silicon Film	250 nm
Buried Oxide	400 nm
Dielectric Film	
Field Oxide	350 nm
Gate Oxide	8.0 nm
Cell Transistor	
Gate Length(Access Tr.)	0.38 $\mu\text{m}$
Gate Length(Drive Tr.)	0.33 $\mu\text{m}$
Gate Length(Load Tr.)	0.52 $\mu\text{m}$
Peripheral Transistor	
Gate Length(NMOS)	0.52 $\mu\text{m}$
Gate Length(PMOS)	0.33 $\mu\text{m}$
Cell Size	14.13 $\mu\text{m}^2$
Power Supply Voltage	2.0 V
Cell Size	55.44 $\text{mm}^2$
Standby Current	$\leq 10 \mu\text{A}$

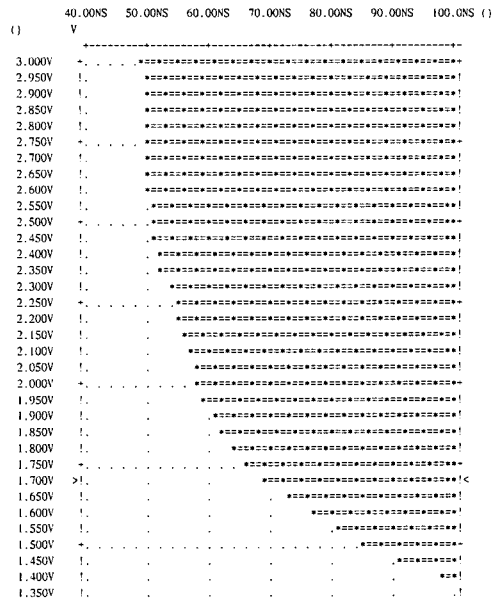


(a)

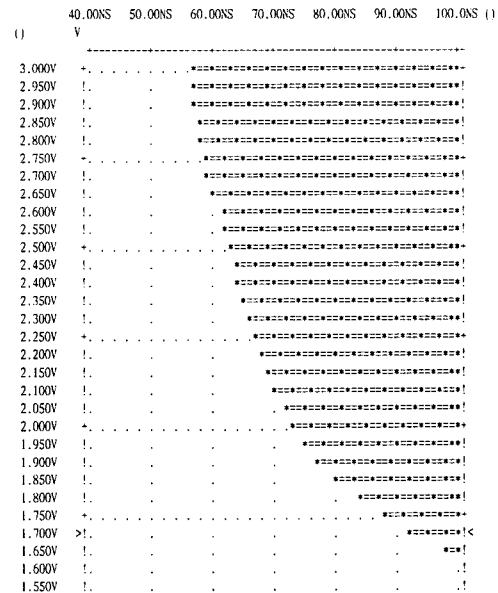


(b)

그림 11. BC-SOI 소자 구조를 갖는 2M Slow SOI SRAM의 Cell 단면도 (a) 및 칩 사진 (b).



(a)



(b)

그림 12. 2M Slow SOI SRAM (a)과 벌크 SRAM (b)의 동작 전압 변화에 따른 Access Time 특성(Shmoo Plot)

접합 용량을 갖고 있다. 이러한 접합 용량의 감소로 인해 동작 전압이 1.7 V인 경우에 SOI SRAM 소자는 벌크 DRAM 소자(Access Time : 92 ns)에 비해 약 20% 정도 향상된 69 ns의 Access Time을 나타내었다. 이러한 특성은 그림 12의 Shmoo Plot으로부터 쉽게 알 수 있다. 또한 그림 12로부터 SOI SRAM 소자는 1.7 V 이하의 동작 전압에서도 만족할 만한 특성을 보임을 알 수 있다. SRAM 셀의 특성을 평가하는 Cell Stability 특성면에서도 SOI SRAM은 벌크 SRAM에 비해 우수한 특성을 보임을 그림 13으로부터 알 수 있다.

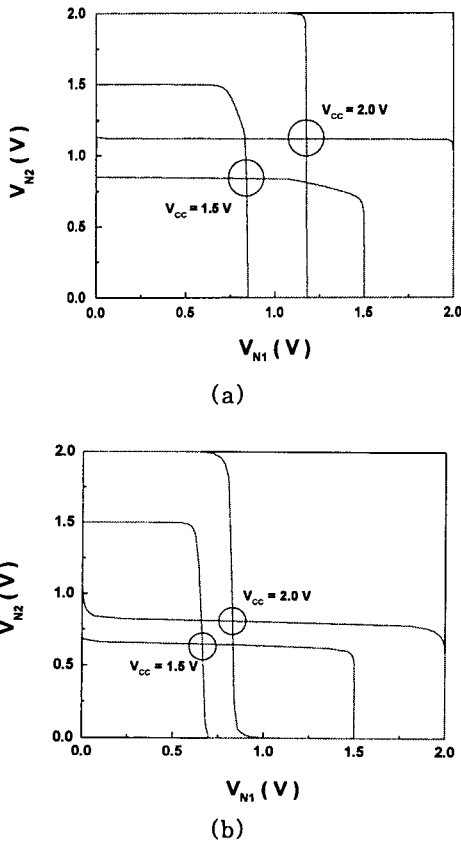


그림 13. 2M Slow SOI SRAM (a)과 벌크 SRAM (b)의 Cell Stability 특성.

#### 제 4 장 결 론

본 논문에서는 SOI 소자를 이용하여 메모리 소자를 제작하는 경우에 예상되는 장점 및 단점을 살펴보

았다. 기존의 C-SOI 소자를 이용할 경우 작은 접합 용량 및 누설 전류의 감소로 인해 소자의 동작 속도 및 Static Retention 특성의 향상을 기대할 수 있으나 반면에 SOI 소자의 Floating Body 효과로 인해 회로 동작의 불안정 및 Dynamic Retention 특성의 취약성 등이 예상된다. 따라서 C-SOI 소자를 이용하여 DRAM 소자를 제작하기 위해서는 SOI 소자의 Floating Body 효과를 먼저 해결해야 할 것으로 생각된다.

한편 필드 산화막 하부에 일정 두께의 실리콘을 남기고 이 층을 통해 소자의 Body 전위를 조절할 수 있는 구조인 BC-SOI 소자 구조가 제안되었다.

기존의 C-SOI 소자에 비해 BC-SOI 소자는 DIBL 특성 향상, 항복 전압 BV<sub>dss</sub>의 증가, 기생 바이폴라 트랜지스터에 의한 드레인 전류의 Kink 현상의 제거 등의 장점을 갖고 있다. 이러한 장점은 BC-SOI 소자에서 필드 산화막 하부의 실리콘 층을 통해 전기적으로 연결된 Well 전극에 의해 소자의 Body 전위의 증가가 효과적으로 억제되는 특성에 기인한다. 회로 응용 측면에서 볼 때, BC-SOI 소자는 C-SOI 소자와 유사한 접합 용량 특성 및 게이트 지연 특성을 보였다. 특히 BC-SOI 소자의 접합 용량은 인가 전압에 의해 공핍층이 메몰 산화막에 닿자마자 급격하게 감소하는 경향을 보였다. 이러한 접합 용량의 감소로 인해 BC-SOI 소자는 벌크 소자에 비해 약 36% 정도 향상된 게이트 지연 특성을 보였다.

메모리 소자에의 적용 가능성을 타진하기 위해 BC-SOI 소자 구조를 갖는 64Mb 및 1Gb SOI DRAM과 2M Slow SOI SRAM 소자를 제작하였다. 제작된 모든 SOI 소자가 동일한 공정을 거쳐 제작된 벌크 소자에 비해 회로 동작 속도 면에서 약 20% 정도 향상된 특성을 보임을 확인하였다. 또한 주목할 만한 사항은 BC-SOI 소자 구조를 갖는 메모리 소자 제작 시 벌크 소자에서 사용된 동일한 마스크 및 약간의 공정 변경을 통해 소자 제작이 이루어졌다는 것이다. 따라서 BC-SOI 소자 구조는 양산에 적용 가능한 구조임을 알 수 있다. 만약 BC-SOI 소자의 특성을 최대한 활용할 수 있는 회로 설계 기술을 적용한다면 벌크 소자에 비해 월등한 특성을 갖는 메모리 소자를 제작할 수 있을 것으로 예상된다.

#### 참 고 문 헌

- [1] T. Eimori, T. Oashi, H. Kimura, T. Yamaguchi, T. Iwamatsu, T. Tsuruda, K. Suma, H. Hidaka, Y. Inoue, T. Nishimura,

- S. Satoh, and H. Miyoshi, "ULSI DRAM/SIMOX with stacked capacitor cells for low-voltage operation", IEDM Tech. Dig., p. 45, 1993.
- [2] H. Gotou, Y. Arimoto, M. Ozeki, and K. Imaoka, "A soft error rate of 64k SOI-DRAM", IEDM Tech. Dig., p. 870, 1987.
- [3] Y. Yamaguchi, J. Takahashi, T. Yamaguchi, T. Wada, T. Iwamatsu, H.-O. Joachim, Y. Inous, T. Nishimura, and N. Tsubouchi, "Low-voltage operation of a high-resistivity load SOI SRAM cell by reduced back-gate bias effect", IEICE Trans. Electron., vol. E78-C, No. 7, p. 812, 1995.
- [4] T. Nishimura, H. Moriya, N. Ikeda, H. Aozawa, and Y. Miyazawa, "Data retention in ultra-thin-film-SOI DRAM with buried capacitor cell", Symp. VLSI Tech., p. 39, 1994.
- [5] T. Tanigawa, A. Yoshino, H. Koga, and S. Ohya, "Enhancement of data retention time for giga-bit DRAM's using SIMOX technology", Symp. VLSI Tech., p. 37, 1994.
- [6] T. Elewa, B. Kleveland, S. Cristoloveanu, B. Boubaker, and A. Chovet, "Detailed analysis of edge effects in SIMOX-MOS transistors", IEEE Trans. Electron Devices, Vol. 39., p. 874, 1994.
- [7] J. W. Lee, M. H. Nam, J. H. Oh, J. W. Yang, W. C. Lee, H. K. Kim, M. R. Oh, and Y. H. Koh, "Effects of buried oxide stress on thin-film silicon-on-insulator metal-oxide-semiconductor field-effect-transistor", Applied Phys. Lett., Vol. 72, No. 6, p. 677, 1998.
- [8] J. Tihanyi and H. Schlotterer, "Influence of the floating substrate potential on the characteristics of ESFI MOS transistor", Solid-State Electron., Vol. 18, p. 309, 1975.
- [9] J. Chen, F. Assaderaghi, H.-J. Wann, P. Ko, and C. Hu, "An accurate model of thin-film SOI MOSFET breakdown voltage", IEDM Tech. Dig., p. 671, 1991.
- [10] Y. Yamaguchi, T. Nishimura, Y. Akasaka, and K. Fujibayashi, "Self-aligned silicon technology for ultra-thin SIMOX MOSFET's", IEEE Trans. Electron Devices, Vol. 39, p. 1179, 1992.
- [11] C. T. Chuang, P. F. Lu, and C. J. Anderson, "SOI for digital CMOS 피냐 : Design considerations and Advances", Proceeding of the IEEE, Vol. 86, No. 4, p. 609, 1998.
- [12] Y.-H. Koh, J.-H. Choi, M.-H. Nam, and J.-W. Yang, "Body-contacted SOI MOSFET structure with fully bulk CMOS compatible layout and process", IEEE Electron Device Lett., Vol. 18, No. 3, p. 102, 1997.
- [13] M. Patel, P. Ratnam and C. A. T. Salama, "A novel body contact for SIMOX based SOI MOSFETs", Solid-State Electron., vol. 34, No. 10, p. 1071, 1991.
- [14] M. Yoshimi et al., "Suppression of the floating body effect in SOI MOSFET's by the bandgap engineering method using a Si<sub>1-x</sub>Ge<sub>x</sub> source structure", IEEE Trans. Electron Devices, Vol. 44, p. 423, 1997.
- [15] T. Ohno, M. Takahashi, Y. Kado, and T. Tsuchiya, "Suppression of parasitic bipolar action in ultra-thin-film fully depleted CMOS/SIMOX devices by Ar-ion implantation into source/drain regions", IEEE Trans. Electron Devices, Vol. 45, No. 5, p. 1071, 1998.
- [16] F. Assaderaghi, D. Sinitsky, S. A. Parke, J. Bokor, P. K. Ko, and C. Hu, "Dynamic threshold voltage MOSFET(DTMOS) for ultra-low-voltage 피냐", IEEE Trans. Electron Devices, Vol. 44, p. 414, 1997.
- [17] J. W. Lee, H. K. Kim, J. H. Oh, J. W. Yang, W. C. Lee, J. S. Kim, M. R. Oh, and Y. H. Koh, "A new SOI MOSFET for low power applications", IEEE SOI Conf., p. 65, 1998.
- [18] Y. H. Koh, J. H. Choi, J. W. Yang, M. H. Nam, W. C. Lee, J. W. Lee, and M. R. Oh, "64Mb SOI DRAM technologies

- using body-contacted(BC) structure", IEEE SOI Conf., p. 170, 1997.
- [19] Y. H. Koh, M. R. Oh, J. W. Lee et al., "1Giga bit SOI DRAM with fully bulk compatible process and body-contacted SOI MOSFET structure", IEDM Tech. Dig., p. 579, 1997.
- [20] Y. H. Koh, J. W. Lee, M. R. Oh, and J. H. Oh, "BC(body-contacted) SOI-CMOS technology and its application to highdensity memory", SSDM Proceedings, p. 306, 1998.