

SOI 소자 및 회로의 전망



이혁재
서울대학교 전기공학부 박사과정



정인영
서울대학교 전기공학부 박사과정



국윤재
서울대학교 전기공학부 박사과정



박영준
서울대학교 전기공학부 교수

1. 서론

MOS 소자나 PN 접합을 실리콘 벌크(그림 1(a))에서 제작하지 않고 그림 1(b)와 같이 두꺼운 산화막 위에 존재하는 실리콘 박막 위에 제작하는 SOI(Silicon on Insulator) 구조는 벌크 MOS 소자보다 몇 가지 중요한 장점을 가지고 있다는 것이 인식되면서, 저전력, 고속 회로 응용을 중심으로 많은 연구의 대상이 되어왔다. 그러나 여러 가지 장점을 가지고 있음에도 불구하고 주 회로 응용기술로서

자리를 잡고 있지 못하고 있다. 이는 SOI가 가지는 문제점이 해결되고 있지 못하거나, 벌크 기술을 대체할 만한 큰 장점이 보이지 않기 때문이기도 하다. 과연 SOI 기술이 벌크 기술을 대체할 수 있을까? 아니면 벌크 기술은 그대로 발전하면서, 특수한 응용에서만 사용되는 식으로 발전하게 될까?

모든 기술의 발전이 그러하듯이, 기술 발전에 대한 정답은 존재하지 않는다. 불가능하거나 전혀 경제적이 지 않게 보이던 기술도 여러 연구집단의 노력이나, 경제적 환경변화에 의해서 일반기술로 자리잡는 예가 얼마든지 있기 때문이다.

본 소고에서는 SOI 기술의 현 상황과 문제점, 그리고 발전 가능한 응용 분야를 소자 연구자의 시각에서 일별해 보고자 한다. 이렇게 함으로써, 새롭게 SOI 연구를 시작하려는 연구자에게 도움이 되게 함과 동시에 타 분야 전문가의 비판도 받는 계기가 될 수가 있을 것이다. 처음에는 4단자 소자로서 MOS 소자에 대한 관점을 설명하고, 이러한 관점에서 SOI 소자의 동작 원리와 장단점을 설명하도록 한다. 특히 흔히 간과하기 쉬운 바디의 역할에 대해서 강조함으로써, SOI 단점인 바디 불안정요소와 역으로 바디를 이용하는 방법에 대해서 설명하기로 한다. 특히 이러한 바디를 이용하는 예로서 광센서로서의 가능성에 대해서 설명한 다음, 결론을 맺도록 한다.

2. MOSFET을 보는 시각

그림 1(a)는 벌크 MOS 소자를 보이고 있다. 그림에서 보듯이 게이트, 소스, 드레인 그리고 바디로 구성되어 있다. 게이트와 소스간의 전압을 제어함으로써, 드레인과 소스간의 전류를 제어하고자 하는 것이 이 소자의 역할이다. 여기서 바디는 활성적인 단자(active terminal)로는 역할을 하지 못하고 있으며, 단지 기계적인 지지대, 열을 빼내는 단자, 그리고 단자가 AC적으로 변화하기 위해서 필요한 변위전류를 공급하는 정도의 역할, 그리고 제한적으로 전압을 바꾸어 단자전류를 변화시키는 역할(back bias effect)을 할 정도로 인식되고 있다.

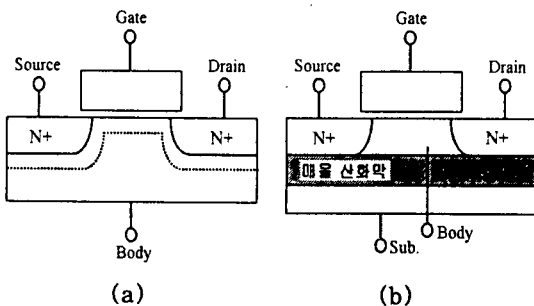


Fig. 1. (a) Four terminal bulk-Si MOSFET and (b) five terminal SOI MOSFET.

이 네 단자는 각각 절연체에 의해서 전기적으로 분리되어 있다. 게이트는 타 단자와 게이트 산화막에 의해서, 그리고 타 단자들은 공핍층(depletion

region)에 의해서 분리되어 있음을 알 수 있다. 게이트 산화막이 매우 양호한 절연물질인 반면에 공핍층은 게이트 산화막에 비해서 열등한 절연물질이다. 또한 절연 정도를 나타내는 저항이 양단에 걸리는 전압(특히 순방향 전압)과 열에 의해서 쉽게 열화 된다는 단점이 있다. 그림 2는 이러한 4단자 소자를 등가 회로로 표시하고 있다(SOI 소자의 경우 sub를 포함하여 5단자 소자가 된다). 그림에서 보듯이 소스-드레인 간에는 채널 저항과 소스/드레인 저항으로 연결되어 있다. 그리고 채널과 바디, 소스/드레인과 바디 사이에는 공핍층 저항과 정전용량이 존재함을 나타내고 있다. 물론 이 저항과 정전용량은 단자전압에 의해 변화하는 비선형성을 가지고 있다.

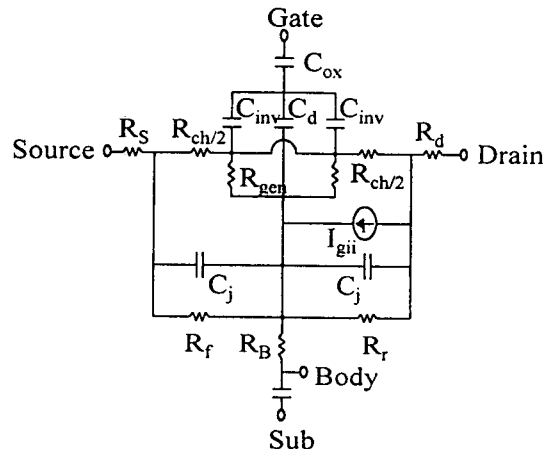


Fig. 2. Equivalent circuit of MOSFET including impact ionization current source I_{gii} .

이러한 시각에 SOI 소자를 분석하기로 하자. 그림 1(b)에서 보듯이 SOI 소자는 바디가 두꺼운 절연막을 통해 다른 벌크 위에서 존재한 모습을 가지고 있다. 바디 실리콘 박막의 두께에 따라서 게이트 전압 동작범위 내에서 바디가 전부 공핍되어 있는 경우와 일부만 공핍되어 있는 경우가 있다. 그림 3(a)와 같은 경우를 PD(Partially depleted), 그림 3(b)를 FD(Fully depleted) 소자라고 부른다. FD 소자에서는 채널과 벌크사이에 공핍층과 back gate 산화막(매몰 산화막 : buried oxide)이 직렬로 연결되어 있게 되는 반면, PD 소자에서는 증성물질인 바디가 존재하게 된다.

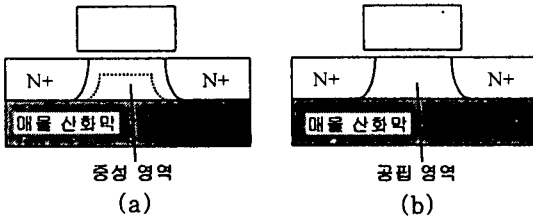


Fig. 3. Comparison of (a) PD-SOI and (b) FD-SOI.

구조에서 이 중성영역 바디 전압을 외부 단자에서 잡아주는 경우와 그냥 플로팅 상태로 두는 경우 두가지 경우가 존재한다. PD 바디전압을 외부에서 잡아주게 되면, 소스/드레인 접합용량 변화를 제외하고는 벌크 소자와 같은 동작을 하게될 것이다. 그러나 외부단자를 레이어아웃에서 따로 만들어 주어야 하므로, 그만큼 소자 면적이 증가하게 되는 단점을 가지게 된다. 이에 비해서 바디를 플로팅시키면, 소자 면적은 최소로 할 수 있으나, 다음 장에서 설명할 플로팅 바디 효과에 의한 문제점들을 감수해야 한다.

3. 각 단자의 역할과 개선방향

3-1. 게이트

게이트는 단자는 MOS 소자의 제어단자로 이 게이트 전압을 제어함으로써, 드레인-소스간 전류를 제어하게 된다. 전기적으로 이 게이트는 저항이 작아야 하고, 소자 제작에 있어서 자기정렬 공정이 가능하기 위해 게이트 형성 후 열처리가 가능하도록 후열처리에도 내성이 있어야 한다. 폴리실리콘과 실리사이드 물질이 알루미늄을 대체한 것이 바로 이러한 성질의 필요성 때문이다. 또한 이 물질의 일함수가 소자의 문턱 전압을 결정하는데 중요한 역할을 한다. 저전력회로에서 문턱 전압이 작아지는 요구와 짧은 채널 효과를 줄이기 위해서 채널 도핑을 높이는 요구를 동시에 만족하기 위해서 게이트 물질의 일함수가 N+ 폴리실리콘보다 작아져야 한다. 이를 위한 대안으로 금속물질이 고려되고 있다[1]. 이 금속 물질은 게이트 자체가 공핍됨에 의한 게이트 드라이브($V_{GS}-V_T$)의 손실을 막아주는 순기능 또한 하는 것이다[2].

3-2. 소스와 드레인

소스와 드레인은 전류를 흘리는 단자로서 역할을

한다. 요구되는 가장 중요한 성질은 저항을 작게 하면서도 접합용량이 작게, 그리고 고온전자 발생을 작게, 그리고 짧은 채널 효과를 줄이기 위해 접합깊이를 작게하는 것이다. 이러한 구조를 만족하기 위해서 salicide 구조, 그리고 LDD 구조가 표준적으로 사용되고 있다. SOI에 의해서 형성되는 소스/드레인 구조는 공핍영역과 백 게이트 산화막이 직렬로 연결됨에 의해서 접합용량이 줄어드는 장점이 있다.

SOI 구조에서 실리콘 박막이 줄어들음에 의해서 소스/드레인 영역의 깊이가 줄고 이에 따라 저항증가가 발생한다. 이 문제점을 해결하기 위해, 채널은 얇게, 소스/드레인은 두껍게 하는 구조가 출현하고 있다[3].

3-3. 바디

바디는 채널을 형성하기 위해서 필요한 표면 공핍층 형성을 위한 전하원(charge source)로서의 역할을 하게 된다. 소자 설계 관점에서 이 전하원으로서 고려점과, 전압을 제어하기 위한 제어 단자로서의 역할(back bias effect), 그리고 소자의 불안정성의 원인이 되는 부동 물체 효과(floating body effect)에 대해서 설명하기로 한다.

A. Q_b and η

바디는 문턱전압을 위한 표면전위를 결정하고, 문턱전압에서 필요한 표면 공핍전하 Q_b 를 결정하고 공급하는 역할을 한다.

벌크 NMOSFET의 게이트 전압이 V_T 인 경우, 필요한 Q_b 는

$$Q_b = C_{ox}(V_T - V_b - 2\phi_f) \quad (1)$$

이다. 그리고 표면전위를 게이트로서 얼마나 쉽게 제어할 수 있는가하는 지표로서 η 는

$$(\phi_s - 2\phi_{fp}) = \frac{V_{GS} - V_T}{\eta} \quad (2)$$

로 쓸 수 있다. 여기서 η 는 $1 + C_d/C_{ox} + C_{ss}/C_{ox}$ 로 쓸 수 있으며, 오프 상태에서의 누설전류(off state leakage current)를 결정함에 유의하자.

따라서 바디 설계는 Q_b 를 보장하기 위한 N_a (채널 도핑)와 η (또는 C_d 의 최소화)를 최소한으로 유지하는 것이 중요하다. 그림 4은 채널 길이가 줄어들음에 따라서 필요한 Q_b 의 변화를 그린 그림이다[2]. 그림에서 보듯이 채널 길이가 줄어들음에 따라서 Q_b 가 증가함을 알 수 있다. 만약 채널 도핑을 균일한 도핑으로 유지

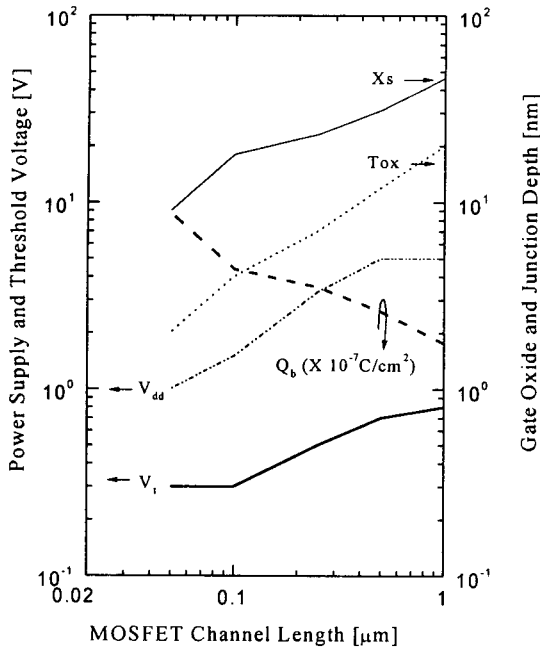


Fig. 4. Trends of power supply voltage V_{DD} , threshold voltage V_T and T_{ox} [2] and calculated x_s and body charge Q_b vs. channel length of CMOS Technology.

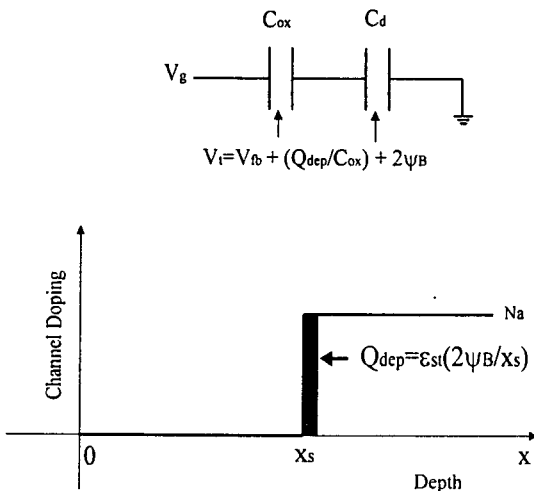


Fig. 5. A step-function channel profile provides a greatly reduced dependence of V_T on N_a and there for minimizes the effect of statistical dopant fluctuation [2].

하면, N_a 와 C_d 가 증가할 수 밖에 없으므로 η 가 증가

하는 것은 필연적이다. 따라서 이를 개선하기 위해서 그림 5와 같이 다른 도핑을 가지는 바디를 제안할 수가 있다[2]. 여기서 필요한 Q_b 와 η 를 낮은 도핑 영역의 깊이를 조절함으로써 얻을 수가 있는 것이다.

FD-SOI 구조는 이러한 면에서 장점을 가지고 있다. 즉, 필요한 Q_b 는 도핑과 실리콘 박막 두께와 back gate 산화막의 직렬 연결에 의해 결정되므로 C_d 를 최소한으로 작게 만들 수 있다. 반면에 문턱 전압이 얇은 실리콘 두께에 의해서 결정되므로 문턱 전압의 제어가 어려워지는 문제점이 있다.

B. 바디에서 일어나는 문제점 :
부동 몸체 효과(Floating Body Effects)

바디의 전압은 외부 단자에 의해서 안정되게 잡는 것이 보통이다. 그러나 바디가 유한한 전도도를 가지기 때문에 바디에 원하지 않는 전류가 흐르는 경우, 바디 내부 전위가 바디 단자 전압과 다른 전위를 가지는 경우가 발생하게 된다. 이 전류에는 AC적인 변위전류와 과도한 채널내의 전계에 의한 충돌 이온화 전류(impact ionization current) 등이다. 이러한 전류에 의해 전기적으로 불안정한 결과가 발생하는데, 대표적으로 CMOS 래치업현상, MOS 소자 항복전압의 감소, SOI 소자의 키크(kink) 현상들을 들 수 있다.

바디 전압의 변화에 의한 소자의 불안정성은 크게 두가지로 나눌 수가 있다. 즉, 바디자체에서 일어나는 불안정성과 바디 전압의 변화에 의한 MOS 채널의 불안정성이다. 바디 전압이 상승해서(PMOS에서는 감소) 소스와 바디사이에 순방향 전압이 걸리게 되면, 소수 캐리어가 확산되어 바이폴라와 같은 현상을 일으키게 되는 경우가 전자이며, 후자는 바디 전압의 변화에 의한 MOSFET 채널 전하의 변화(이를 back bias effect라고 함)에 의한 것이다(예 : 키크 효과, 항복전압저하 효과등).

특히 SOI 소자와 같이 바디가 얇은 실리콘 박막에서 형성되는 경우 이러한 바디 현상은 더욱 심각함을 예측할 수 있다. FD 소자와 같이 바디가 완전히 공핍되는 경우는 이온화 전류등에 의해서 전류가 바디로 들어오더라도, 바디전위변화가 크게 변화하지 않는다. 그러나, PD 소자에서는 바디 전압이 크게 변화하여 불안정현상이 쉽게 초래할 것이라는 것을 쉽게 예측할 수 있다. 특히 앞에서 언급한 바와 같이 바디를 부동(Floating) 상태로 두는 경우, 바디 전압이 외부 단자에 의해서 결정되지 않고, 바디 전하와 바디와 관계된 정전 용량에 의해서만 결정되므로

바디 불안정현상이 쉽게 일어난다.

그림 2는 바디전압을 결정하는 요인을 보이고 있다. 부동소자에서는 바디 단자는 없다. 외부단자(게이트, 소스, 드레인) 전압이 AC적으로 변화할 때, 바디 전압은 기생 정전용량에 의해서 결정된다.

일단 바디 전압이 AC적으로 결정되면, 바디는 여러 전류원에 의해서 충전, 방전되며, 바디 전압은 충전, 방전 전하량과 기생정전용량 크기에 의해서 시간적으로 변화하게 된다. 이 바디 전압의 변화는 MOS 소자의 채널전하량을 변화시킴으로써 채널 전류를 변화시키는 요인이 된다. 충전, 방전에서 가장 중요한 전류원은 물론 PN 접합 전류(순방향 전류 및 역방향 전류)와 충돌 이온화 전류이다. 특히 충돌 이온화 전류는 드레인 전압 의존성이 대단히 크기 때문에 바디 전압을 결정하는데 중요한 역할을 하게 된다.

다음 식은 바디 전압을 결정하는 요인을 식으로 표시한 것이다. 첫째 식은 바디 전압이 기생 정전 용량을 통해서 게이트, 소스, 드레인, 벌크 단자 전압에 의해서 결정됨을 보이고 있고, 둘째 식은 바디 충전이 각종 전류에 의해서 일어남을 보이고 있다.

$$V_{bb} = f(C(V_G), C(V_S), C(V_D), C(V_{Sub}), Q_b(t)) \quad (3)$$

$$dQ_b/dt = -I_{bb} + I_{ab}(\text{thermal}) + I_{ab}(\text{impact}) \quad (4)$$

단자 전압이 변화한 초기에는 $Q_b(0)$ 은 0이며, 바디 전압 변화는 순수히 정전용량에 의해서 결정된다. 그러나 시간이 변화할수록 식 (4)에서와 같이 각종 전류(주로 다이오드 전류)에 의해서 바디가 충전, 방전되며, 이에 의해서 Q_b 가 변화한다. Q_b 의 변화는 식 (3)에서 표시한 바와 같이 정전용량에 의해서 바디 전압을 변화시킨다.

1) 게이트 지연시간의 비균일성

식 (4)에의 전류는 비교적 작은 전류이기 때문에 바디 전압이 정상상태까지 도달하는 데는 시간이 걸린다. 따라서 보통 회로 동작에서는 바디전압이 정상상태에 도달하지 못한 상태에서 동작하는 것이 대부분이다. 인버터체인과 같은 회로에서 부동소자가 사용되는 경우, 각 단마다 출력전압(NMOSFET과 PMOSFET의 드레인 전압)이 ON-OFF가 반복되므로, 각각의 경우, 드레인 전압 역시 크고 작용이 반복된다. 이러한 드레인 전압의 비균일성 때문에 바디 전압역시 비균일해지고, 이에 의해서 전류 구동능력 역시 비균일해지게 된다[5]. 이러한 비균일성

은 각 단마다 풀다운, 업 시간을 비균일하게 만듦으로써, 펄스 폭을 변화시키게 되는 문제점을 제기한다. 그림 6은 이러한 경우를 도식적으로 보이고 있다.

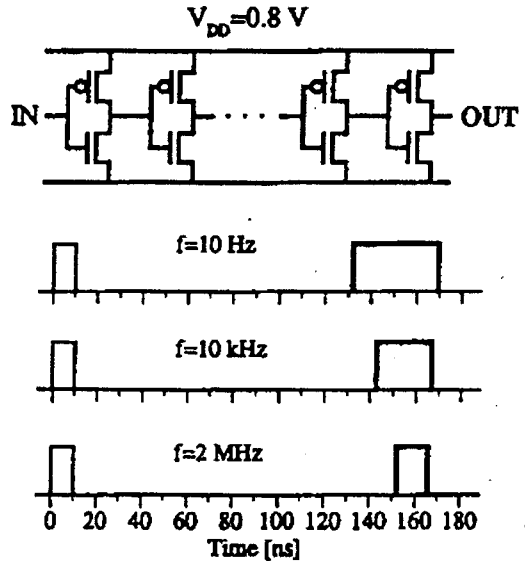


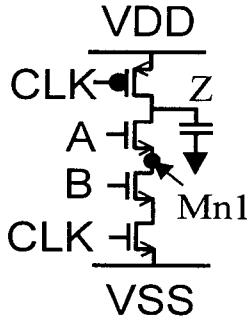
Fig. 6. Measured variation in output pulse width of PD-SOI inverter chain[5].

2) 바이폴라 동작에 의한 회로 실패

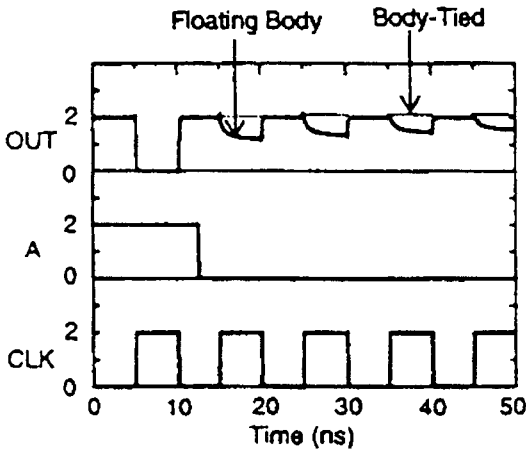
바디 전압의 회로내에서의 비균일성에 따른 문제점과 함께, 회로 실패 요인으로써[6], 바이폴라 동작을 들 수 있다. 즉, 그림 7과 같이 SOI 소자에서 MOSFET이 OFF 상태에 있을 경우, 갑자기 외부 회로에 의해서 소스 전압이 감소하게 된 경우(이 경우는 직렬 연결 회로에서 항상 존재한다), 게이트가 OFF 되었다고 하더라도, 소스와 바디 사이에 큰 순방향 전압이 걸리게 되어 바이폴라 동작이 일어나게 된다. 이 바이폴라동작에 의해서 소자가 켜진 것처럼 동작하게 되어, 회로가 실패하게 된다.

3) 부동 몸체 효과 감소 방법

이러한 부동 몸체 효과를 없애주는 방법은 결국 바디 전압을 안정된 전압으로 유지시킴으로써 가능하다. 소스와 바디 사이에 PN 접합 에너지 장벽을 낮추어 바디 전압을 소스 전압으로 안정시키는 방법(이



(a)



(b)

Fig. 7. (a) Dynamic NAND and (b) Dynamic NAND timing diagram in SOI SPICE [6].

는 등가회로(그림 2)에서 R_b 를 감소시키는 방법이다) 등이 발표되고 있으나 [7], 바디전압을 외부 단자에 의해서 안정화시키는 방법이 가장 유효한 방법이다. 결국 소자 크기를 증가시키지 않고도 바디전압을 잡아주는 방법이 필요한데, 이에 대한 혁신적인 아이디어들 [8, 9]의 출현이 요구된다.

4. 바디를 이용하는 아이디어

앞에서 언급한 바와 같이 외부 요인에 의해서 바디 전압이 영향을 받음으로써, 회로 불안정의 요인이 된다. 이는 SOI 소자같은 구조에서 바디의 덩치가 작아서(저항이 크고 커패시턴스가 적음) 쉽게 외부에 의해 영향을 받기 때문이다. 그러나 거꾸로 생각해

보면, 바디 전압이 쉽게 이용하는 것이 이익이 될 수도 있을 것이다. 외부에서 쉽게 바디 전압을 바꿀 수 있는 성질을 이용해서 바디를 신호 전극으로 사용하던지, 아니면 빛에 민감한 소자로 이용할 수가 있을 것이다.

4-1. 저전력을 위한 아이디어

바디 전압의 변화에 의한 드레인 전류 변화는 다음 식과 같이 나타낼 수 있다. 여기서 γ 는 백 바이어스(back bias) 상수이고, g_m 는 게이트 트랜스 컨덕턴스이다.

$$\frac{g_{mb}}{g_m} = \frac{\gamma}{2\sqrt{2}\phi_F V_{bs}}$$

여기서 V_{bs} 는 순방향 전압일 수도 있고, 역방향 전압일 수도 있다. 정전용량 부하가 작다면, 이 바디 전압을 변화시킴으로써, 드레인 전류를 증가시킬 수 있기 때문에 저전력 회로 응용에서 큰 도움을 받을 수 있을 것이다. 그림 8 [10~14]는 이러한 방법을 채택한 회로예를 보이고 있다.

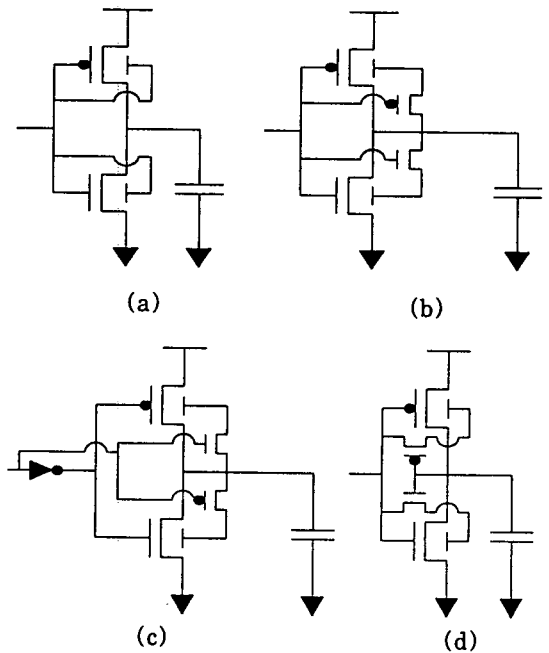


Fig. 8. Several body control schemes proposed in [10] for (a), [11] for (b), [12] for (c) and [13, 14] for (d).

그리고 바디에 순방향이 걸려, 이 순방향에 의해 과도한 입력 전류의 부담, 그리고 타 소자에 영향(소수 캐리어 확산에 의한)이 없다면 이러한 아이디어는 벌크 CMOS에도 (그림 9) 적용이 가능하다[15, 16].

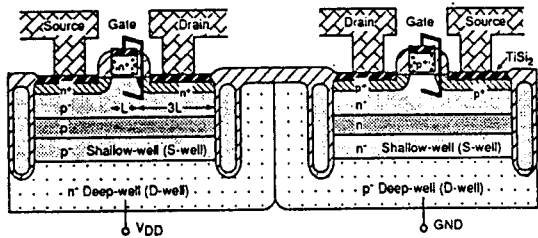


Fig. 9. Schematic Cross section of a Bulk Dynamic Threshold Voltage MOS-FET[15, 16].

4-2. Photosensor application

SOI 바디의 특성을 이용해서 포토 센서에 응용할 수 있다[17]. 즉, 빛에 의해서 발생한 전자-홀 쌍 중, 전자는 쉽게 드레인 단자로 빠져나가고 홀은 바디에 쌓이게 된다(NMOS 센서인 경우). 이 경우는 식 (4)에서 바디 충전전류중 빛이 포함되는 경우이다. 이 빛에 의한 전하 충전에 의해서 바디 전압이 쉽게 변화한다면, 그 만큼 민감성이 큰 센서를 제작할 수 있다. 일단 바디 전압이 변화하게 되면, 이 바

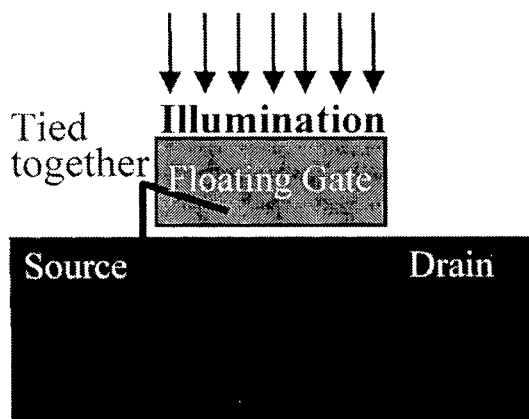


Fig. 10. Floating gate-body tied SOI MOS-FET structure used as photo-sensor[17].

디 전압 변화를 드레인 전류 등으로 추출해 내어야 하며, 게이트와 바디를 같이 묶어 줌으로써, 최대한의 드레인 전류 변화를 얻을 수 있다. 그림 10은 이러한 아이디어를 보이고 있다.

5. 결 론

MOS 소자를 네 개의 단자를 가진 소자로 보고, 한 개의 단자로서 바디의 역할에 대해서 설명했다. 이러한 바디가 얇은 실리콘 막위에 형성되는 SOI 소자의 문제점에 대해서 설명했다. 결국 SOI 바디의 문제점은 너무 얇아서 완전히 공핍되는 경우, 문턱 전압이 실리콘 막두께에 의해서 민감하게 변화한다는 문제점을 가지게 된다. 부분적으로 공핍되게 동작하는 PD 소자에서는 가장 큰 문제점은 바디 전압이 쉽게 외부 단자와 불완전한 절연물질인 소스, 드레인 사이의 공핍층, 그리고 이온화 충돌 전류에 의해서 쉽게 변화한다는 데 있다. 이러한 문제점을 개선하기 위해 소자 크기를 증가시키지 않고도 바디 전위를 안정화시키는 혁신적인 방법의 출현이 필요하다.

이와 반대로 바디전압을 쉽게 변화시킬 수 있는 성질을 이용하여, 저전력, 포토센서등에 응용할 수도 있으며, 이러한 성질에 의해서 SOI 구조는 앞으로 많은 응용 분야를 가질 것이다.

참 고 문 헌

- [1] T. Ushiki et al., "Reliable tantlum gate fully-depleted SOI MOSFET's with 0.15 μ m gate by low-temperature processing below 500 $^{\circ}$ C", IEDM Tech. Digest, p. 117, 1996.
- [2] Y. Taur et al. "CMOS device below 0.1 μ m : How high will performance go?", IEDM Tech. Digest, p. 215, 1997.
- [3] J. M. Hwang et al., "Ultra thin film SOI/CMOS with selective-epi source/drain for low series resistance, high drive current", Sym. on VLSI Tech., p. 33, 1994.
- [4] H. Yoshimura et al., "New COMS shallow junction well FET structure for low power-supply voltage", IEDM Tech. Digest, p. 909, 1992.
- [5] A. Wei, et al., "Minimizing floating body effect induced threshold voltage variation in partially depleted SOI CMOS", IEEE EDL vol. 17, p. 391, 1996.

- [6] S. C. Chin, et al., "Parastic bipolar turn on of PD-SOI MOSFET in dynamic logic circuits", IEEE Int'l SOI Conference proceedings, p. 144, 1996.
- [7] A. Nishiyama et al., "Suppression of the loating body effect in partially depleted SOI MOSFET's with SiGe source structure and its mechanism", IEEE TED vol. 44, p. 2187, 1997.
- [8] T. Iwamatsu et al., "CAD-compatiblity hight-soeed CMOS/SIMOX gate array using field-shield islation", IEEE TED vol. 42, p. 1934, 1995.
- [9] I.-Y. Chung et al., "A new SOI MOSFET structure with junction type body contact", IEDM Tech. Digest, 1999 게재 예정.
- [10] F. Assaderaghi et al., "A Dynamic threshold voltage MOSFET for ultra-low voltage operation", IEDM Tech. Digest, p .809, 1994.
- [11] In-Young Chung et al., "A new SOI Inverter using dynamic threshold for low-power applications", IEEE EDL, vol. 18, p. 248, 1997.
- [12] Jong-Ho Lee et al., "High speed SOI buffer circuit with the efficient connec-
tion of subsiding MOSFETs for dynamic threshold control", IEEE Int'l SOI Conference proceedings, p. 152, 1997.
- [13] Joocho Gil et al., "A high speed SOI inverter using active body-bias", The 5th Korean Conference on Semiconductor, p. 443, 1998.
- [14] Y. Wada et al., "Active body-bias SOI-CMOS driver circuits", Sym. on VLSI Circuit, p. 29, 1997.
- [15] C. Wann et al., "Channel profile optimizations and device design for low-power high performance dynamic-threshold MOSFET", IEDM Tech. Digest, p. 113, 1996.
- [16] H. Kodaki et al., "Novel bulk dynamic threshold voltage MOSFET with advanced isolation and gate to shallow-well contact process for ultra low power dual gate CMOS", IEDM Tech. Digest, p. 459, 1996.
- [17] W. Zhang, et al. "High responsitivity photo-sensor using gaye-body tied SOI MOSFET", IEEE Int'l SOI Conference proceedings, p. 149, 1998.