

## SOI MOS 트랜지스터의 전기적 특성



백희원

수원대학교 전자재료공학과 대학원



변문기

수원대학교 전자재료공학과 대학원



김영호

수원대학교 전자재료공학과 교수

### 1. 서 론

MOS 트랜지스터에서의 캐리어 이동은 주로 실리콘 웨이퍼 기판 표면에서 일어나게 되며, 기판의 나머지 영역들은 latch-up 및 몸체 효과(body effect) 등 원하지 않는 기생 효과를 나타낸다. 최근 들어 소자의 크기가 작아지고, 칩 당 소자의 집적도가 커짐에 따라 이러한 기생 효과는 심각한 문제로 대두되고 있다<sup>[1-3]</sup>. SOI(silicon on insulator) 소자는 기판 위에 매몰층 산화막(buried oxide)을 형성시켜 소자와 기판 사이를 절연시킴으로써 이러한 문제를 완화시킬 수 있는 소자로 최근 연구가 활발히 진행되고 있다. SOI 소자는 소스와 드레인의 공핍층이 매몰층 산화막에 의해 한정되기 때문에, 일반 bulk 소자에 비해 기생 정전 용량이 적고 고속소자로서의 응용에 용이하다. 또한 소자 제조 공정에 있어서는 SOI 소자는 well을 형성할 필요가 없기 때문에 bulk 소자에 비해 공정이 간단하다. 또한 소자와 소자 사이가 매몰층 산화막으로 완전히 격리되어, 소자 간의 거리는 단지 lithography 공정에 의해 좌우되므로 단위 칩당 더 큰 집적도를 얻을 수 있어 큰 경제

적 이익을 얻을 수 있다. 그러나 이러한 많은 장점에도 불구하고 SOI 소자가 상용화되지 못하는 이유는, 아직까지 SOI 기판이 uniformity, cost, availability 측면에서 완전히 최적화 되지 못했고, 킹크(kink) 현상이나 드레인 항복전압의 감소 등 여러 가지 문제가 제기되고 있기 때문이다<sup>[4-6]</sup>. 그러나 가까운 시일내에 SOI 소자는 상용화 가능성이 높기 때문에, 이번 테마 기획을 통해 이러한 SOI 소자의 전기적 특성을 알아보고자 한다.

### 2. 완전공핍과 부분공핍 소자

Bulk 소자와는 달리 매몰층 산화막에 의해서 실리콘 막의 두께가 한정되는 SOI 소자는 크게 완전공핍(fully depleted) 소자와 부분공핍(partially depleted) 소자로 분류되며, n 채널 bulk 소자와 SOI 소자의 band diagram을 그림 1에 나타내었다. Bulk 소자의 최대 공핍층 폭보다 2배 이상 큰 활성 영역층을 가지는 부분공핍 소자는 그림 1(b)에서 보는 바와 같이 활성 영역인 실리콘 박막이 전면 게이트(front gate)와 후면 게이트(back gate) 전압에 의해서 완전히 공핍되지 않아 몸체라고 불리우

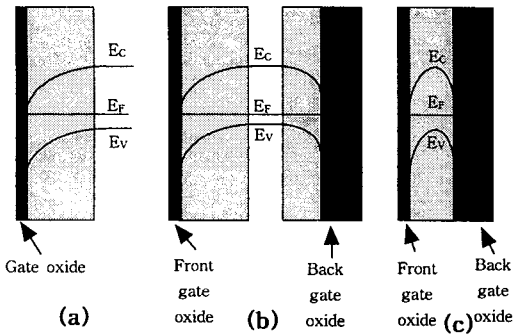


Fig. 1. Band diagram in a bulk(a), a thick-film SOI(b), and a thin-film SOI device(c). All devices are represented at threshold(front gate voltage = threshold voltage). The shaded areas represent the depleted zones. SOI devices are represented for a condition of weak inversion (below threshold) at the back interface.

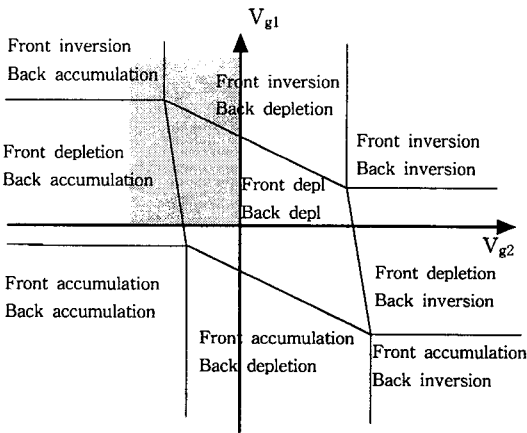


Fig. 2. Different operation modes of a thin-film SOI n-channel MOS transistor as a function of front-gate bias ( $V_{g1}$ ) and back-gate bias ( $V_{g2}$ )-(linear regime, low drain voltage). The shaded area represents the normal mode of operation.

는 중성의 실리콘 영역이 존재하게 되며, 이러한 몸체가 ground와 접촉이 이루어지면 bulk 소자의 특성과 같아진다. 그러나 몸체가 ground와 접촉이 이루어지지 않으면 전기적으로 floating 되기 때문에 킥 효과, 기생 바이폴라 트랜지스터(parasitic bipolar transistor) 현상이 나타날 수 있다. 반면에 그림 1(c)와 같이 실리콘 박막이 bulk 소자의 최

대 공핍층 폭 보다 적은 완전공핍 소자는 낮은 전계, 큰 상호컨덕턴스(transconductance), 우수한 단채널(short channel) 특성, subthreshold slope 등 bulk 소자 보다 더 나은 특성을 가지며, 부분공핍 소자에서 나타났던 킥 현상이 없어지게 된다. 또한 완전공핍 소자는 전면 계면과 후면 계면이 축적, 공핍, 반전될 수 있기 때문에 전면 게이트 전압과 후면 게이트 전압에 의해 그림 2와 같이 9개의 동작 모드가 가능하다. 그러나 후면 계면이 반전 됐을 때는 전면 게이트 전압과 관계없이 후면에 채널이 존재해 소자로서 의미가 없으므로, 완전공핍 SOI 소자는 일반적으로 빗금친 영역에서 동작을 한다<sup>[5]</sup>.

### 3. 전류-전압 특성

그림 3은 SOI 소자의 단면도를 나타낸 그림이다. 그림에서 보는 바와 같이 SOI 소자는 소스와 드레인의 접합 면적이 bulk 소자에 비해 작고, 후면 게이트와 매몰층 산화막이 존재하므로 문턱 전압(threshold voltage), on/off 전류특성, 몸체 효과, 단채널 효과 등 bulk 소자에 비해 더 좋은 특성이 나타난다.

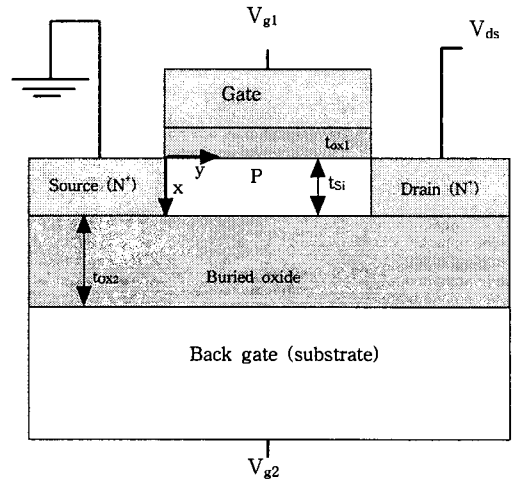


Fig. 3. Cross-section of a thin-film, n-channel SOI MOSFET

#### 3.1 문턱 전압

후면 게이트에 의하여 영향을 받지 않거나 존재하지 않는 부분공핍 소자와 bulk 소자의 문턱전압 값은

다음과 같다.

$$V_{th} = \phi_{MSI} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F + \frac{qN_a x_{dmax}}{C_{ox}}$$

이와 달리 완전공핍소자의 경우에는 실리콘의 두께와 후면 게이트 전압에 의해서도 영향을 받을 수 있기 때문에 위의 식은 수정되어야 하며 다음과 같이 후면 게이트에 따라 3가지로 나누어서 나타낼 수 있다<sup>[6]</sup>.

후면 게이트 표면이 축적 됐을때는

$$V_{th1, acc2} = \phi_{MSI} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\phi_F - \frac{Q_{dep1}}{2C_{ox1}}$$

후면 게이트 표면이 반전 됐을때는

$$V_{th1, inv2} = \phi_{MSI} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_{dep1}}{2C_{ox1}}$$

후면 게이트 표면이 공핍 됐을때는

$$V_{th1, dep2} = V_{th1, acc2} - \frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} (V_{g2} - V_{g2, acc})$$

로 나타낼 수 있다.

따라서 후면 게이트 전압이 (-)로 인가되어 후면 게이트 표면이 축적된다면 bulk에 비해 더 큰 문턱전압 값을 가지고, 후면 게이트 전압이 (+)로 인가되어 후면 게이트 표면이 공핍되거나 반전된다면 bulk에 비해 더 작은 문턱전압 값을 가진다. 그리고 위 수식에서 알 수 있듯이 문턱전압은 실리콘 막의 두께에 대한 영향(실리콘 활성영역의 정전용량,  $C_{si}$ )을 받으며, 후면 산화막의 정전용량( $C_{ox2}$ )에도 영향을 받는다. 후면 게이트 표면이 반전 됐을 때는 전면 게이트 표면이 반전되지 못해도 후면 계면에 채널이 존재하므로, 후면 채널을 통해 전류가 흐르게 된다. 따라서 전면 게이트에 의한 전류의 제어가 불가능하므로 사실상 실제 회로에서는 필요가 없다.

### 3.2 SOI 소자의 on/off 특성

SOI 소자의 on 상태 전류특성을 나타내기 위해서는 후면 계면이 축적된 SOI 소자와 후면 계면이 공핍된 SOI 소자로 크게 두가지로 나누어서 설명할 수 있으며, 다음과 같은 수식으로 나타낼 수 있다.

$$I_{dsat} \cong \frac{W\mu n C_{ox1}}{2L(1+\alpha)} [V_{g1} - V_{th}]^2$$

위 식에서 후면 계면이 축적된 소자의  $\alpha$ 값은  $\alpha$

$= C_{Si}/C_{ox1}$ 이고, 후면 계면이 공핍된 소자의  $\alpha$ 값은  $\alpha = C_{Si}C_{ox2}/C_{ox1}(C_{Si} + C_{ox2})$ , 일반적인 bulk 소자의  $\alpha$ 값은  $\alpha = C_D/C_{ox}$  또는  $\epsilon_{Si}/x_{dmax}C_{ox}$ 이다. 각각의  $\alpha$ 값을 통하여 드레인 포화전류의 값을 비교해보면, 후면 계면이 공핍된 SOI 소자가 가장 크고, 다음은 bulk 소자, 그리고 후면 계면이 축적된 소자가 가장 작은 값을 나타내게 된다. 그림 4는 후면 계면이 공핍된 SOI 소자와 일반 bulk 소자의 드레인 포화 전류 값

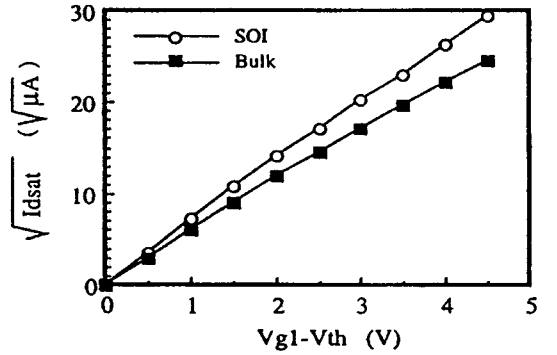


Fig. 4.  $\sqrt{I_{dsat}}$  as a function of  $V_{g1} - V_{th}$  in a bulk and a thin-film, fully depleted SOI device with same technological parameters

을 비교한 그림이다<sup>[7]</sup>. 그림에서 보는 바와 같이 SOI 소자가 bulk 소자보다 큰 포화 전류 값을 갖는 것을 알 수 있다. 다른 on 특성인 상호컨덕턴스 ( $g_m = \partial I_{dsat} / \partial V_g$ )와 이동도(mobility,  $\mu$ ) 역시  $I_{dsat}$ 와 비슷한 특성을 갖는다. 소자의 off 특성을 나타내는 subthreshold slope의 값은 다음과 같이 정의 할 수 있고

$$S = \frac{dV_g}{d \log I_d}$$

그리고 위 식을 다음과 같이 간단히 할 수 있다.

$$S = \frac{kT}{q} \ln(10) \left(1 + \frac{C_b}{C_{ox1}}\right)$$

여기서  $C_b$ 는 반전 채널과 후면 게이트 전극 사이의 정전용량으로, 그 값은 bulk 소자의 공핍 정전용량  $C_D = \epsilon_{Si}/x_{dmax}$ , 뒤 표면이 축적된 완전공핍 소자의 실리콘 막의 정전용량  $C_{Si} = \epsilon_{Si}/t_{Si}$ , 또는 완전 공핍 소자에서  $C_{Si}$ 와  $C_{ox2}$ 의 직렬 연결 값 ( $C_b = C_{Si}C_{ox2}/(C_{Si} + C_{ox2})$ )과 같다(그림 5). 따라서

subthreshold slope값은 후면 공핍된 완전공핍 소자에서 가장 작고, bulk 소자, 후면 축적된 완전공핍 소자의 순으로 커지게 된다. 그림 6은 실리콘 막 두께에 따른 subthreshold slope의 변화를 시뮬레이션과 실험 값으로 나타내었다. 앞에서 설명한 바와 같이, 부분공핍 소자에서 완전공핍 소자로 변하는 막 두께에서  $C_b$  값이 작아지기 때문에 급격한 경사를 볼 수 있다. 이와 같이 후면 공핍된 완전공핍소자는 뛰어난 subthreshold slope값을 가지므로 누설전류의 증가 없이 bulk 보다 낮은 문턱전압을 사용할 수 있게 하고, 더 빠른 수행속도를 얻을 수 있다<sup>[6]</sup>.

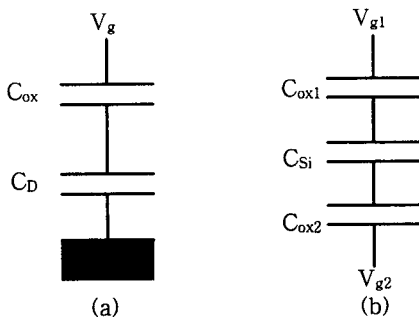


Fig. 5. Equivalent capacitor network of bulk(a) and thin-film fully depleted SOI device(b)

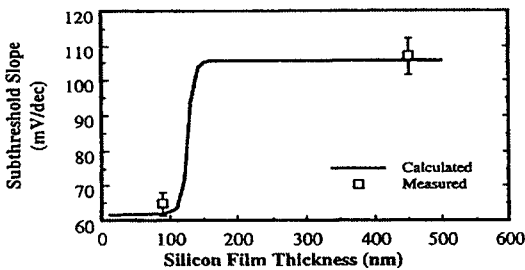


Fig. 6. Simulated and measured subthreshold slope as a function of silicon film thickness.  $N_a = 8 \times 10^{16} \text{cm}^{-3}$ , gate oxide thickness is 25 nm<sup>[6]</sup>

### 3.3 몸체 효과

bulk 소자에서 몸체 효과는 기판 바이어스에 의한 문턱전압의 변화이다. 그러나, SOI 소자에서는 일반적으로 기판 접촉이 없기 때문에 기판 바이어스가

아닌, 후면 게이트 바이어스에 의한 문턱전압의 변화로 나타낼 수 가 있다. 부분공핍 소자는 후면 게이트에 의하여 전면게이트가 영향을 받지 않기 때문에 몸체 효과는 거의 없다. 반면에 후면 게이트에 의한 공핍층과 전면 게이트에 의한 공핍층이 만나는 완전공핍 소자는 후면 게이트에 의하여 영향을 받는다. 그러나 매물층 산화막의 존재로 인하여 일반 bulk 소자보다는 적은 영향을 받게 된다. 그림 7은 bulk 소자와 완전공핍 소자의 후면 게이트 전압에 의한 문턱전압의 변화를 나타내었다. 그림에서 보는 바와 같이 SOI 소자는 후면 게이트 전압에 영향이 적은 반면에, bulk 소자는 후면 게이트 전압이 증가함에 따라 문턱전압의 변화가 큰 것을 알 수 있다.

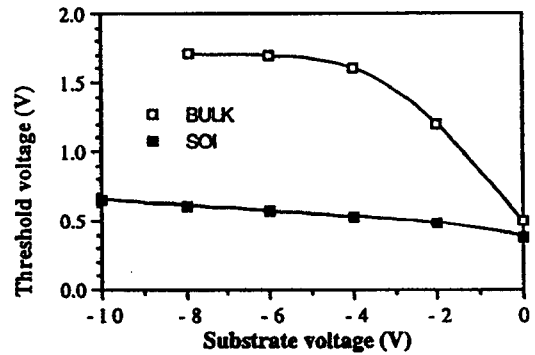


Fig. 7. Dependence of threshold voltage on back bias (body effect) in bulk and fully depleted SOI MOSFETs<sup>[10]</sup>

### 3.4 단채널 효과

채널 길이가 짧아짐에 따라 문턱전압의 roll-off 현상이 나타나는데 이것을 단채널 효과라 한다. 그림 8은 bulk 소자와 SOI 소자의 공핍층 분포를 나타낸 그림이다. 그림에서 보는 바와 같이 소스와 드레인 근처 공핍층이 존재하기 때문에 게이트 전압에 의한 공핍층 영역은  $Q_{di}$ 으로 한정된다. 채널길이가 긴 소자에서 소스와 드레인의 공핍층에 대한 영역(a)은  $Q_{di}$ 에 비교하여 아주 작으므로 문턱 전압에서 무시할 수 있다. 그러나 채널 길이가 짧아짐에 따라 a 영역은  $Q_{di}$ 에 비교하여 무시할 수 없을 정도로 커지게 된다. 따라서 a 영역을 뺀 나머지  $Q_{di}$  영역만을 고려해야 하므로 문턱전압은 작아지게 되고, 이러한 현상을 단채널 효과라 한다.

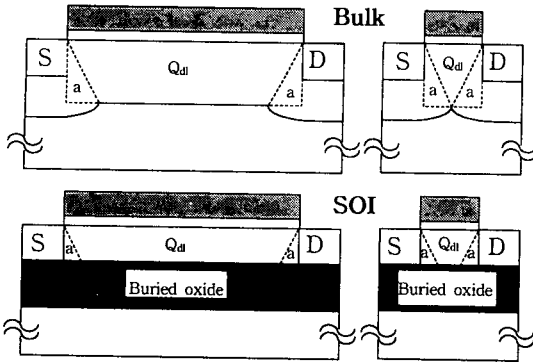


Fig. 8. Distribution of depletion charges in long-channel (left) and short-channel (right) bulk and thin-film SOI MOSFETs.  $Q_{d1}$  is the depletion charge controlled by the gate

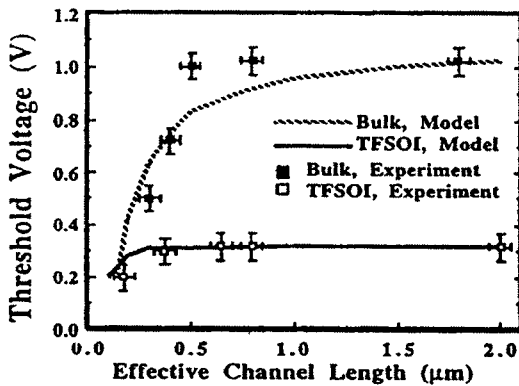


Fig. 9. Threshold Voltage as a function of gate length in bulk and thin-film (100nm) SOI n-channel MOSFETs<sup>[12]</sup>

SOI 소자의 경우 그림 8에서 보는 바와 같이 매 물층 산화막의 존재로 인하여 공핍층이 한정되기 때문에, 채널 길이에 따른 소스와 드레인의 공핍층의 영향은 bulk 소자와 비교할 때 작아지게 되고, 따라서 문턱전압의 변화율도 작아지게 된다<sup>[12]</sup>. 그림 9는 채널 길이에 따른 문턱전압의 변화를 모델링과 실험 결과로 나타낸 그림이다. 그림에서 보는 바와 같이 모델링과 실험 결과에서 채널 길이가 짧아짐에 따라 bulk 소자는 문턱전압의 급격한 감소를 나타내고, 반면에 SOI 소자는 bulk 소자 보다 적은 문턱전압의 감소를 나타내는 것을 알 수 있다.

#### 4. Floating body 효과

SOI 소자는 latch-up 현상이 없고, 간단한 제조 공정, 우수한 전류-전압 특성 등 많은 장점을 가지고 있다. 그러나 기판 접촉이 없기 때문에 충돌 이온화 (impact ionization)에 의한 여러 가지 floating body 효과(킹크 효과, 드레인 항복전압(break-down voltage)의 감소, self heating 효과 등)가 나타난다.

##### 4.1 킹크 효과

킹크 효과는 그림 10과 같이 드레인 전류가 갑자기 증가하는 현상으로, 기판 접촉이 되어 있는 bulk 소자에서는 잘 일어나지 않고, 매물층 산화막에 의해 절연되어 있는 floating된 SOI 소자에서 나타나는 현상이다. 채널 내의 전자는 고 전계 영역인 드레인 부근에서 에너지를 받아 충돌 이온화에 의해 전자-정공 쌍이 생성된다. 이렇게 생성된 전자는 드레인 쪽으로 이동하고(그림 11(a)), 또한 생성된 정공은 전위가 가장 낮은 지점을 향해 이동한다. 주입된 정공에 의하여 전위는 높아지게 되고, 그 결과 소스와 몸체 간의 순방향 바이어스가 걸리게 되어 드레인 전류를 증가하게 되는데(그림 11(c)), 이것이 바로 킹크 현상이다. 또한 가속된 정공의 주입으로 인하여 드레인-몸체-소스간의 NPN 바이폴라 트랜지스터 현상이 발생하여 두번째 킹크가 일어나게 된다. 이러한 현상은 부분공핍 소자에서 잘 일어나는 현상으로 완전공핍화된 소자는 몸체-소스간의 전위가 낮아 정공이 몸체 전위의 증가 없이 소스쪽으로 쉽게 주입된

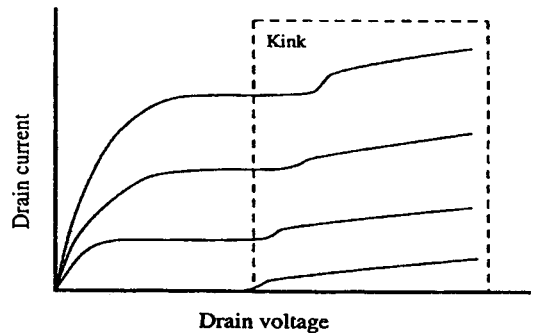


Fig. 10. Illustration of a kink effect in the output characteristics of an n-channel SI MOSFET.

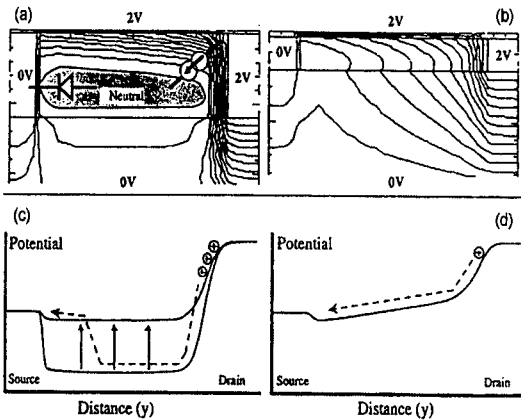


Fig. 11. (a) Isopotential lines in a thick-film(30nm,  $N_a=8 \times 10^{16} \text{cm}^{-3}$ ), partially depleted (PD) SOI n-channel MOSFET(one curve every 200mV). The gray area is the neutral, floating body (b) Isopotential lines in a thin-film(10nm,  $N_a=8 \times 10^{16} \text{cm}^{-3}$ ), fully depleted(FD) device. (c) Potential in the neutral region from source to drain in the PD device before and after the onset of the kink effect(lower and upper curve, respectively) (d) Potential from source to drain in the FD device.

다(그림 11(b,d)). 결과적으로 몸체 전위는 대전되지 않은 채로 남고 몸체 효과가 없어지게 되며, 이때문에 완전공핍 소자는 킥 효과가 일어나지 않는다<sup>[13]</sup>. 그러나 후면 계면이 축적된 SOI 소자는 부분공핍 소자와 같이 킥 효과가 나타나게 된다.

#### 4.2 드레인 항복전압의 감소

SOI 소자에서 드레인 접합에 걸리는 전계는 일반적인 bulk 소자에 비해서 작으므로 bulk 소자보다 높은 항복전압을 가진다<sup>[14]</sup>. 그러나 SOI 소자의 비교적 큰 항복전압은 기생 바이폴라 트랜지스터 현상에 의하여 작아 지게되며<sup>[15]</sup>, 이러한 항복전압의 감소를 줄이기 위하여 LDS(lightly-doped source)와 LDD(lightly-doped drain)를 적용<sup>[16]</sup>하고, 소자의 결함을 조절함으로써 캐리어의 life time을 감소시키거나, 몸체 접촉을 사용함으로써 줄일 수 있다.

#### 4.3 Self heating 효과

매몰층 산화막에 의해서 전기적으로 절연된 SOI

소자는 열적으로도 역시 매몰층 산화막에 의해서 절연되어 있어 소자의 온도가 올라가는 self heating 현상이 발생한다. self heating  $\text{SiO}_2$ 의 열전도도가 실리콘 보다 작은 값을 가짐으로써 생성된 현상으로, 활성영역층에서 발생한 온도가 매몰층 산화막의 낮은 열전도도 때문에 외부로 빠져나가지 못함으로써 소자의 온도가  $50^\circ\text{C} \sim 150^\circ\text{C}$ 까지 올라가게 되고<sup>[17]</sup>, 이 때문에 소자의 이동도 값이 작아지게 된다<sup>[18]</sup>. 그러나 이러한 현상은 단지 DC 전원에 의하여 생겨나는 현상으로, CMOS 응용에 사용되는 AC전원( $T > 30 \text{sec.}$ )에서는 나타나지 않는다<sup>[19]</sup>.

### 5. 결 론

지금까지 SOI 소자의 전기적 특성을 알아보았다. SOI 소자는 매몰층 산화막으로 인하여 기판과 다른 소자로부터 완전히 격리되어 있기 때문에 latch-up 이나 몸체 효과와 같은 현상이 나타나지 않으며, 접합 면적과 기생 정전용량의 감소로 우수한 단채널 효과와 고속 동작에 용이한 특성을 나타내었다. 특히 완전공핍 소자는 전체적으로 bulk 소자에 비해 우수한 특성을 나타낸 반면, 구조적인 SOI 소자의 특성으로 인해 킥 현상이나, 드레인 항복 전압의 감소, self heating 등이 나타났다. 이러한 현상들은 후면 계면이 공핍된 완전공핍 소자의 사용, 소자 결함을 통한 life time의 조절, AC 전원의 사용으로 줄일 수 있다.

### 참 고 문 헌

1. A. E. Schmitz and J. Y. Chen, "Design, modeling, and fabrication of subhalf0micrometer CMOS transistors", IEEE Trans. Electron Devices, Vol. ED-33, No. 1, pp. 148-153, 1986.
2. M.-C. Jeng, J. Chung, A. T. Wu, T. Y. Chan, J. Moon, G. May, P. K. Ko, and C. Hu, "Performance and hot-electron reliability of deep-submicron MOSFET's" IEDM Tech. Dig., pp. 710-713, 1987.
3. K. K. Young and J. A. Burns, "Avalanche-induced drain-source breakdown in silicon-on-insulator n-MOSFET's" IEEE Trans. Electron Devices, pp. 426-431, April 1988.
4. D. Flandre and F. Van de Wiele, Proc. of the IEEE SOS/SOI Technology Conference, p. 27, 1989.

5. J. C. Sturm and K. Tokunaga, *Electronics Letters*, Vol. 25, p. 1233, 1989.
6. J. P. Colinge, *IEEE Electronics Device Lett.*, Vol. EDL-7, p. 244, 1986.
7. J. P. Colinge, *Ext. Abstracts of 5th Internat. Workshop on Future Electron Devices*, Miyagi-Zao, Japan, p. 105 1988.
8. H. K. Lim and J. G. Fossum, *IEEE Trans. on Electron Devices*, Vol. 30, p. 1244, 1983.
9. J. P. Colinge, *Microelectronic Engineering*, Vol. 8, p. 127, 1998.
10. S. Veeraraghavan and J. G. Fossum, *IEEE Trans. on Electron Devices*, Vol. 36, p. 522, 1989.
11. J. P. Colinge, *Techn. Digest of International Electron Devices Meeting(IEDM)*, P. 817, 1989.
12. J. P. Colinge, *IEEE Electron Device Lett.*, Vol. 9, p. 97, 1988.
13. H. S. Sheng, S. S. Li, R. M. Fox, and W. S. Krull, *IEEE Trans. on Electron Devices*, Vol. 36, no. 3, p. 488, 1989.
14. A. S. Grove, *Physics and Technology of Semiconductor Devices*, J. Wiley & Sons, p. 230, 1967.
15. F. L. Duan, S. P. Sinha, D. E. Ioannou, and F. T. Brady, *IEEE Transactions on Electron Devices*, Vol. 44, No. 6, p. 972, 1997.
16. J. Jomaah, G. Ghibaudo, F. Balestra, and J. L. Pelloie, *Proceedings of the IEEE International SOI Conference*, p. 114, 1995.
17. M. Berger and Z. Chai, *IEEE Transactions on Electron Devices*, Vol. 38, p. 871, 1991.
18. O. Le Neel and M. Haond, *Electronics Letters*, Vol. 26, p. 74, 1991.