

SOI (Silicon-On-Insulator) 재료



이제혁

수원대학교 전자재료공학과 대학원



조봉희

수원대학교 전기전자공학부 부교수



김영호

수원대학교 전자재료공학과 교수

1. 서론

최근 들어 벌크 MOSFET 소자의 크기가 점점 작아짐에 따라 n^+ - p 간의 접합 기생정전용량(parasitic capacitance) 등 여러 가지 기생 효과가 소자특성에 심각한 영향을 주게된다. 이러한 기생효과를 줄일 수 있는 방법 중 하나가 산화막(SiO_2)층 위에 MOSFET을 만드는 것이다. 이러한 공정으로 제작되어진 MOSFET의 경우, 구조적으로 활성영역(active region)이 기판으로부터 완전히 격리되어 있기 때문에 열전자효과(hot-carrier effect), 래치업(latch-up), 몸체효과(body effect) 등의 소자특성이 기존의 벌크 MOSFET 소자 보다 현저히 감소되며, 접합면적이 감소함에 따라 기생 정전용량이 감소하여 SRAM, Microprocessor 등 고속소자 및 회로에 적용함에 있어 큰 이점을 갖는다. 또한 SOI(silicon-on-insulator) MOSFET은 그 구조상 3차원 집적이 가능하기 때문에 집적도 면에서 기존의 벌크 MOSFET 보다 우수하고 제작공정의 단순함, 설계의 용이성 및 유연성, 낮은 전력 소모 등의 훌륭한 장점을 갖게 된다[1][2][3]. 이러한 SOI 소자의 장점에도 불구하고 SOI 기술이 VLSI의 주된 기술로 자

리잡지 못하고 있는 이유는 SOI 웨이퍼가 일반 epitaxial 웨이퍼 보다 가격이 비싸고, 격자 결함이 많기 때문이다. 따라서 이러한 SOI 웨이퍼가 가지고 있는 문제점들을 개선할 수 있다면 SOI 기술은 VLSI에 적합한 미래 기술이라 할 수 있을 것이다. 본 고에서는 SOI 소자의 발전에 있어 가장 기본이 되는 SOI 재료, 즉 SOI 웨이퍼의 개요 및 역사, 제조방법, 특성, 응용 분야 등 SOI 웨이퍼의 기본적인 정보를 알아보기로 한다.

2. SOI Materials

2.1 Heteroepitaxial techniques[4]

Heteroepitaxial SOI 재료는 단결정 절연체 위에 epitaxial 성장에 의해 실리콘 막이 얻어진다. 절연체 위에 epitaxial 방법으로 우수한 실리콘 막을 성장시킬 수 있는 것은 절연체의 격자 상수가 단결정 실리콘과 거의 유사한 격자상수를 갖기 때문이다. 기판은 Al_2O_3 (sapphire)와 같은 단결정 벌크 재료나 실리콘 기판 위에 성장된 얇은 절연막을 사용한다. 실리콘 막의 heteroepitaxial 성장은 실리콘의 격자 상수와 절연체의 격자 상수가 완전히 일치하지

않는다면 결함이 없는 재료를 만들 수가 없다. 또한 실리콘 막의 열 팽창 계수와 절연체의 열팽창계수가 같지 않으면 스트레스에 영향을 받게되며, 모든 절연체는 실리콘보다 두 세배 더 높은 열팽창 계수를 갖기 때문이며 이것이 실리콘 막의 물리적 특성과 전기적 특성을 결정하는 가장 중요한 요소이다. 표 2.1은 heteroepitaxial 기술에 사용되는 실리콘, sapphire 등 재료의 특성을 나타낸 것이다.

표 2.1 Heteroepitaxial SOI 기술에 사용되어지는 주요 재료의 특성 [5]

재 료	결 정 구조	유 전 상 수	격 자 상 수 (nm)	열팽창 계 수 $20\sim 1000$ $^{\circ}\text{C}/(^{\circ}\text{C})$
Si	Cubic	11.7	0.54301	3.8 E-6
Sapphire	Rhomb-ohedral	9.3	0.4759	9.2 E-6
Cubic Zirconia	Cubic	38	0.5206	11.4 E-6
Spinel	Cubic	8.4	0.808	8.1 E-6
CaF ₂	Cubic	6.8	0.5464	26.5 E-6

(1) Silicon-on-sapphire(SOS)

SOS는 모든 SOI 기술중 최근까지 LSI-VLSI 회로기술에 적용되어진 유일한 기술이었다. 표 2.2는 SOS의 변천과정을 나타낸 것이다.

Sapphire($\alpha\text{-Al}_2\text{O}_3$) 결정들은 flame-fusion 성장과 Czochralski 성장, edge-defined film-fed 성장 [16]과 같은 방법으로 만들어진다. Flame-fusion 성장과 Czochralski 성장 기술은 연마 전에 sapphire를 잘라내야 하는 가공 기술이 존재하고, edge-defined film 성장 기술은 원형 웨이퍼에서 가공해야 하는 직사각형의 sapphire 리본을 만들어 낸다. 화학적 기계적 연마(chemical mechanical polishing, CMP)후 sapphire 웨이퍼는 epitaxial 반응기에서 1150 $^{\circ}\text{C}$ 수소화 식각을 하고, 실리콘 막은 900 $^{\circ}\text{C}$ 와 1000 $^{\circ}\text{C}$ 사이에서 silane 가스의 열 분해 방법을 이용하여 증착된다. 성장된 SOS 막의 주요 결점으로 Al_2O_3 기판에서의 알루미늄 autodoping, stacking faults, microtwin 등이 나타난다.

표 2.2 SOS 기술의 변천사 [6]

1963	Idea of SOS(Manasevit and Simpson) [7]
1971	Wafers commercially available
1975	1k SRAM (RCA) [8]
1976	16-bit microprocessor (HP) [9]
1977	4k SRAM (RCA) [10]
1978	16-bit, 7K gate microprocessor (Toshiba)
1978	16k CMOS SRAM (RCA) [11]
1980	16-bit high-speed microprocessor (Toshiba)
1982	5-inch SOS wafers (Kyocera)
1984	Subnanosecond CMOS gate array (Toshiba)
1987	64k CMOS SRAM (Westinghouse) [12]
1988	4-bit, 1 μs flash ADC (Hughes) [13]
1988	Thin-film SOS device [14]
1995	Thin-film, 60 μs f_{max} MOSFETs [15]

(2) Cubic zirconia

Cubic zirconia[(Y_2O_3) $_m \cdot \text{ZrO}_2$] $_{1-m}$]는 실리콘 epitaxial을 위한 대체 유전 기판으로 사용되어지고 있다. 이는 zirconia가 높은 온도에서 산소를 빠른 속도로 이동시키는 superionic oxygen conductor의 특성과, 상온에서 좋은 절연 특성(ρ) $10^{13} \Omega \cdot \text{cm}$)을 가지고 있어 계면에서의 실리콘층 성장을 위해 사용된다.

(3) Silicon-on-spinel

Spinel[(MgO) $_m \cdot (\text{Al}_2\text{O}_3)$] $_{1-m}$]은 벌크 절연 재료 또는 900~1000 $^{\circ}\text{C}$ 사이에서 실리콘 기판을 epitaxial 성장시키는데 사용된다. 0.6 μm 로 성장된 막은 스트레스의 영향을 받지 않는다. 그러나 이 재료로 만들어진 MOSFET의 특성은 높은 결함 밀도로 인하여 SOS 막으로 만들어진 소자에 비해 특성이 좋지 못하다. 따라서 silicon-on-spinel 막을 사용하는 소자는 약 30~40 μm 의 두꺼운 막을 사용하는 소자에 사용되어진다.

(4) Other heteroepitaxial SOI material

그 외에도 epitaxial calcium fluoride(CaF_2), cubic boron phosphide(BP) 그리고 rhombohedral B_{13}P_2 도 실리콘 위에 epitaxial을 성장시킬 수

있다. Fluoride의 격자 상수는 대부분의 반도체와 일치하나 열팽창계수는 실리콘과 다르다. 또한 BP와 B₁₃P₂를 사용한 실리콘 epitaxial 성장은 소자를 제작하는 동안 붕소와 인이 실리콘 막으로 확산해 나가기 때문에 좁은 온도범위에서 사용되는 단점을 가지고 있다.

(5) Problems of heteroepitaxial SOI

Heteroepitaxial 막은 스트레스와 결함 밀도가 크고 기존의 실리콘 공정 과정에서 많은 오염 문제를 발생시키는 문제점을 가지고 있으며, 특히 SOS 기판은 강도가 매우 약하여 제작 기술에 많은 어려움이 나타나고 있다.

2.2 Laser recrystallization

MOS 트랜지스터는 산화된 실리콘 기판위에 다결정 실리콘 층을 증착한 후 그 위에 제작된다. 이러한 소자는 결정입계(grain boundary)의 존재로 인하여 낮은 이동도($\approx 10 \text{ cm}^2/\text{V}\cdot\text{s}$)와 높은 문턱전압을 나타낸다. 또한 결정입계는 실리콘 dangling bond와 높은 계면 밀도(10^{12}cm^{-2})를 가지고 있어, 문턱전압에 도달하기 전 채널 전하가 트랩에 채워지게 된다. 문턱전압 후에는 이러한 트랩이 채워지고, 결정입계는 전위 장벽을 생성하기 때문에 채널 전하는 이것을 극복해야만 소스에서 드레인으로 흐를 수 있다. 이러한 특성은 다결정 실리콘 소자가 낮은 이동도를 갖는 원인이 되며, 이와 같은 이동도 감소의 주원인이 되는 dangling bond와 결정입계 등은 수소 플라즈마등을 사용하여 제거하고 소자특성을 높이는 것이 재결정화(recrystallization)하는 궁극적인 목적이다.

다결정 실리콘의 재결정화는 plus laser에 의해서 만들어진다. 이 방법은 제어가 어렵기 때문에 결정립(grain)의 크기가 큰 실리콘을 만들기가 어렵다. SOI 막을 제작하는 때는 continuous laser가 더 유용하고, SiO₂위에 증착된 다결정 실리콘 막은 CO₂ laser 방사에 의한 간접적인 가열로 인하여 용해되어진다. CO₂ laser는 높은 출력전력을 가지고 있고, 다원형의 laser 빔을 만들 수 있으나, 적외선 영역으로 사람의 육안으로는 볼 수가 없어 제어에 어려움이 따른다.

재결정화된 다결정 실리콘의 결정 방위는 규칙성이 없다. 하지만 이상적인 (100) 방향의 실리콘 기판을 원하기 때문에 아래 그림 2.1과 같은 seeding 공정

을 이용하여 원하는 방향성을 갖는 재료를 얻을 수 있다.

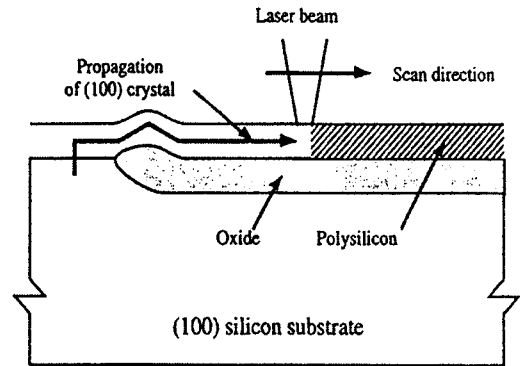


그림 2.1 수평 seeding 공정 원리

만약 laser power가 아주 높다면 표면장력과 de-wetting 효과 때문에 다결정 실리콘 막은 녹은 SiO₂ 위에 "bead up" 되며, 최적의 laser power에서는 mass transport가 관찰된다. 그러나 laser 용해와 재결정화 된 후의 다결정 실리콘 막 표면은 평탄성을 잃어버리게 된다. 이러한 문제를 해결하기 위하여 capping layer를 사용한다. Capping layer로는 SiO₂와 Si₃N₄를 사용할 때가 가장 좋은 결과를 얻을 수 있다.

2.3 E-beam 재결정 기술

Electron beam을 사용하여 절연층 위에 다결정 실리콘 막을 재결정화 시키는 방법은 laser를 이용하여 재결정시키는 방법과 매우 유사하다. E-beam 재결정화는 seeding 기술과 유사한 방법을 사용하고 SiO₂(또는 Si₃N₄) encapsulation 층을 사용하여 실리콘이 de-wetting으로부터 용해되는 것을 막아준다. E-beam 재결정화는 beam의 주사(scanning)가 정전편향(electrostatic deflection)에 의해서 조절이 가능하고, 50MHz의 고주파수를 사용할 수 있다. 그리고 표면이 고르지 못한 기판의 실리콘 재결정 균일성(uniformity)을 개선할 수 있는 장점을 갖고 있는 반면에 진공상태에서 재결정화가 이루어져야 하며 기판을 미리 가열하기 위한 가열된 진공 척(chuck)이 있어야 하는 단점도 갖고 있다. 그림 2.2와 같은 주사 기술은 세 가지로 구분되며 각각에

대한 특징은 다음과 같다.

- ① scanned spot : 가장 간단한 기술로 결정의 크기를 $20\mu\text{m}$ 의 크기까지 만들 수 있다.
- ② synthesized line source : 가장 유용하고 우수한 방법으로 scanned spot 방법과 focused line source 방법을 혼합한 방법이다.
- ③ focused line source : SOI의 넓은 면적을 빨리 재결정화 시킬 수 있으나 beam 강도의 균일성을 조절하기가 어려운 단점을 가지고 있다.

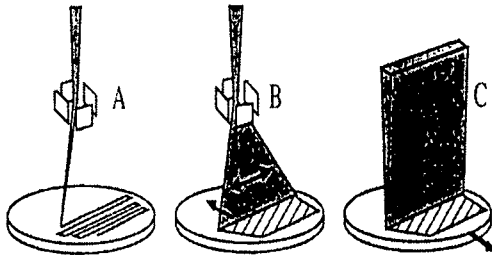


그림 2.2 E-beam 재결정화를 위한 beam의 구성 : (a) scanned spot, (b) synthesized line source, (c) focused line source

또한 seeding과 웨이퍼 가열방법은 두 가지로 나누어지며 laser를 사용하는 방법과 거의 유사하다. 먼저 seeding과 웨이퍼 가열법을 사용하여 만들어진 다층 SOI 재결정은 3차원 실리콘 집적화 공정에 사용되어진다. 두 번째로 periodic seeding 구조를 사용하는 기술은 seeding 창과 수평 수직으로 주사

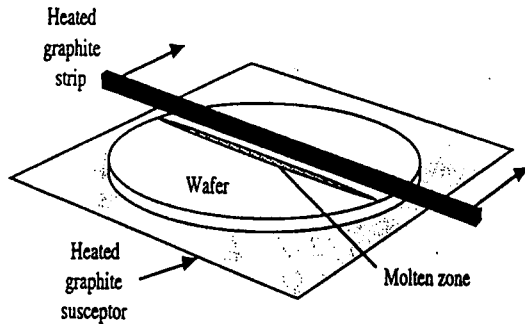


그림 2.3 Graphite strip heater를 사용한 SOI 웨이퍼의 zone-melting 재결정

를 할 수 있으며 웨이퍼의 뒷면 열처리하는 재결정 동안의 열적 스트레스를 줄일 수 있다.

2.4 Zone-melting 재결정 기술

Zone melting 재결정 기술은 넓은 면적의 웨이퍼를 한번에 재결정시킬 수 있다(그림 2.3). SiO_2 (또는 Si_3N_4)를 $2\mu\text{m}$ 정도 증착 시켜 strip heater로부터 탄소의 오염을 막을 수 있는 장점을 갖고 있다. 또한 재결정 graphite element의 연소를 막기 위해 진공상태 또는 내부 가스상태를 유지해야 한다. Graphite susceptor와 graphite strip 대신 lamps를 이용한 방법도 있다.

2.5 Homoepitaxial 기술

ELO(epitaxial lateral overgrowth) 방법은 실리콘 웨이퍼 표면을 고온 확산법으로 산화시킨 후, 사진공정과 식각공정을 통해 원하는 산화막을 제거하고 epitaxial 방법으로 단결정 실리콘 박막을 성장시키는 방법이다(그림 2.4). Epitaxial 공정은 실리콘 단결정이 노출되어 있는 곳에서만 단결정을 성장

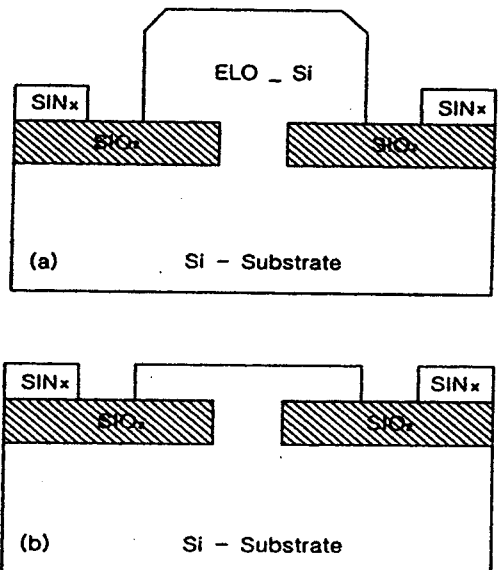


그림 2.4 ELO(epitaxial lateral overgrowth) 방법을 이용한 SOI 웨이퍼 제작 순서 : (a) seed로부터 단결정을 성장하는 공정 (aspect ratio<1), (b) 불필요한 단결정을 연마하여 제거하는 공정

시키게 되므로 산화막으로 가려진 곳에는 성장되지 않지만 단결정 성장을 산화막 위까지 하면 단결정이 횡방향으로 성장을 계속하여 실리콘 산화막 위에도 단결정이 성장된다. Epitaxial 공정의 온도는 섭씨 750℃ 이상이 사용되며 $\text{SiH}_2\text{Cl}_2 + \text{H}_2 + \text{HCl}$ 의 혼합 가스를 성장 속도에 따라 다른 비율로 섞어 사용한다. 분당 0.1 내지 0.25 μm 의 속도로 성장 시키면 다결정이나 stacking fault 같은 결함은 무시할 정도로 적다. 이 방법의 가장 큰 단점은 단결정의 수평방향 성장 속도가 수직 방향 성장 속도 보다 작다는 점이다. 즉 산화막 위로 단결정을 10 μm 를 성장시키기 위해서는 단결정의 두께가 10 μm 를 넘어야 함으로 비경제적이며 특히 대부분의 단결정은 화학적 기계적 연마에 의해 제거되므로 더욱 무의미해 진다. 이러한 단점을 보완한 것이 그림 2.5와 같은 단결정 성장의 제한선을 인위적으로 제작하는 CLSEG(confined lateral selective epitaxial growth)방법이다. 그림 2.5에서 보는 바와 같이 단결정 성장이 따라가도록 만들어진 터널은 비정질 실리콘을 도포하고 질화막 patterning이 끝난 후 식각시켜 제거함으로써 만들 수 있다. 이 방법을 이용하면 단결정 두께의 7배까지 수평방향으로 단결정을 성장시킬 수 있다.

2.6 SIMOX

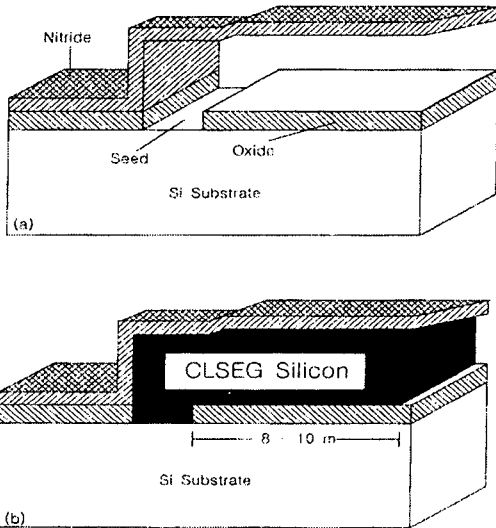


그림 2.5 CLSEG(confined lateral selective epitaxial growth) 방법으로 SOI 웨이퍼를 제작하는 공정 (a) 터널 제작 (b) epitaxy 공정

SIMOX는 Separation by IMplanted OXygen의 약자로 여러 SOI 기술중에서도 고집적 CMOS 회로를 구현하는데 가장 발전된 방법중 하나로서 고밀도의 산소이온주입 공정과 열처리 공정으로 이루어진다.

SIMOX 방법의 근원이 되는 산소이온주입에 의한 산화막 형성 기술은 1963년에 처음 보고 되었으며 [17], 1977년에 최초로 매몰층 산화막(buried oxide layer)을 형성하였다. SIMOX 웨이퍼 형성의 기본 원리는 그림 2.6과 같이 실리콘 웨이퍼에 산소이온을 이온주입하면 웨이퍼 내부에 실리콘 산화물이 생기며 부피가 팽창하려는 압력을 받는다. 이 압력을 수용하기 위해 실리콘 원자가 산소이온으로부터 5eV의 에너지를 받아 격자에서 벗어나 interstitial 상태로 밀려나 표면으로 이동하면서 표면을 재 성장시킨다.

그러나 산소이온주입 밀도가 매우 높으므로 실리콘 원자가 표면으로 이동하는 것은 방해받게 되고 실리콘 원자의 과포화 상태에 도달하게 되며 원활한 실리콘 산화물 생성이 어려워 산화막의 생성 속도가 감소하게 되고 기판내의 스트레스를 증가시켜 결국 실리콘 산화물을 농축시키게 된다. 산화의 과정은 기판 내부로부터 interstitial 실리콘 원자를 공급받을 수 있는 표면 방향으로 진행되는데, 이때 산화되지 않은 실리콘 원자를 남겨 두는 경우가 많으며, 이로써 단층(dislocation)이나 stacking fault등이 계면에서 관찰된다.

열처리 과정에서는 일련의 열역학적 현상이 일어난다. 이온주입이 끝난 상태의 기판은 표면으로부터 그림 2.7(a)에 보인 것과 같이 $\text{Si} + \text{SiO}_2$ 층, SiO_2 층, 손상을 입은 실리콘 층, 단결정 실리콘 기판의 구조를 갖게 된다. 200KeV의 가속에너지와 $1.5 \times 10^{18} \text{cm}^{-2}$ 의 산소이온 밀도로 처리한 웨이퍼의 경우 $\text{Si} + \text{SiO}_2$ 층의 두께는 약 420nm, 그 밑의 SiO_2 층은 180nm, 손상을 입은 실리콘 층은 450nm 정도의 두께를 갖는다. 이 구조를 섭씨 1150℃에서 120분간 열처리하면 실리콘 산화물들은 웨이퍼의 내부로 이동하면서 농축되고 표면으로부터 80nm는 순수한 실리콘으로 다시 형성된다(그림 2.7(b)). 이와 함께 실리콘 기판과 계면에 이온주입으로 형성된 450nm 두께의 손상을 입은 실리콘층 역시 결정 구조를 회복하며 그 두께가 줄어든다.

이 같은 현상은 열처리 온도와 시간을 증가시키면 더욱 뚜렷해지는데 섭씨 1185℃에서 6시간 동안 열처리하면 그림 2.7(c)에 보인 것처럼 표면의 실리콘층 두께가 200nm로 늘어난다. 열처리 온도를 섭씨

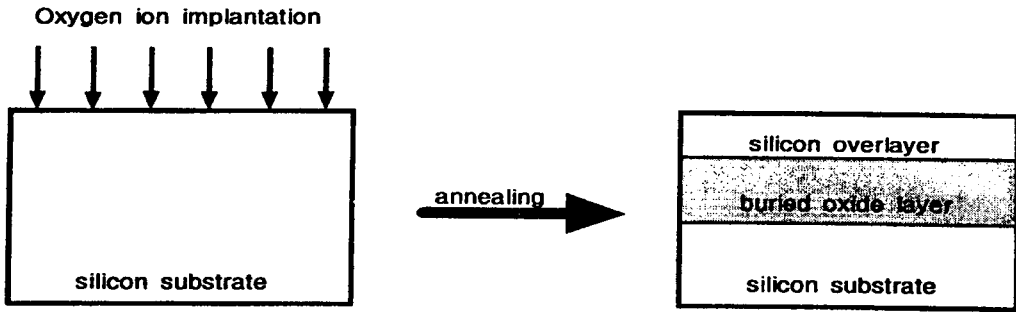


그림 2.6 SIMOX 웨이퍼의 기본적인 제작 원리

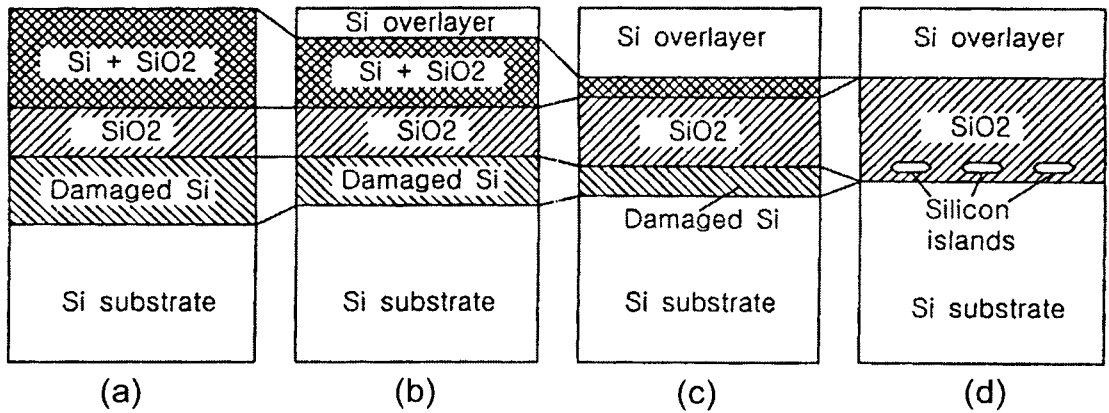


그림 2.7 열처리 조건에 따른 SIMOX 웨이퍼의 변형 추이 (a) as-implant, (b) 2-hour annealing at 1500°C, (c) 6-hour annealing at 1300°C

1300°C까지 올리고 6시간동안 열처리하면 Si+SiO₂ 층은 완전히 제거되고 제일 밑에 손상을 입은 실리콘 층도 완전히 사라지게 된다(그림 2.7(d)). 그러나 그림에서 보는 것처럼 매물층 산화막 내부에 실리콘 섬이 생기는 것이 보고되었다[18].

SIMOX 웨이퍼 제작시 이온주입 공정은 웨이퍼 표면 영역에 손상을 입힐 뿐만 아니라 스트레스를 주게 되어 많은 결정 결함이 생기게 된다. 산화물의 침전(precipitate)은 그림 2.7에서와 같이 열처리에 의해 제거될 수 있으나 단층은 제거되지 않는다. 따라서 이온주입시 탄소 원자가 같이 주입되지 않도록 청정도를 높여 단층의 밀도를 낮추는 것이 바람직하다. 한편 산소이온주입 밀도가 $4 \times 10^{17} \text{cm}^{-2}$ 이하에서는 결정결함 밀도가 현저히 줄어든다는 사실을 발견하여 낮은 밀도로 여러번 이온주입하고 총 이온주입 밀도가 $1.2 \times 10^{16} \text{cm}^{-2}$ 이 되도록 하여 고품질의

SIMOX 웨이퍼를 만들 수 있게 되었다.

최근의 SIMOX 연구는 낮은 에너지, 낮은 이온 밀도를 사용하여 보다 얇은 실리콘 막과 매물층 산화막을 형성하는데 치중하고 있으며, 30KeV, $1.5 \times 10^{17} \text{cm}^{-2}$ 이온 밀도 조건으로 57nm의 실리콘 막과 47nm의 매물층 산화막을 형성한 결과가 보고되었다.

SIMOX에 의해 형성된 실리콘 박막은 열처리를 마치고 나면 이온주입 과정에서 발생하는 압축 스트레스가 무시할 정도로 작아지며 열처리 온도가 높을수록 효과가 뚜렷하다. SIMOX에서 주로 관찰되는 결함은 단층인데 이는 열처리 과정에서 발생되며 단결정을 재구성할 때 단결정 내부의 틀어짐을 흡수하기 위한 것이다. 단층의 농도는 섭씨 1320°C의 고온 열처리를 거친 경우 $10^5 \sim 10^6 \text{cm}^{-2}$ 정도의 밀도를 보이며 여러 차례 낮은 밀도의 이온주입을 한 경우에는 $10^3 \sim 10^4 \text{cm}^{-2}$ 정도로 줄어든다. SIMOX 웨이퍼의 표

면 실리콘 박막의 전자 이동도는 $800\sim 1200\text{cm}^2/\text{V}\cdot\text{sec}$ 로 벌크 실리콘 웨이퍼의 최대 값 $1400\text{cm}^2/\text{V}\cdot\text{sec}$ 과 유사하며 캐리어의 산란 메카니즘도 유사한 것으로 알려져 있다.

2.7 Wafer bonding

두 개의 웨이퍼를 붙여서 SOI 구조를 만드는 Wafer bonding 방법은 SIMOX에 비해 완벽한 결정구조를 갖는 실리콘 박막과 우수한 품질의 매몰층 산화막을 제공하는 장점 때문에 최근 가장 선호하는 SOI 제조 방식이다. 이 방법은 두 개의 웨이퍼를 접착시키는 공정과 두 웨이퍼 중 하나를 원하는 실리콘 두께의 될 때까지 화학적 기계적 연마 방법으로 연마하는 공정으로 구성된다(그림 2.8). 이 방법으로는 $2\mu\text{m}$ 두께의 실리콘 층을 만드는 것은 어려움이 없으나 최근에는 $0.1\mu\text{m}$ 이하의 실리콘 층을 사용하는 소자를 제작하려는 경향이 있어 플라즈마를 이용한 화학적 부식방법 등 새로운 기술들이 개발되어지고 있다.

두 웨이퍼를 접착시키기 위해서는 웨이퍼의 표면이 모두 친수적이어야 하고, 굴곡이 없어야 하며, 주변 환경이나 표면에 이물질이 없어야 하고, 접착면에 공기층이 형성되지 않아야 한다.

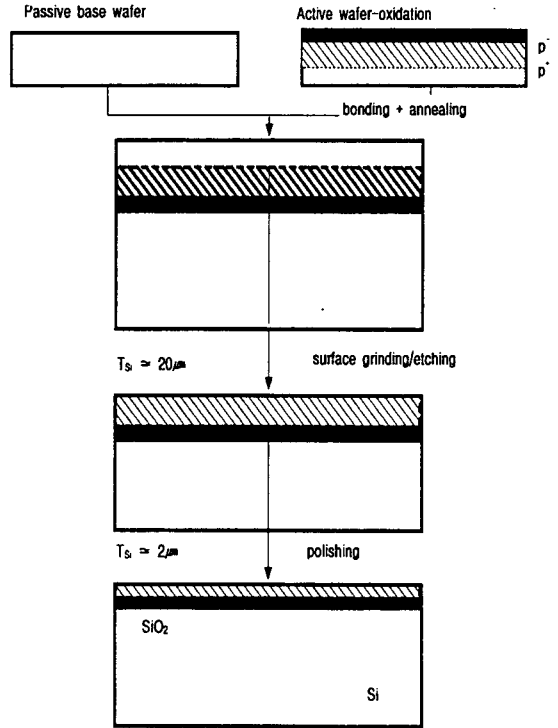


그림 2.8 $2\mu\text{m}$ 이상의 SOI 층을 갖는 SOI 웨이퍼를 접착에 의해 제작하는 방법

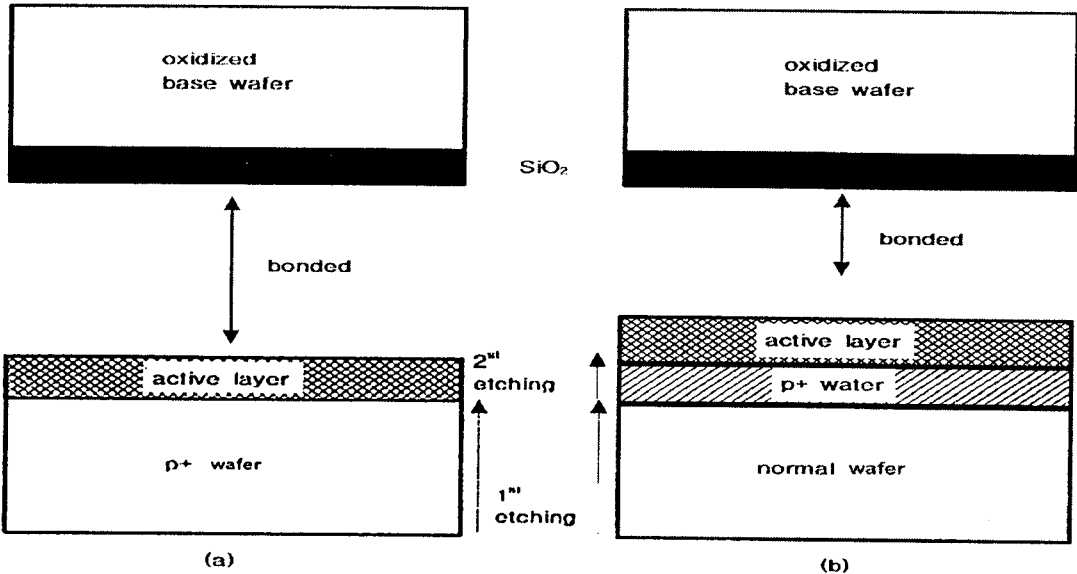


그림 2.9 BESOI(bond and etch-back SOI) 웨이퍼의 제조 방법 : (a) single etch stop, (b) double etch stop

친수적인 웨이퍼는 상온에서 van der Waals 힘에 의해 약 70erg/cm²의 힘으로 접착되며, 기계적 연마나 화학적 부식공정에서 가해지는 힘을 견디도록 섭씨 800℃ 이상의 온도에서 열처리한다. 열처리 온도에 따라 접착력은 증가하며, 열처리 분위기나 열처리 시간은 크게 영향을 미치지 않는다.

2μm 이상의 SOI 층을 얻는 데는 기계적 연마를 사용할 수 있는데, 두께의 균일성과 편평도는 기준 웨이퍼의 평평한 정도에 의해 결정되므로 주의를 기울여야 한다. 이 방법은 0.1μm 두께의 SOI 층을 요구하는 웨이퍼를 제작하는데 부적절하며 통상 수 μm의 SOI 두께까지는 기계적 연마를 하고 그 후에는 화학적 부식 방법을 이용하여 정확한 SOI 층의 두께를 제어하는 방법이 통용된다.

기계적 연마 후 화학적 부식을 하는 방법은 BESOI(bonded and etch-back SOI)라고 불리워지며 화학적 부식은 붕소가 도핑된 etch stop 층까지 진행된 후 멈추게 된다. 최근까지는 하나의 etch stop 층을 사용하는 그림 2.9(a)의 방식을 이용하고 부식액으로는 불산, 질산, 초산을 1 : 3 : 8로 혼합한 용액을 사용하였으나 이 부식액이 활성층 영역과 p⁺ 층을 부식하는 정도의 차이가 그다지 크지 않아 정확한 etch stop 층을 찾기가 어려워 SOI 층의 두께 제어가 어려웠다. 이러한 문제점은 그림 2.9(b)의 double etch-stop 방법을 채용하여 개선되었다.

접착된 두 실리콘 산화막의 항복전압은 고온 확산법에 의해 만들어진 산화막의 항복전압보다 낮는데, 이것은 접착면에서의 산화막 결합에 의한 것으로 여겨지며 특히 접착면에 존재하는 많은 계면상태는 고전압 소자의 항복전압을 낮게 만드는 소자 특성 열화에 영향을 미친다.

캐리어의 이동도는 단결정 실리콘 웨이퍼와 같은 도핑 농도를 가진 경우 같은 값을 가지므로 소자의 특성은 매우 우수하다. 그러나 이 방법을 위해서는 한 장의 웨이퍼를 만드는데 두장의 웨이퍼가 필요하므로 비경제적인 단점이 있다.

3. 결 론

앞에서 살펴본 각각의 재료에 대한 특성을 표 4.1에 간단히 정리하였다. SOI 기술은 다가오는 21세기 벌크 실리콘 기술의 대체 기술임에는 틀림이 없다. 그러나 아직 SOI 기술이 실제 MOS 소자에 적용되기 위해서는 해결해야 할 문제점이 많이 나타나고 있다. 지금 까지 살펴본 SOI 재료분야는 표면의 결합, 활성층 두께 제어의 어려움, 고가의 제조장비, 이것에 따른 경제적인 시장성 등이 가장 시급하게 해결되어야 할 문제점이다. 그러므로 SOI 기술이 반도체 산업에 적용되어지기 위해서는 재료 및 장비, 공정 등 여러 분야의 연구활동들이 병행되어야 할 것으로 생각된다.

표 4.1 서로 다른 SOI 재료의 물리적 전기적 특성 비교 :

(++)=very good, (+)=good, (0)=average, (-)=poor, (--)=very poor

Material	Defect density	T _{Si} control	Carrier lifetime	Channel mobility
SOS (as-grown)	--	0	--	--
SOS (DSPE, SPEAR)	0	0	-	-
CaF ₂	--	0	--	--
Laser	0	-	0	0
E-beam	0	-	0	0
ZMR	+	-	+	+
ELO	-	--	-	-
SIMOX	+	+	0/+	+
Bonding	++	--	++	+
Bulk	++	N/A	++	++

참 고 문 헌

1. A. E. Schmitz and J. Y. Chen, "Design, modeling, and fabrication of subhalf-micrometer CMOS transistors", IEEE Trans. Electron Devices, Vol. ED-33, No. 1, pp. 148-153, 1986.
2. W. H. Lee, T. Osakama, K. Asada, and T. Sugano, "Design methodology and size limitations of submicrometer MOSFET's for DRAM applications", IEEE Trans. Electron Devices, Vol. 35, No. 11, pp. 1876-1884, 1988.
3. C. C. -H. Hsu, B. S. Wu, G. G. Shahidi, B. Davari, W. H. Chang, and A. Acovic, "Understanding of enhanced sensitivity to hot carrier degradation in drain engineered n-FET's", Extended Abstract of the 1992 International Conference on Solid State Devices and Materials, Tsukuba, pp. 512-516, 1992.
4. J. P. Colinge "Silicon-on-Insulator : Materials to VLSI 2nd Edition, Kluwer Academic Publishers, 1997.
5. I. Golecki, in "Comparison of thin-film transistor and SOI technologies", Ed. by H. W. Lam and M. J. Thompson, Mat. Res. Soc. Symp. Proc., Vol. 33, p. 3, 1984.
6. T. Sato, J. Iwamura, H. Tango, and K. Doi, In "Comparison of thin-film transistor and SOI technologies", Ed. by H. W. Lam and M. J. Thompson, Mat. Res. Soc. Symp. Proc., Vol. 33, p. 25, 1984.
7. H. M. manasevit and W. I. Simpson, J. Appl. Phys, Vol. 35, p. 1349, 1964.
8. RCA part number MWS-5101.
9. B. E. Forbes, Hewlett-Packard Journal, p. 2, 1977.
10. R. J. Hollingsworth, A. C. Ipri, and C. S. Kim, IEEE J. Solid-State Circuits, Vol. SC-13, p. 664, 1978.
11. A. G. F. Dingwall, R. G. Stewart, B. C. Leung, and R. E. Stricker, Proc. IEDM, p. 193, 1978.
12. D. Adams, D. Uehara, D. Wheeler, and D. Williams, Proc. of the IEEE SOS/SOI Technology Workshop, p. 58, 1987.
13. A. E. Schmitz, R. H. Walden, M. Montes, D. M. Courtney, and E. Stenens, Tech. Digest of Symposium on VLSI Technology, p. 67, 1988.
14. D. J. Dumin, S. Dabral, M. H. Freytag, P. J. Robertson, G. P. Carver, and D. B. Novoty, IEEE Trans. on Electron. Dev., Vol. 36, p. 596, 1989.
15. R. A. Johnson, C. E. Chang, P. R. de la Houssaye, G. A. Garcia, I. Lagnado, and P. M. Asbeck, Proceedings of the IEEE International SOI Conference, p. 18, 1995.
16. H. M. Manasevit, I. Golecki, L. A. Moudi, J. J. Yang, and J. E. Mee, J. Electrochem. Soc., Vol. 130, p. 1752, 1983.
17. M. Watanabe and A. Tooi, J. Appl. Phys., Vol. 5, p. 737, 1966.
18. C. Jaussud et al., "Silicon-On-Insulator and buried metals in semiconductor", MRS Symposium processings, vol. 107, p. 17, 1988.
19. 정주영 "Floating body effect를 최소화한 SOI nMOSFET 최적설계에 관한연구" 정보통신부 1999. 6. 30.
20. S. Cristoloveanu, Sheng S. Li, "Electrical Characterization of Silicon-on-Insulator Materials and Devices" Kluwer Academic Pub, 1995.
21. James B. Kuo and Ker-Wei Su "CMOS VLSI Engineering Silicon-on-Insulator(SOI)" Kluwer Academic Pub, 1998.